

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTRE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE
SCIENTIFIQUE

Université de Mohamed El-Bachir El-Ibrahimi - Bordj Bou Arreridj

Faculté des Sciences et de la technologie

Département d'Electronique

Mémoire

Présenté pour obtenir

LE DIPLOME DE MASTER

FILIERE : **Electronique**

Spécialité : Industries Electroniques

Par

➤ **Hachemi Badr Eddine**

➤ **Kohil Rabie**

Intitulé

Modélisation d'un Transistor MOSFET SiC par régression □

Evalué le : 08/09/2021

Par la commission d'évaluation composée de :*

<i>Nom & Prénom</i>	<i>Grade</i>	<i>Qualité</i>	<i>Etablissement</i>
<i>Mr.L.Dib</i>	<i>MCB</i>	<i>Président</i>	<i>Univ-BBA</i>
<i>Mm. S. Meguellati</i>	<i>MAA</i>	<i>Encadreur</i>	<i>Univ-BBA</i>
<i>Mr.A.Yousfi</i>	<i>....</i>	<i>Examineur</i>	<i>Univ-BBA</i>

Année Universitaire 2020/2021

Dédicace

Je dédie ce modeste travail

A ma très chère mère ;

A mon très cher père ;

A mes grands-parents ;

A mon cher frère ;

A ma chère sœur ;

A toute ma famille ;

A mes copins « Salim, Anis , Akram , Akram , Arezki ,

Mingo , Imad , Mohamed , Yahia , R » ;

A tous mes amis

Remerciements

Mes remerciements vont premièrement à Allah le tout puissant pour la volonté, la santé et la patience, qu'il me les a données durant toutes ces années d'études.

Je remercie, en deuxième position le directeur du mémoire Mme S. Meguellati pour avoir tout d'abord proposé ce thème, pour le suivi continué tout le long de la réalisation de ce mémoire et pour tous ses conseils et remarques qu'elle n'a cessé de nous fournir.

Je remercie aussi les enseignants pour avoir accepté de juger ce travail. Je leur exprime toute ma reconnaissance.

*J'exprime encore, ma gratitude ainsi que ma reconnaissance à l'ensemble des enseignants qui ont contribué, de près ou de loin, à notre formation et plus précisément à
Ceux du département électronique.*

*Enfin, je remercie tous ceux qui ont contribué, même de loin, à l'élaboration de ce
Travail.*

Résumé

Les MOSFET de puissance SiC sont d'excellents candidats pour les applications de commutation de puissance haute tension en raison de leur résistance à l'état passant plus faible et de leur vitesse de commutation plus rapide par rapport aux MOSFET de puissance. Dans ce mémoire, nous avons modélisé les caractéristiques statiques d'un MOSFET Commercial SiC 1,2 kV, 15 A. Nous avons utilisé les caractérisations réalisées par le constructeur, et qui sont souvent donnée dans sa datasheet et la régression pour définir les paramètres des modèles. Les régressions réalisées visent la caractérisation statique du MOSFET SiC 1,2 kV, 15 A, y compris la caractérisation de la sortie et du transfert, la caractérisation du courant de fuite de grille et de drain, la résistance à l'état passant et la caractérisation de la tension de seuil, la caractérisation de la diode de corps IV et la capacité à trois jonctions. Un modèle analytique consacré pour le courant de drain est développé et les résultats expérimentaux seront utilisés pour extraire les paramètres du modèle. Nous avons implémenté le modèle dans Simulink et réalisé des simulations dont les résultats sont acceptables. Comme perspective, on propose de réaliser la caractérisation dynamique qui détermine les temps de réponse d'ouverture et de fermeture du MOSFET.

Sommaire

INTRODUCTION GENERALE	1
-----------------------------	---

CHAPITRE I : Propriétés des composants de puissance

I.1 Propriétés fondamentales des composants de puissances	3
I.2 Structures MOSFET de puissance	6
I.2.1 Principe de fonctionnement d'un transistor MOSFET de puissance	6
I.2.1.1 L'état passant.....	7
I.2.1.2 L'état bloqué	7
I.2.1.3 Les terminaisons.....	8
I.2.1.3.1 La plaque de champ.....	9
I.2.1.3.2 L'anneau de garde diffusé	9
I.2.1.3.3 L'extension de jonction implantée (J.T.E.)	9
I.2.1.3.4 L'anneau de garde diviseur de champ.....	9
I.2.2 Les différents types MOSFETs de puissance.....	10
I.2.3 Comportement statique des transistors NMOS	13
I.2.3.1 Tension de seuil $V_{GS(th)}$	13
I.2.3.2 Courant drain source I_{DS}	14
I.2.3.3 Résistance à l'état passant $R_{DS(on)}$	15
I.2.3.4 Tension de blocage $BVDSS$	18
I.3 Conclusion.....	18

CHAPITRE II : Caractérisation statique

II.1 Introduction.....	19
II.2 Caractérisations du SiC MOSFET	19
II.2.1 Courant de fuite drain-source I_{DSS}	19
II.2.2 Courant de fuite grille-source I_{GSS}	20
II.2.3 Caractéristiques de sortie et de transfert	21
II.2.4 R_{DS} de résistance à l'état passant (activé)	23
II.2.5 Tension de seuil de porte $V_{GS(th)}$	24
II.2.6 Caractéristiques de la diode de corps I-V	24
II.2.7 Capacité de grille (courbe C_g-V_g).....	26
II.2.8 Capacités de jonctions non linéaires C_{ISS} , C_{RSS} , C_{OSS}	26
II.2.9 Résistance de grille interne R_{GI}	31
II.2.10 Mesure de l'inductance parasite de l'emballage	31
II.3 Conclusion	31

CHAPITRE III : Modélisation du MOSFET SiC 1.2KV, 15A

III.1 Introduction	32
III.2 Modélisation par régression.....	32
III.2.1 Structure du modèle de sous-circuit de SiC MOSFET	32
III.2.2 MOS.....	33
III.2.2.1 Extraction des paramètres du model MOS	34
III.2.3 Diode parasite.....	35
III.2.3.1 Extraction des paramètres de la diode parasite.....	36
III.2.4 Les capacités des jonctions.....	38
III.3 Modélisation Simulink	40
III.3.1 Modèle Simulink du noyau MOS	40
III.3.2 Modèle Simulink des capacités parasites	41
III.3.2.1 Schéma bloc de la capacité Cds.....	42
III.3.2.2 Schéma bloc de la capacité Cgd	43
III.3.3 Modèle Simulink de la diode parasite	44
III.3.4 Modèle Simulink complet du transistor MOSFET	45
III.4 Conclusion	46
CONCLUSION GENERALE	47

BIBLIOGRAPHIE

Liste des figures

Chapitre I

Figure I. 1: Résistance de la région de drift en fonction de la tension de claquage	5
Figure I. 2: a) Représentations symboliques possibles du MOSFET de puissance avec et sans diode structurelle. b) Coupe d'une cellule élémentaire d'un MOSFET de puissance.	7
Figure I. 3: Différents types de terminaisons a) la plaque de champ b) l'anneau de garde diffusé c) la J.T.E. d) les anneaux diviseurs de champ [7].....	8
Figure I. 4: Vue en coupe d'un MOSFET vertical donnant le principe de fonctionnement du canal en conduction lorsque $V_{GS} > V_{TH}$	11
Figure I. 5: Structure MOSFET verticales : DMOS et UMOS	12
Figure I. 6: Structures des MOSFET commercialisées (a) par Cree et (b) par Rohm	13
Figure I. 7: Courant de train en fonction de la tension de drain et de grille d'un MOSFET.	14
Figure I. 8: a) R_{DSon} en fonction de la tension de grille. b) Composantes de la R_{DSon} dans un VDMOS.	15
Figure I. 9: Contribution des différentes résistances à la R_{DSon}	18

Chapitre II

Figure II. 1: Boitier du TO-247	19
Figure II. 2: Circuit de test pour IDSS.....	20
Figure II. 3: Courant de fuite drain-source vs. Tension de vidange. La porte est court-circuitée au la source	20
Figure II. 4: Circuit d'essai pour IGSS	21
Figure II. 5: Courant de fuite porte- source en tant que Fonction de la tension de grille. Le drain est court-circuité à la source.....	21
Figure II. 6: Circuit d'essai pour les caractéristiques de sortie	22
Figure II. 7: Caractéristiques de sortie. La porte est Polarisée de 4 V à 20 V avec un pas de 4V	22
Figure II. 8: Circuit d'essai pour les caractéristiques de transfert	22
Figure II. 9: Caractéristiques de transfert. La polarisation du drain est de 10 V	22
Figure II. 10: Structure du D-MOSFET de puissance	23
Figure II. 11: Circuit d'essai pour la caractérisation de $V_{GS(TH)}$	24
Figure II. 12: Courant de vidange en fonction de la porte (Drain) biais. Le drain est court-circuité à la porte.....	24
Figure II. 13: Circuit d'essai pour la diode parasite	25
Figure II. 14: Courbe I-V de la diode parasite (Directe)	25
Figure II. 15: Courbe I-V de la diode parasite (inverse).....	25
Figure II. 16: Circuit d'essai pour C_g-V_g	26
Figure II. 17: Courbes C_g-V_g	26
Figure II. 18: Le Bias-T haute tension B1505A se connecte aux modules MFCMU et HVSMU pour fournir jusqu'à 3000 V de polarisation CC pendant les mesures de capacité.....	27

Figure II. 19: Schéma de connexion COSS	28
Figure II. 20: Courbe C ^{oss} – VDS. Le drain est balayé de 1 à 500V avec un pas de 1V et niveau d'oscillation de 20 mV à 100 kHz	28
Figure II. 21: Schéma de connexion CRSS	29
Figure II. 22: Courbe CRSS – VDS. Le drain est Balayé de 1 à 500 V avec un pas de 1 Et le niveau D'oscillation est de 20 mV à 10 kHz.	29
Figure II. 23: Schéma de connexion CISS.....	30
Figure II. 24: Courbe CISS – VDS. Le drain La tension est balayé de 0 à 500 V avec Un pas de 1 V et oscillation de 20 mV signal à 100 kHz	30
Figure II. 25: Courbes C-Vds	30
Figure II. 26: Configuration de la mesure RGI	31
Figure II. 27: circuit équivalent (RGI)	31

Chapitre III

Figure III. 1: Modèle de sous-circuit pour SiC MOSFET	33
Figure III. 2: Caractéristiques de sortie typiques.....	34
Figure III. 3: Fitting de $I_d(V_{ds})_n$ $V_{gs}=8v$ dans la zone de saturation.....	35
Figure III. 4: Courbe I-V de la diode.....	36
Figure III. 5: Fitting de ISD (VSD) pour $VSD \geq 3.55$	37
Figure III. 6: Fitting de ISD (VSD) pour $0 \leq VSD \leq 0.96$	37
Figure III. 7: Fitting de ISD (VSD) pour $0.96 \leq VSD \leq 3.55$	38
Figure III. 8: Caractéristiques C-VDS simulées.....	39
Figure III. 9: Schéma bloc du MOS.	40
Figure III. 10: Caractéristiques ID (VDS) pour différentes valeurs de VGS.....	41
Figure III. 11: Schéma bloc de la capacité CDS.....	42
Figure III. 12: courbe de la capacité CDS	43
Figure III. 13: Schéma bloc de la capacité CGD	43
Figure III. 14: courbe de la capacité CGD.....	44
Figure III. 15: Schéma bloc du la diode parasite.....	44
Figure III. 16: Schéma bloc de la simulation complet du transistor MOSFET	45
Figure III. 17: Caractéristiques ID (VDS) pour différentes valeurs de VGS.....	46

INTRODUCTION

GENERALE

Introduction Générale

Les MOSFET de puissance sont les dispositifs de puissance les plus couramment utilisés en raison de leurs performances supérieures par rapport aux BJT, IGBT, thyristors, etc. Ils ont besoin d'une puissance de commande de grille plus faible et ont un temps de commutation plus rapide ainsi qu'un gain et un temps de réponse stables sur une large plage de températures. Plusieurs structures de MOSFET de puissance ont été explorées depuis les années 1970. La plupart des MOSFET de puissance ont une structure verticale avec une source et un drain sur les côtés opposés de la plaquette afin de supporter un courant et une tension plus élevés.

Combinant les excellentes propriétés du carbure de silicium avec les avantages potentiels du MOSFET, le MOSFET SiC a très nettement dépassé les limites théoriques du MOSFET Si, en atteste sa capacité de blocage de tensions allant de 1.2 kV à 1.7 kV. Le MOSFET SiC de puissance présente une plus faible résistance à l'état passant, des pertes moindres en commutation et des potentialités de fréquence de découpage plus élevées eu égard aux IGBT de calibre en tension équivalent.

Quand bien même le MOSFET SiC s'annonce prometteur, il n'est pas encore arrivé à pleine maturité de développement technologique, il soulève encore des inquiétudes en termes de fiabilité et ses performances pratiques n'ont toujours pas rejoint les valeurs théoriques. Les MOSFET SiC et Si sont fabriqués et dimensionnés selon des principes similaires, cependant le MOSFET SiC présente des propriétés comportementales qui lui sont propres. Par conséquent, il est nécessaire d'identifier clairement ces particularités de sorte à tirer le meilleur parti du MOSFET SiC lors de son implémentation dans un environnement d'électronique de puissance. Par ailleurs, la disponibilité d'un modèle précis est de première importance pour réaliser des simulations numériques et des prédictions quelle que soit l'application envisagée. Par conséquent un travail préalable de caractérisation expérimentale et de modélisation est nécessaire et il fait actuellement l'objet de nombreux programmes de recherche aussi bien académiques que de la part des acteurs du secteur industriel.

L'objectif de ce travail est la modélisation d'un MOSFET de puissance à base d'une datasheet commerciale. Le modèle est implémenté et simulé dans Simulink MATLAB.

Ce mémoire comportera par la suite : une introduction, trois chapitres, une conclusion générale, et on terminera par une bibliographie.

Le premier chapitre est consacré aux propriétés fondamentales des composants de puissances. Après nous étudions les structures MOSFET de puissance et leurs principes de fonctionnement. Nous présentons Les différents types MOSFETs de puissance, nous terminons ce chapitre par les comportements statique des transistors NMOS.

Le deuxième chapitre est consacré à l'étude des Caractérisations du SiC MOSFET.

Le troisième chapitre est consacré à une partie de simulation d'un MOSFET par logiciel de simulation MATLAB.

Chapitre I

Propriétés des composants de puissance

I.1 Propriétés fondamentales des composants de puissances

Les dispositifs à semi-conducteurs de puissance à base de silicium ont longtemps dominé les applications de l'électronique de puissance et des systèmes d'alimentation en raison de leurs nombreux avantages. Des exemples de dispositifs de puissance à base de silicium sont les diodes, les thyristors, les transistors à jonction bipolaire (BJTs), les transistors bipolaires à grille isolée (IGBT), les transistors à effet de champ à oxyde de métal semi-conducteur (MOSFET), etc... La vitesse des dispositifs avec une capacité de tension plus élevée croissante, les dispositifs d'alimentation à base de silicium souffrent de limitations dues à certaines propriétés inhérentes des matériaux, telles que la faible énergie de bande interdite, le petit champ électrique critique, la faible conductivité thermique et les limitations de fréquence de commutation [1]. Des efforts ont été faits depuis les années 1980 pour développer des dispositifs d'alimentation utilisant de l'arséniure de gallium. Cependant, l'intérêt pour cette technologie a diminué car une grande attention a été portée sur les matériaux semi-conducteurs à large bande interdite beaucoup plus prometteurs pour les applications de dispositifs [2].

Par rapport aux dispositifs de puissance à base de silicium, les dispositifs constitués de semi-conducteurs à large bande interdite, tels que le carbure de silicium (SiC) et le nitrure de gallium (GaN), présentent des avantages supérieurs comme suit :

- (1) **Bande interdite d'énergie** : les semi-conducteurs à large bande interdite ont plus des bandes interdites d'énergie, qui se traduisent par des courants de fuite beaucoup plus faibles et des températures de fonctionnement plus élevées.
- (2) **Champ électrique critique** : les semi-conducteurs à large bande interdite ont des champs électriques critiques plus élevés, de sorte que les dispositifs peuvent avoir des concentrations de dopage plus élevées avec des couches de blocage plus minces, ce qui entraîne une résistance à l'état passant spécifique plus faible.
- (3) **Vitesse de saturation des électrons** : les semi-conducteurs à large bande interdite ont une vitesse de saturation des électrons plus élevée, ce qui conduit à des fréquences de fonctionnement plus élevées par rapport aux dispositifs équivalents à base de silicium.

- (4) **Conductivité thermique** : SiC a une conductivité thermique plus élevée qui améliore la diffusion de la chaleur et permet un fonctionnement à des densités de puissance plus élevées [3].

Dans le tableau I.1, les principales propriétés des matériaux sont répertoriées pour les principaux semi-conducteurs à large bande interdite SiC par rapport au Si et au GaAs [4].

	Semiconducteurs conventionnels		Semiconducteurs grand gap				
	Si	GaAs	3C-SiC	6H-SiC	4H-SiC	GaN	C
Bande interdite E_g (eV)	1,2	1,43	2,3	2,9	3,2	3,39	5,6
Mobilité des électrons μ_n ($cm^2.V^{-1}.s^{-1}$)	1450	8500	1000	415	950	1000	2200
Mobilité des trous μ_p ($cm^2.V^{-1}.s^{-1}$)	450	400	45	90	115	350	1800
Champ critique E_C ($V.cm^{-1}$)	3.10^5	4.10^5	2.10^6	$2,5.10^6$	3.10^6	5.10^6	$5,6.10^7$
Vitesse de saturation V_{sat} ($cm.s^{-1}$)	10^7	2.10^7	$2,5.10^7$	2.10^7	2.10^7	2.10^7	3.10^7
Conductivité thermique λ ($W.cm^{-1}.K^{-1}$)	1,3	0,5	5	5	5	1,3	20
Permittivité relative ϵ_r	11,7	13,1	9,6	9,7	9,7	8,9	5,7

Table I.1 : Comparatif des propriétés des matériaux semi-conducteurs

Le carbure de silicium existe plus de 150 poly types, et le 4H-SiC est le candidat le plus populaire pour les dispositifs de puissance car ses propriétés sont supérieures à celles d'autres poly types de carbure de silicium (par exemple 3C-SiC, 6H-SiC). Comme le montre le tableau I-1, le 4H-SiC a une plus grande énergie de bande interdite de 3,2 eV par rapport à la bande interdite de 1,12 eV du silicium et à la bande interdite de 1,43 eV de GaAs [5]. En outre, la vitesse de dérive des électrons saturés du 4H-SiC de $2 \cdot 10^7$ cm/s est environ un ordre de grandeur plus grande que celle du silicium. La conductivité thermique élevée du 4H-SiC de 3-4 W/cmK améliore la dissipation thermique et permet aux appareils de fonctionner efficacement fonctionnant à une température plus élevée jusqu'à 350 ° C. De plus, le 4H-SiC a un champ électrique critique plus

élevé de $2,2 \cdot 10^6 \text{ V/cm}$, ce qui est environ 9 fois plus grand que celui du silicium. La résistance à l'état passant spécifique (R_{on}) est un paramètre critique pour les dispositifs d'alimentation car elle détermine directement combien de perte résistive un dispositif générera en mode de conduction directe [5]. R_{on} peut être calculé à partir de l'Eq(II.1).

$$R_{on} = \frac{4V_B^2}{\epsilon\mu_n E_C^3} \quad (\text{II.1})$$

Où V_B est la tension de claquage et E_C est le champ électrique critique, l'unité de la résistance à l'état passant est $\text{m}\Omega\text{cm}^2$. Sur la base de l'équation ci-dessus, R_{on} est inversement proportionnel à E_C , ce qui signifie qu'un E_C plus élevé conduit à un R_{on} beaucoup plus faible pour 4H-SiC. La figure I.1 montre la résistance à l'état passant spécifique théorique des régions de blocage conçues pour certaines tensions de claquage en Si et 4H-SiC, dans des conditions optimales de perforation [6]. Comme on peut le voir sur la (Figure I.1), la résistance à l'état passant spécifique du 4H-SiC est environ 400 fois plus petite que celle de Si à une tension de claquage donnée. Cela rend les appareils capables de fonctionner à un niveau de courant plus élevé avec une chute de tension directe relativement plus faible. Sur la base de divers avantages énumérés ci-dessus, le SiC s'avère meilleur que le silicium et l'arséniure de gallium en tant que matériau de choix pour les appareils électriques.

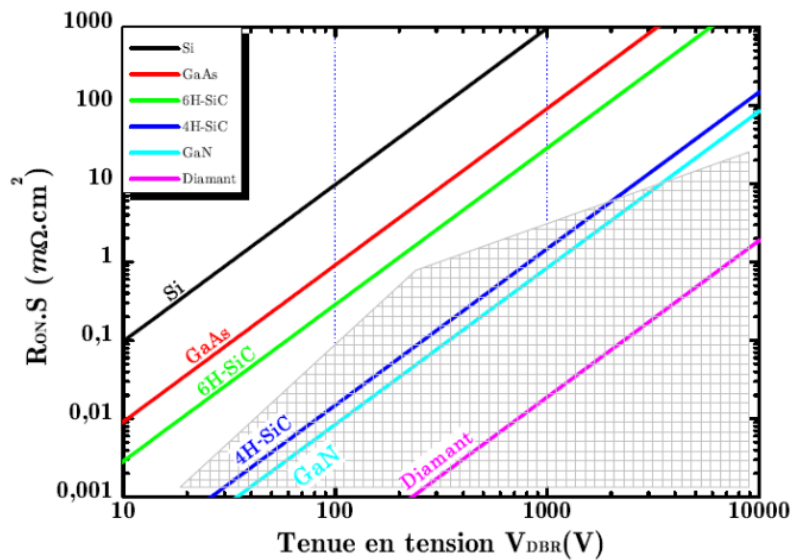


Figure I. 1: Résistance de la région de drift en fonction de la tension de claquage

I.2 Structures MOSFET de puissance

I.2.1 Principe de fonctionnement d'un transistor MOSFET de puissance

Le transistor MOSFET (Metal Oxide Semi-conducteur Field Effet Transistor) est un transistor MOS à effet de champ qui agit comme un interrupteur permettant de commuter entre un état passant et un état bloqué. Ce composant utilisé pour des applications de puissance doit être suffisamment robuste pour supporter de fortes tensions et conduire d'efforts courants. Le MOSFET est un transistor dit unipolaire car la conduction du courant se fait par un seul type de porteurs de charge, soit par les électrons (transistors NMOS) soit par les trous (transistors PMOS). La mobilité des électrons étant supérieure à celle des trous, pour les semi-conducteurs de puissance on utilise préférentiellement des NMOS, c'est pourquoi dans la suite de ce mémoire tous les MOSFETs présentés seront des transistors NMOS.

Les NMOS ont une source et un drain de même type N⁺ séparés par une zone dopée P. Pour les MOSFETs de puissance, source et drain se trouvent généralement sur des faces opposées du cristal de silicium, le drain étant formé du substrat N⁺ sur lequel est épitaxiée une couche N⁻ dont l'épaisseur et le dopage dépendent de la tenue en tension souhaitée. La jonction PN⁻ n'est rien d'autre qu'une diode appelée diode structurelle qui est caractéristique des MOSFETs de puissance et qui peut apparaître dans la représentation symbolique du MOSFET de puissance vertical afin de le différencier d'un MOSFET coplanaire (figure I.2a).

Le MOSFET est un transistor à effet de champ dont le principe est de forcer un canal semi-conducteur de type P à devenir localement N grâce à un champ électrique extérieur qui va attirer les porteurs minoritaires et repousser les majoritaires. Ainsi dans cette zone d'inversion le canal permettra le passage des électrons entre source et drain. C'est une grille en silicium poly cristallin, aussi appelé poly silicium, fortement dopée et isolée par une fine couche d'oxyde de la surface du cristal de silicium, qui va contrôler l'ouverture ou la fermeture du canal dans la zone P et moduler le courant dans le canal. Le transistor MOS de puissance est composé d'une cellule MOS élémentaire représentée sur la (figure I.2b) répétée plusieurs milliers de fois sur le même cristal. La métallisation de source couvre toute la face supérieure de la puce de façon

à ce que chaque cellule élémentaire soit mise en parallèle, ce qui permet aussi une bonne répartition de la température sur la surface de la puce.

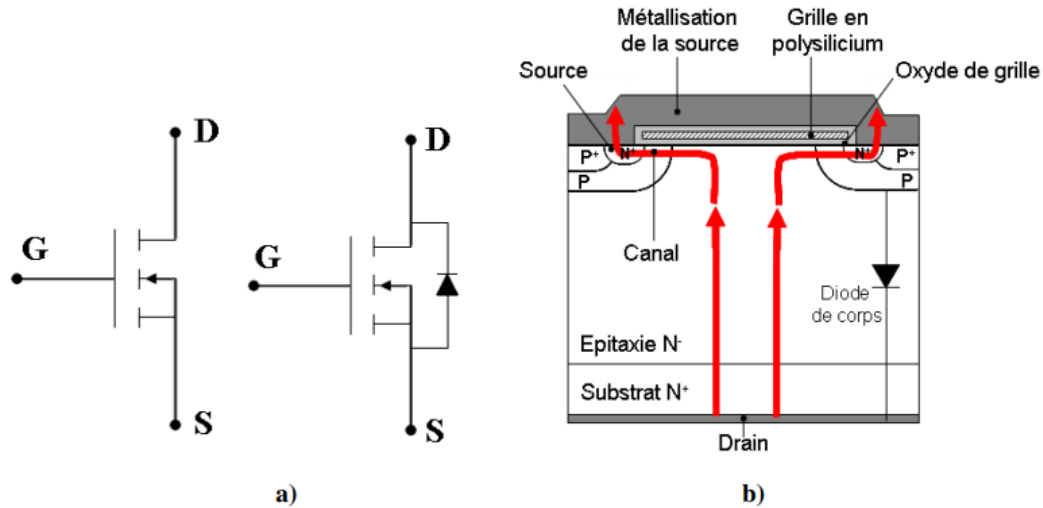


Figure I. 2: a) Représentations symboliques possibles du MOSFET de puissance avec et sans diode structurée. b) Coupe d'une cellule élémentaire d'un MOSFET de puissance.

I.2.1.1 L'état passant

Pour que le MOSFET soit dans un état passant, aussi appelé état de conduction ou état fermé, il faut que la tension appliquée sur la grille par rapport à la tension de la source supérieure à une certaine tension de seuil V_{GSt} . Cette tension positive entre la grille et la source permet la formation du canal d'inversion qui va permettre le passage du courant de drain. Dans cet état de conduction le MOS se comporte comme une résistance variable dont la valeur dépend de la tension de grille appliquée.

I.2.1.2 L'état bloqué

Lorsque la tension entre la grille et la source est inférieure à la tension de seuil, le courant ne peut plus circuler à travers le canal, le MOS est alors à l'état ouvert ou bloqué. Il n'y a pas de courant entre le drain et la source. La tension appliquée sur le composant est supportée par la jonction entre le drain et la source et peut croître jusqu'à une valeur correspondant à la tension d'avalanche. Cette tension dépend de l'épaisseur de la couche épitaxiée du composant.

I.2.1.3 Les terminaisons

Sur les cellules périphériques des transistors, les bordures des jonctions réalisées par diffusion sont de forme sphérique ou cylindrique. Le champ électrique maximum dans ces jonctions courbes est supérieur à celui des jonctions planes ce qui aura pour conséquence une tenue en tension dégradée au niveau de ces cellules de bord. C'est pourquoi il est nécessaire de maîtriser ces effets de bord en utilisant des terminaisons avec des dispositifs de garde qui limiteront le champ électrique en périphérie [7]

Il existe deux catégories de terminaisons, les terminaisons «planar» qui sont les plus courantes et les terminaisons «mésa» dédiées aux dispositifs hauts tensions qui ne seront pas décrites dans cette étude qui porte sur des composants faible tension. Les terminaisons de types planar permettent d'étaler les lignes de potentiel pour répartir et distribuer le champ électrique [7].

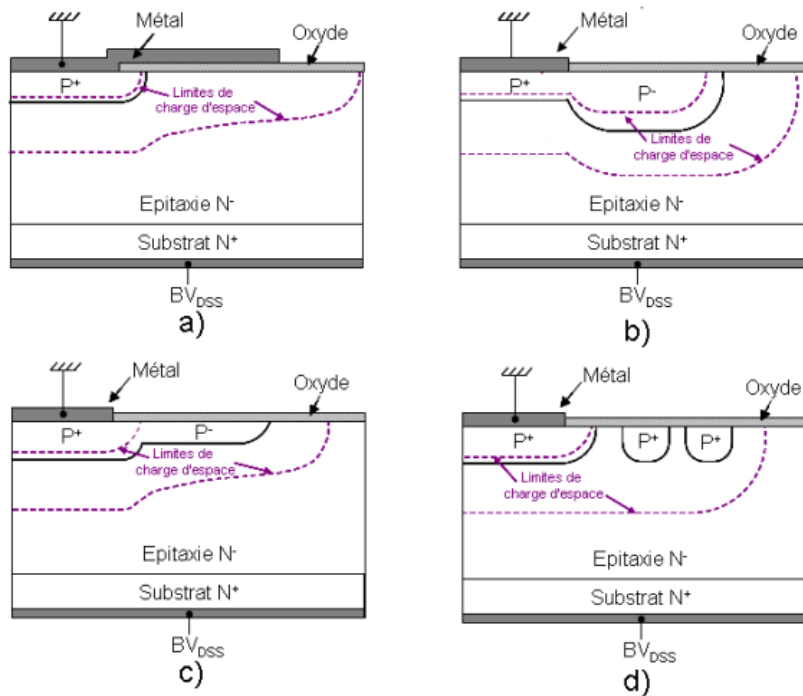


Figure I. 3: Différents types de terminaisons **a)** la plaque de champ **b)** l'anneau de garde diffusé **c)** la J.T.E. **d)** les anneaux diviseurs de champ [7].

I.2.1.3.1 La plaque de champ

La terminaison en plaque de champ consiste à former une capacité MOS au-delà de la jonction en prolongeant la métallisation de source sur une couche d'oxyde de silicium. Cette capacité permet d'étaler la zone de charge d'espace et ainsi diminuer le champ électrique dans les terminaisons. Avec ce type de terminaisons le champ électrique maximum se situe dans le silicium sous le bord de la métallisation de la plaque de champ et à la périphérie de la jonction.

I.2.1.3.2 L'anneau de garde diffusé

En diffusant en périphérie de la jonction un anneau de garde profond mais faiblement dopé, les cellules périphériques tiennent les mêmes tensions inverses que les jonctions planes. Ce type de terminaison est efficace pour les jonctions peu profondes ou pour les contacts Schottky.

I.2.1.3.3 L'extension de jonction implantée (J.T.E.)

Pour ce type de terminaison la jonction est étendue en implantant une dose précise d'impuretés telle que sous polarisation inverse cette extension soit entièrement dépeuplée.

Ainsi la tension inverse est supportée latéralement dans toute l'extension ce qui permet de repousser le seuil de claquage dans les cellules périphériques.

I.2.1.3.4 L'anneau de garde diviseur de champ

La diffusion de ces anneaux concentriques se fait en même temps que celle de la jonction principale. L'espace entre la jonction principale et le premier anneau de garde est calculé de façon que la charge d'espace atteigne l'anneau à un niveau de tension inverse inférieur à celui de claquage. Le nombre d'anneaux diffusé dépend de la tenue en tension souhaitée. Ces anneaux sont dits flottants car ils ne sont pas connectés.

I.2.2 Les différents types MOSFETs de puissance

Le transistor MOSFET (Metal Oxide Semiconducteur Field Effet Transistor) est un composant de puissance commandé selon la polarisation de sa jonction grille-source qui lui permet de commuter de l'état bloqué à l'état passant. Il est, en plus, de type normalement bloqué (« normally-off ») ce qui le rend facile à utiliser.

Il existe plusieurs types de structures de MOSFET, les premières d'enveloppées étaient de type latéral et furent rapidement remplacées par des structures verticales qui visent l'amélioration des performances du composant (tenue en tension, calibre en courant, état passant ou performances dynamiques). Nous nous sommes focalisés dans cet état de l'art à étudier uniquement les structures verticales. Les structures verticales présentent l'avantage d'une forte intégration avec une faible résistance à l'état passant [8].

La figure I.4 présente une vue en coupe d'une cellule élémentaire de MOSFET vertical et explique son principe de fonctionnement. Ces cellules élémentaires sont mises en parallèle afin d'obtenir de fortes densités de courant.

La structure élémentaire comprend deux régions importantes, la région de drift N- permettant la tenue en tension, et la région du canal située en surface de type P (en contact avec l'oxyde de grille) contrôlant l'état passant ou bloqué du composant. En l'absence d'une tension entre grille et source, la surface de type P joue le rôle d'un isolant en évitant toute circulation de courant entre drain et source. En revanche, si une tension VGS est appliquée et qu'elle est suffisamment grande (supérieure à la tension de seuil V_{TH}), la surface de type P va voir un canal de conduction de type N (reliant drain et source) se former le long de l'oxyde de grille sous l'effet d'un champ électrique appliqué à la grille. Aucun courant ne circule à travers la grille qui reste isolée grâce à l'oxyde.

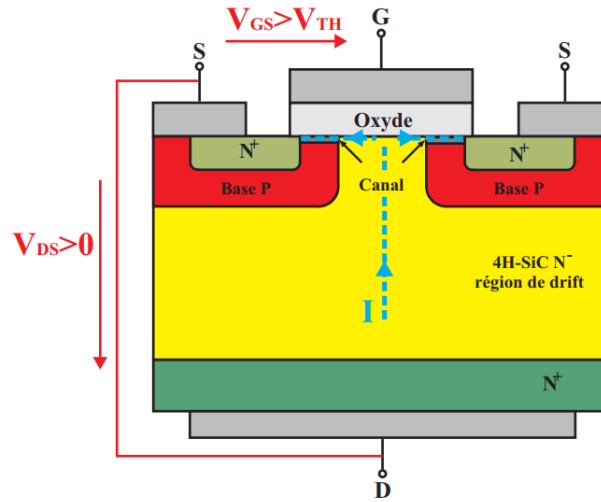


Figure I. 4 : Vue en coupe d'un MOSFET vertical donnant le principe de fonctionnement du canal en conduction lorsque $V_{GS} > V_{TH}$

Il existe différentes variantes de structures verticales, parmi elles nous citons la structure DMOS et la structure UMOS présentées sur la figure I.5.

La structure DMOS présente l'inconvénient d'avoir sa résistance à l'état passant qui augmente (dit effet JFET) quand le composant est conducteur. Cette problématique est due au rétrécissement de la région N- dans la zone JFET (entre deux zones de charge d'espace P) engendrant ainsi le rétrécissement du canal donc la diminution de la densité de courant et l'augmentation de la résistance de la zone JFET.

Pour contourner ce problème, il fallait s'affranchir de l'effet JFET en supprimant la région qui sépare les deux zones de charge d'espace P. Cela se fait par une création d'un canal vertical dans la structure UMOS (figure I.5b). Cette structure permet de réduire l'impact du champ électrique dans le d'électrique même si l'intensité de ce champ reste toujours importante.

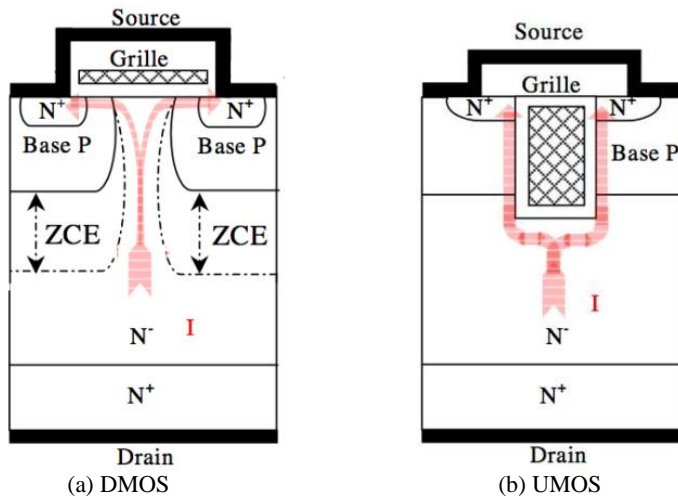
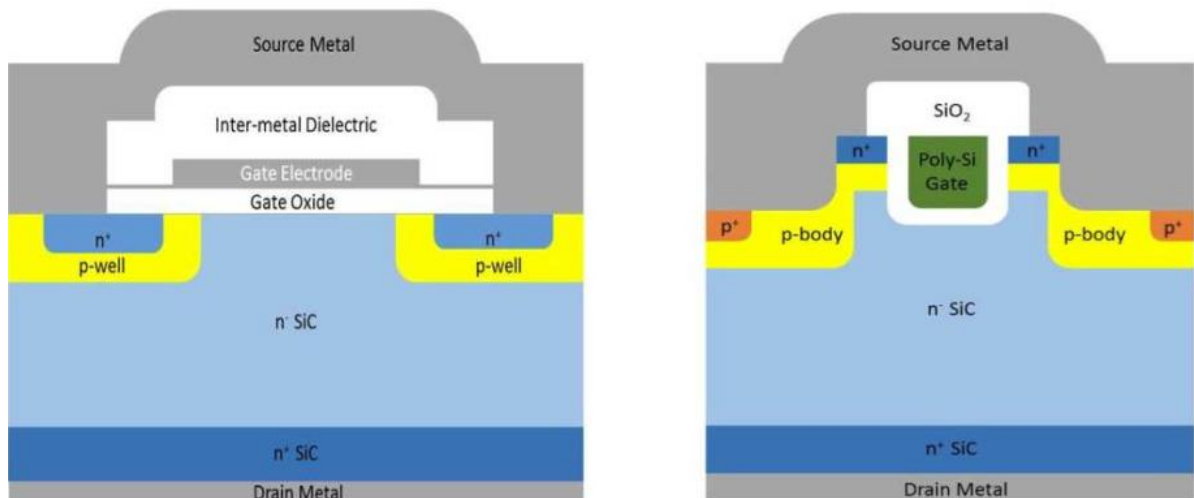


Figure I. 5: Structures MOSFET verticales: DMOS et UMOS

L'intérêt du MOSFET SiC est souvent affecté par la fiabilité de l'oxyde de grille. Ce problème est lié tout d'abord à la qualité médiocre de l'interface oxyde de grille/semi-conducteur, due à la faible valeur de la barrière entre la bande de conduction du SiC et la bande de conduction de l'oxyde (2,7eV pour le SiC contre 3,1eV pour le Si) [9]. Cette limitation conduit à une mobilité des porteurs très faible dans le canal d'inversion ce qui augmente la résistance à l'état passant. En outre, la faible épaisseur de l'oxyde (contrairement à celui du MOSFET Si) en plus du fort champ électrique, fragilise d'avantage la grille et réduit sa fiabilité.

Malgré ses limites, le MOSFET offre d'excellentes performances notamment celui de la gamme 1200V déjà commercialisée par Cree et par Rohm. Nous présentons sur la figure I.6 la structure DMOS pour Cree et celle UMOS pour Rohm.



(a) DMOS de chez Cree

(b) UMOS de chez Rohm

Figure I. 6: Structures des MOSFET commercialisées (a) par Cree et (b) par Rohm

I.2.3 Comportement statique des transistors NMOS

I.2.3.1 Tension de seuil VGSth

Lorsque la tension entre drain et source VDS est positive et que l'on polarise la grille positivement, le champ électrique dans la couche d'oxyde va attirer les électrons minoritaires de la couche P. A partir d'une certaine valeur de la tension grille source VGS, les électrons dans la zone P proches de la surface du silicium vont devenir suffisamment nombreux pour créer une zone d'inversion permettant la circulation du courant entre drain et source. Cette tension est appelée tension de seuil VGSth. Ainsi la tension VGS va fixer l'ouverture du canal et la tension VDS va permettre d'augmenter plus ou moins le courant dans ce canal. La tension de seuil VGSth dépend des paramètres géométriques, et structurels du composant ainsi que de la qualité des oxydes et interfaces. Son expression donnée par l'équation (I.2) [10] :

$$V_{GSth} = V_{FB} + 2\Phi_F \frac{\sqrt{2\varepsilon_{si}qN_A(2\Phi_F)}}{C_{ox}} \quad (I.2)$$

Dépend de :

- La tension de bandes plates $V_{FB} = -\frac{Q_{SS}}{C_{ox}} + \Phi_{ms}$ où Q_{SS} représente les charges fixes dans l'oxyde et à l'interface oxyde/silicium, C_{ox} la capacité de l'oxyde de grille par unité de surface, ms le travail de sortie métal/semi-conducteur.
- Potentiel de Fermi $\Phi_F = \frac{kT}{q} \ln\left(\frac{N_A}{N_i}\right)$ avec kT l'énergie d'agitation thermique.

I.2.3.2 Courant drain source IDS

Lorsque la tension grille source est supérieure à V_{GSth} et que V_{DS} est inférieur à $V_{GS} - V_{GSth}$ le transistor est dans son mode passant ohmique (figure I.7) où le canal est continu (non pincé), on peut alors définir le courant de drain I_D comme étant :

$$I_D = \frac{\mu_n Z C_{ox}}{W} (V_{GS} - V_{GSth}) V_{DS} \quad (I.3)$$

Où Z et W sont la largeur développée et la longueur de canal.

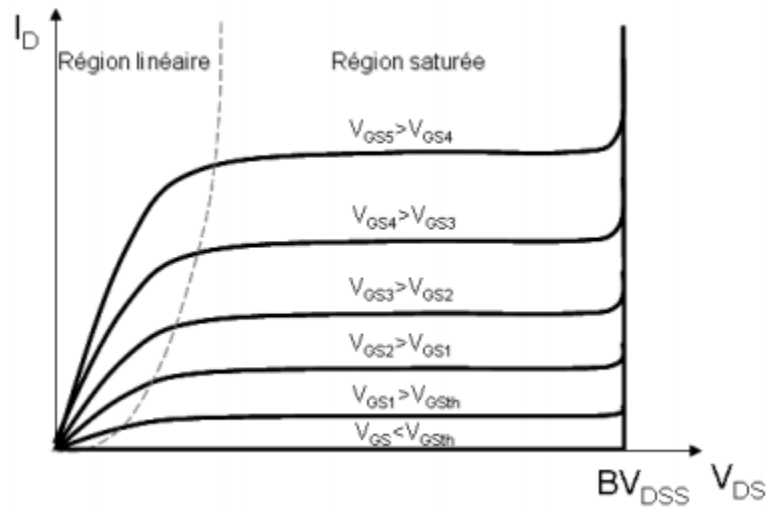


Figure I. 7: Courant de drain en fonction de la tension de drain et de grille d'un MOSFET.

Au-delà d'une certaine valeur de V_{DS} , le canal va commencer à se pincer et le transistor va passer d'un mode ohmique à un mode saturé où le courant de drain est indépendant de la tension drain source [10].

I.2.3.3 Résistance à l'état passant R_{DSon}

A l'état passant (dans la région linéaire) le MOSFET peut être considéré comme une résistance, la R_{DSon} est la résistance du composant entre le drain et la source lorsque celui-ci est à l'état passant. Elle est définie comme étant le rapport de la tension de drain sur le courant de drain lorsque V_{DS} tend vers zéro. Cette résistance est une des caractéristiques principales d'un MOSFET de puissance, en effet le principal défi dans le développement des MOSFETs de

puissance est de diminuer cette résistance afin de limiter l’auto-échauffement du composant ainsi que la chute de tension à l’état passant. La valeur de la résistance à l’état passant dépend de la tension de grille appliquée c’est-à-dire de l’ouverture du canal elle est en général mesurée pour des tensions de grille telles que le canal est entièrement ouvert ainsi on est à la valeur saturée de la R_{DSon} (figure I.8).

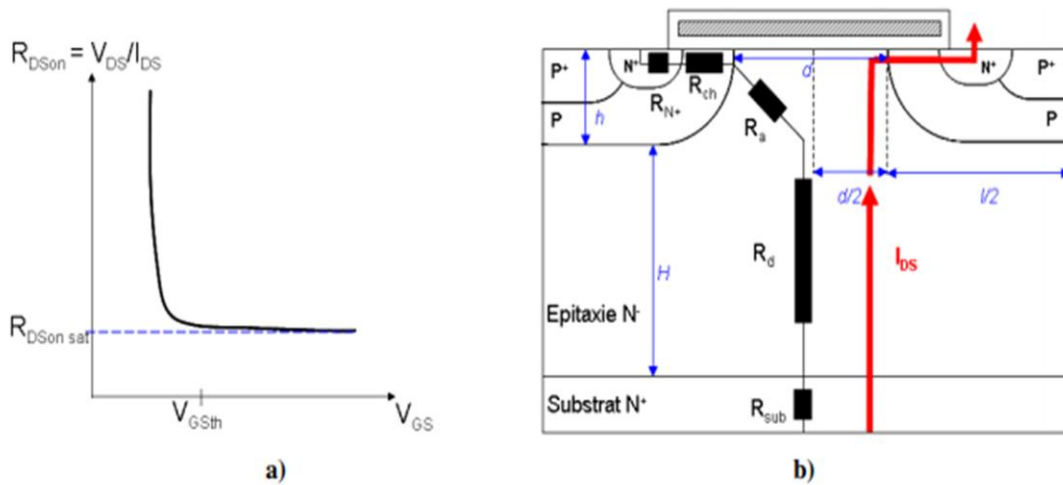


Figure I. 8: a) R_{DSon} en fonction de la tension de grille. b) Composantes de la R_{DSon} dans un VDMOS.

Le MOSFET est un empilement de couches de différentes épaisseurs et différents dopages, la R_{DSon} est la somme des résistances des couches que le courant va traverser lors de son parcours entre le drain et la source :

$$R_{DSon} = R_{Sub} + R_d + R_a + R_{ch} + R_{N^+} \quad (I.4)$$

✚ **La résistance du substrat R_{sub} :** la contribution de cette résistance est minime étant donné que cette zone est de faible épaisseur et fortement dopée N_{sub} . On peut toutefois la définir comme une résistance d’épaisseur e_{sub} et de surface S

$$R_{Sub} = \frac{e_{sub}}{q\mu_n N_{sub} S} \quad (I.5)$$

✚ **La résistance de la zone drift R_d** : C'est la résistance de la zone épitaxiée de faible dopage N-. La tenue en tension du composant va déterminer la valeur de cette résistance R_d . Cette couche est assimilée à un barreau de silicium de résistivité $\rho_r = (q * \mu_n * N_D)^{-1}$ où N_D représente le dopage (considéré constant dans la couche épitaxiée). Dans ce cas la résistance peut être calculée grâce à $R_d = \rho_r * l/S$

$$R_d = \frac{H}{q\mu_n N_D S} \quad (I.6)$$

Où H représente l'épaisseur de la couche épitaxiée, S la surface d'une cellule élémentaire.

Cependant si l'on veut un calcul plus précis en prenant en compte la focalisation des courants [11], dans le cas d'un MOSFET où $H < l/2$ (en général un MOS basse tension) l'épaisseur de la couche épitaxiée est telle que les flux de courant de cellules adjacentes ne se recouvrent pas. Dans ce cas on peut exprimer la résistance de drift comme :

$$R_d = \frac{1}{q\mu_n N_D Z} * \ln\left(1 + \frac{2H}{d}\right) \quad (I.7)$$

Pour les MOSFETs avec des épaisseurs d'épitaxies telles que $H > l/2$ typiquement les MOS haute tension il faut prendre en compte le recouvrement des lignes de courant dans l'expression de R_d :

$$R_d = \frac{1}{q\mu_n N_D Z} * \left[\ln\left(1 + \frac{l}{d}\right) + \frac{2H-l}{d+l} \right] \quad (I.8)$$

Plus généralement, on peut donc exprimer la résistance de la couche épitaxiée comme étant fonction de la résistivité, des dimensions de la cellule élémentaire et de l'épaisseur de la couche épitaxiée.

$$R_d = \frac{1}{q\mu_n N_D Z} * f(H, d, l) \quad (I.9)$$

✚ **La résistance d'accès R_a** : c'est la résistance, de la couche épitaxiée qui est

En accumulation de charges sous la grille quand $V_{GS} > V_{GSth}$. Cette région correspond à la région intercellulaire de hauteur h (profondeur de jonction) et de largeur $d/2$ où le courant issu du drain va passer dans le canal, il faut donc prendre en compte l'existence de la couche accumulée

et la résistivité de la couche épitaxiée N-. Cette résistance est équivalente à la résistance d'un barreau de silicium de résistance

$$R_a = \frac{2h}{q\mu_n N_D Z d} \lambda \tag{I.10}$$

Où λ un coefficient géométrique dépendant des dimensions géométriques, du dopage et de la tension de grille VGS [12].

✚ **La résistance du canal d'inversion Rch** : représente une grande partie de la résistance totale RDSon. Cette résistance est déterminée par la longueur et la largeur développée du canal et peut être définie comme [13] :

$$R_{ch} = \frac{W}{\mu_n Z C_{ox} \Psi} * \frac{V_{GS} + \Psi - 2\Phi_f}{V_{GS} - V_{GSth}} \tag{I.11}$$

$V'_{GS} = V_{GS} + V_{FB} = V_{GS} + \frac{Q_{ss}}{C_{ox}} - \Phi_{ms}$ et Ψ représente le potentiel de réduction de mobilité transversal.

✚ **La résistance de la source RN+** : est très faible car la source est une zone fortement dopée de faibles épaisseur et largeur.

A toutes ces résistances il faudra bien évidemment rajouter les résistances liées à la connectique qui sont les résistances des fils de connexion, des métallisations face avant et face arrière de la puce [14].

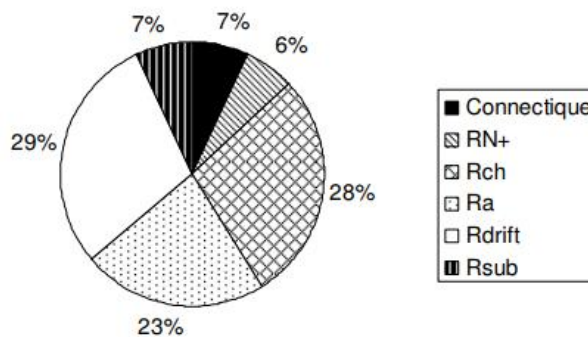


Figure I. 9: Contribution des différentes résistances à la R_{DSon} .

I.2.3.4 Tension de blocage BVDSS

Lorsque le composant est à l'état bloqué, c'est la jonction PN- qui va supporter la tension, la tension maximale BVDSS (Breakdown Voltage) pouvant être bloquée par le transistor dépend principalement du dopage et de l'épaisseur de la couche épitaxiée N- où va s'étendre la zone de charge d'espace. Plus la tension à bloquer sera grande plus l'épaisseur et la résistivité de la couche épitaxiée seront importantes. Ceci aura un impact direct sur la résistance du composant à l'état passant R_{DSon} , notamment sur la composante R_d exprimée dans les équations (I-5) (I-6) et (I-7). Il faut donc que la BVDSS du MOS soit la plus proche possible de la tension maximale d'utilisation pour que la résistance à l'état passant soit la plus faible possible. Cette résistance à l'état passant peut aussi être diminuée en augmentant la surface active de la puce mais ceci va diminuer les rendements de fabrication et donc augmenter le prix de la puce.

I.3 Conclusion

Les MOSFET de puissance sont les dispositifs de puissance les plus couramment utilisés en raison de leurs performances supérieures par rapport aux BJT, IGBT, thyristors, etc. Ils ont besoin d'une puissance de commande de grille plus faible et ont un temps de commutation plus rapide, aucune panne secondaire, ainsi qu'un gain et un temps de réponse stables sur une large plage de températures. Plusieurs structures de MOSFET de puissance ont été explorées depuis les années 1970. La plupart des MOSFET de puissance ont une structure verticale avec une source et un drain sur les côtés opposés de la plaquette afin de supporter un courant et une tension plus élevés.

Chapitre II

Caractérisation statique

II.1 Introduction

Ce chapitre décrit les procédures de caractérisation statique de base pour le SiC MOSFET. Le MOSFET SiC étudié ici est un MOSFET SiC de 1,2 KV, 15 A fabriqué par General Electric Company (GE) avec un boîtier TO-247 (Figure 2.1). Les trois conducteurs G, D, S représentés sur la figure 2.1 sont respectivement la grille, le drain et la source. Il n'y a pas de fiche technique du fabricant pour cet appareil car il n'a pas été encore commercialisé. Par conséquent, afin d'évaluer ses performances potentielles on présente la procédure de caractérisation qui a été faite par [ref].

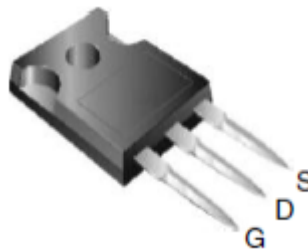


Figure II. 1: Boitier du TO-247

Les caractérisations statiques du SiC MOSFET comprennent principalement la caractérisation DC et la caractérisation AC. Lorsque nous parlons de la caractérisation DC des MOSFET, on vise essentiellement la caractérisation de sortie et de transfert, le courant de fuite de grille et de drain caractérisation, mesure de la résistance à l'état passant et de la tension de seuil et caractérisation I-V de la diode parasite. Pour la caractérisation AC, ça concerne les capacités parasites de l'entrée, de sortie et inverse, la caractérisation de la résistance de grille interne et la mesure de l'inductance introduites par le boîtier TO-247.

II.2 Caractérisations du SiC MOSFET

II.2.1 Courant de fuite drain-source I_{DSS}

I_{DSS} est le courant de fuite drain-source à une tension drain-source spécifiée lorsque la tension grille-source est nulle ($V_{GS} = 0V$). Il est utilisé pour évaluer la capacité de blocage de l'appareil. L'unité haute tension du traceur de courbe est choisie pour mesurer I_{DSS} et le test circuit est affiché sur la figure II.3. La figure II.2 montre le courant de fuite drain-source par rapport à la tension drain-source. Comme le montre la figure, le courant de fuite drain-source pour ce SiC est d'environ 200 μA à une tension drain-source de 1100 V, ce qui indique une tension de claquage

en avalanche de drain très élevée du dispositif. Lorsque la tension de drain est supérieure à 1100 V, on voit clairement que le courant augmente considérablement en raison de l'effet d'avalanche provoqué par l'ionisation par impact.

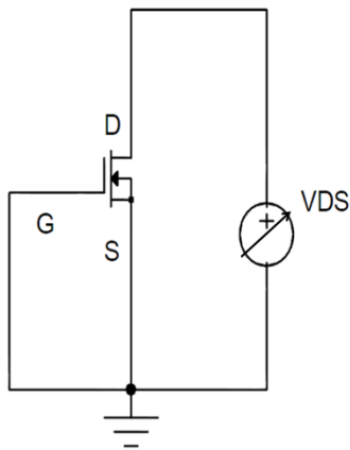


Figure II. 2: Circuit de test pour I_{DSS}

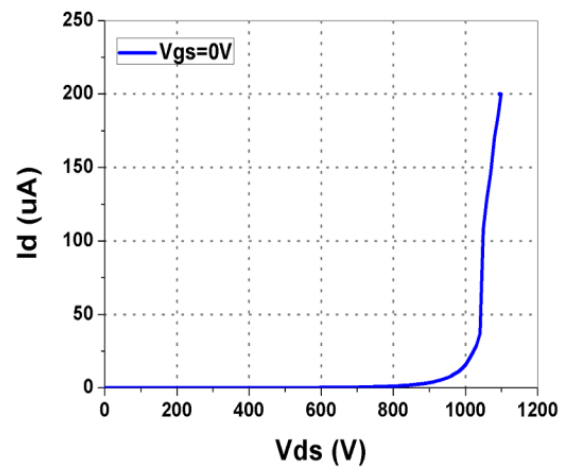


Figure II. 3: Courant de fuite drain-source vs. Tension de vidange.

La porte est court-circuitée au la source

II.2.2 Courant de fuite grille-source I_{GSS}

I_{GSS} est le courant de fuite qui traverse la borne de grille à une tension de source de grille spécifiée tandis que la tension drain-source est nulle ($V_{DS} = 0$ V). L' I_{GSS} est obtenu à environ 1,822 nA à $V_{GS} = 25$ V et $V_{DS} = 0$ V.

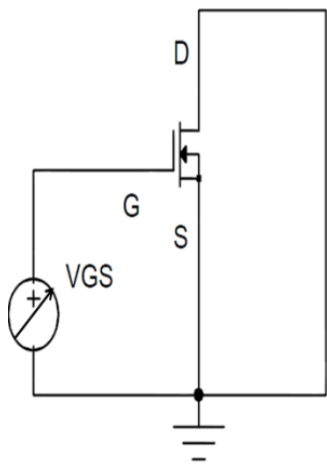


Figure II. 4: Circuit d'essai pour I_{GSS}

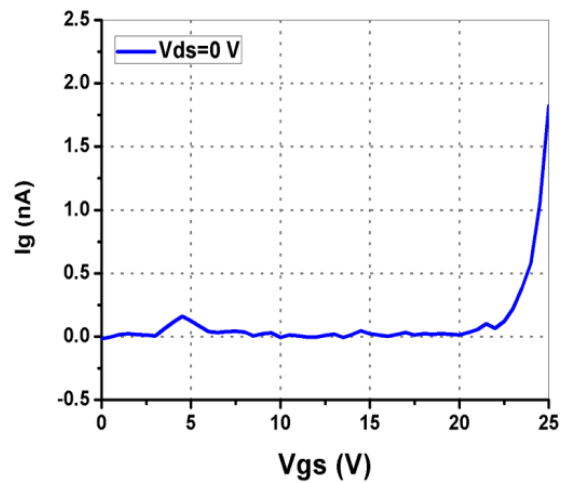


Figure II. 5: Courant de fuite porte- source en tant que
Fonction de la tension de grille. Le drain est court-circuité à la source

II.2.3 Caractéristiques de sortie et de transfert

Les caractéristiques de sortie sont le courant de drain I_d par rapport à la tension drain-source V_{DS} mesurée sous différentes tensions de grille V_{GS} de 4 V à 20 V par pas de 4 V. Les caractéristiques de transfert sont obtenues à $V_{DS} = 10$ V tandis que V_{GS} est balayé. Les figures II.6 et II.7 montrent les circuits de test pour les caractéristiques de sortie et de transfert respectivement et la figure II.8 et la figure II.9 sont les caractéristiques de sortie et de transfert pour le MOSFET SiC à température ambiante.

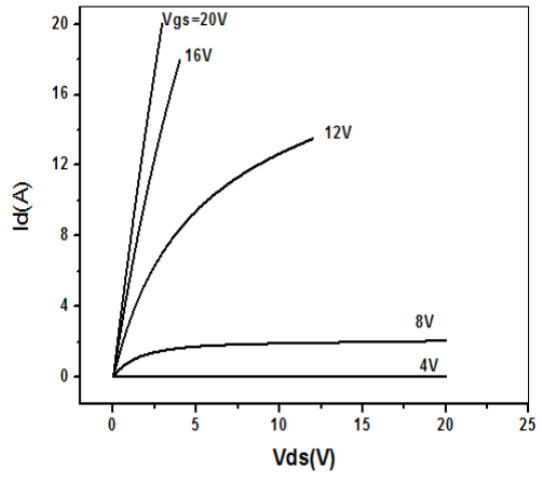
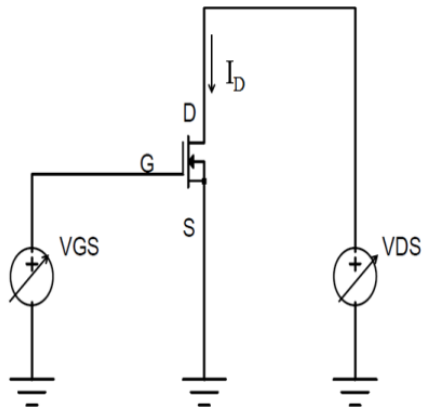


Figure II. 6: Circuit d'essai pour les caractéristiques de sortie

Figure II. 7: Caractéristiques de sortie. La porte Est

Polarisée de 4 V à 20 V avec un pas de 4V

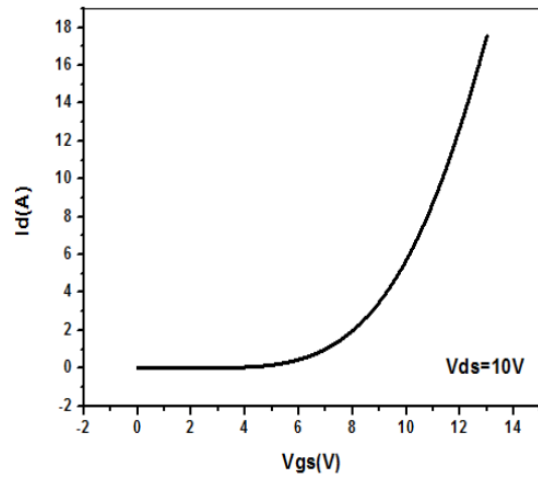
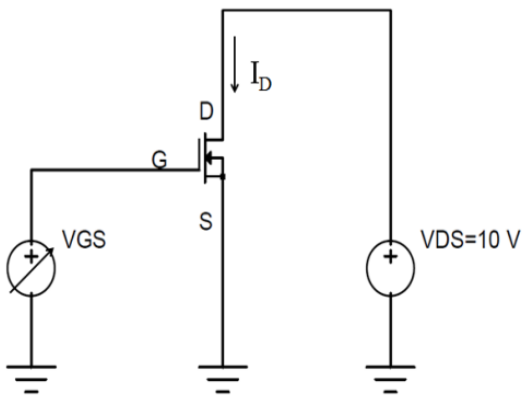


Figure II. 8: Circuit d'essai pour les caractéristiques de transfert

Figure II. 9: Caractéristiques de transfert. La

Polarisation du drain est de 10 V

II.2.4 R_{DS} de résistance à l'état passant (activé)

La résistance à l'état passant R_{DS} (ON) est un paramètre critique pour l'appareil car elle détermine la dissipation de la puissance de conduction. La figure II.10 montre la structure du D-MOSFET de puissance avec ses huit composants de résistance interne entre le drain et la source électrodes lorsque l'appareil est allumé. La résistance totale à l'état passant est la somme des huit résistances, qui peut être exprimée comme $R_{DS}(\text{on}) = R_{CS} + R_{N^+} + R_{CH} + R_A + R_{JFET} + R_D + R_{SUB} + R_{CD}$. Où R_{CS} est la résistance de contact de la source, R_{N^+} est la résistance de la source, R_{CH} est la résistance du canal, R_A est la résistance d'accumulation, R_{JFET} est la résistance JFET, R_D est résistance de la région de dérive, R_{SUB} est la résistance du substrat et R_{CD} est la résistance de contact du drain. Une introduction détaillée sur chaque composant de résistance peut être trouvée dans [15]. Il existe plusieurs définitions différentes pour le R_{DS} (ON), et certains articles le définissent commettre la pente maximale de la courbe de sortie à une tension de grille d'activation donnée [16-17]. Cette définition donne le R_{DS} (ON) minimum possible pour un VGS donné, ce qui donne $R_{DS}(\text{ON}) = 0,129 \Omega$ à $V_{GS} = 20 \text{ V}$ dans notre cas. Alors que dans la plupart des fiches techniques MOSFET SiC commercialisées, le R_{DS} (ON) est défini à un courant de drain spécifique [18]. Dans ce travail, R_{DS} (ON) peut être lu directement à partir des courbes caractéristiques de sortie. R_{DS} (ON) est défini comme étant la valeur extraite à une tension de grille d'activation spécifique V_{GS} et à un courant de drain I_{DS} . Ici, R_{DS} (ON) est obtenu à environ $0,141 \Omega$ à $V_{GS} = 20 \text{ V}$ et $I_{DS} = 15 \text{ A}$.

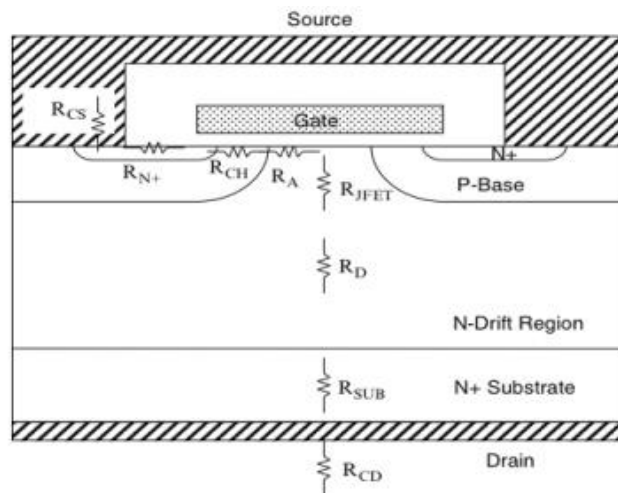


Figure II. 10: Structure du D-MOSFET de puissance

II.2.5 Tension de seuil de porte $V_{GS(TH)}$

La tension de seuil de grille $V_{GS(TH)}$ est définie comme la polarisation de grille minimale requise pour former un canal conducteur entre les régions de source et de drain ou pour mettre le dispositif sous tension. Si $V_{GS(TH)}$ est défini comme la tension grille-source qui produit un courant de drain de $10 \mu\text{A}$ lorsque les bornes de drain et de grille sont court-circuitées ($V_{GS} = V_{GD}$) [19], nous pouvons obtenir $V_{GS(TH)} = 1,57 \text{ V}$. Si nous utilisons un courant de drain plus important tel que 10 mA , un seuil plus élevé $V_{GS(TH)} = 3,30 \text{ V}$ est obtenu. Les figures II.11 et II.12 montrent les circuits de test pour les caractéristiques de sortie et de transfert, respectivement.

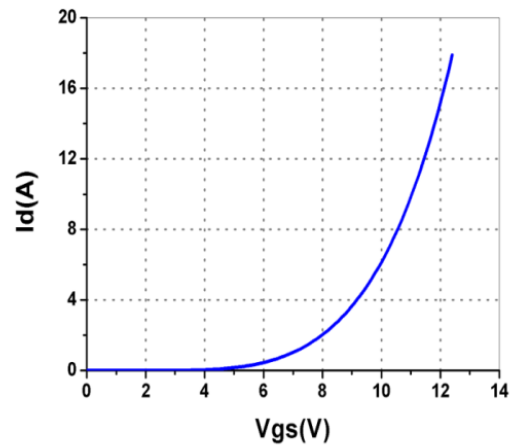
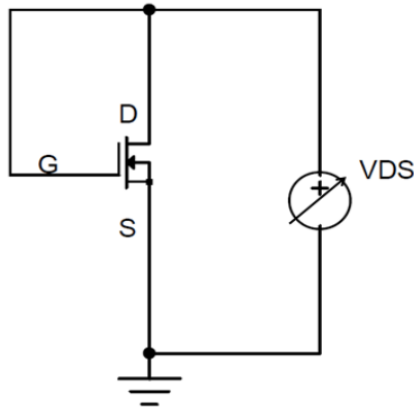


Figure II. 11: Circuit d'essai pour la caractérisation de $V_{GS(TH)}$ **Figure II. 12:** Courant de vidange en fonction de la Porte (Drain) biais. Le drain Est court-circuité à la porte

II.2.6 Caractéristiques de la diode parasite I-V

Différent d'un MOSFET à structure latérale conventionnelle, le MOSFET SiC possède une diode parasite intrinsèque en raison de sa structure de dispositif verticale. La mesure de la diode de corps est la même que celle d'une mesure de diode ordinaire à deux bornes, sauf que la grille et la source du MOSFET SiC doivent être court-circuités ($V_{GS} = 0 \text{ V}$). Le circuit de test pour la caractérisation de la diode parasite est illustré à la Figure II.13. La courbe I-V de la diode polarisée en direct et la courbe I-V de la diode polarisée en inverse sont illustrées à la Figure II.14 et à la Figure II.15.

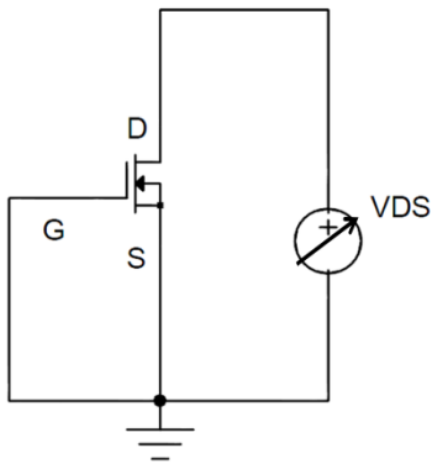


Figure II. 13: Circuit d'essai pour la diode parasite

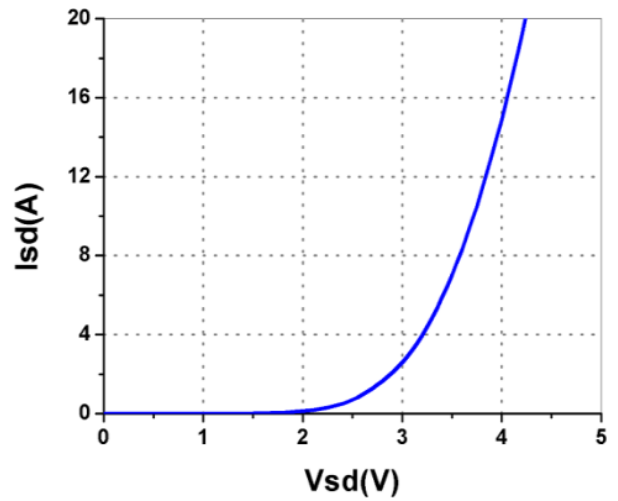


Figure II. 14: Courbe I-V de la diode parasite (Directe)

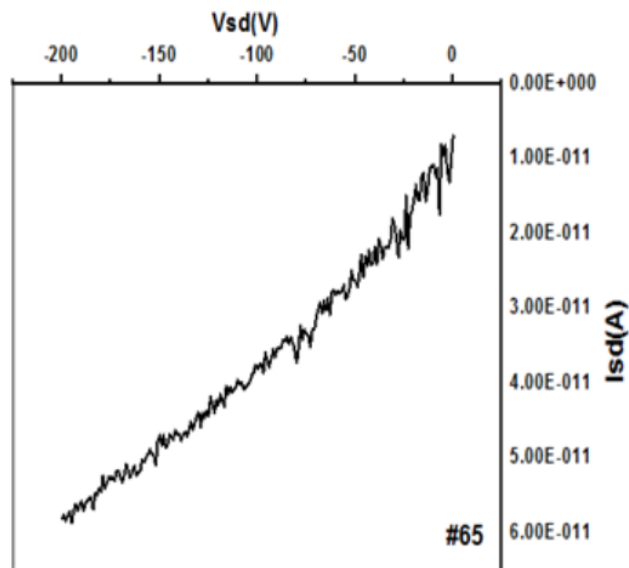


Figure II. 15: Courbe I-V de la diode parasite (inverse)

II.2.7 Capacité de grille (courbe C_g - V_g)

La Figure II.16 montre la configuration de mesure pour obtenir les courbes C_g - V_g à cinq fréquences différentes (Figure II.17). Les courbes C_g - V_g diffèrent les unes des autres dans les trois régions suivantes : région d'accumulation, région d'appauvrissement et région de forte inversion [20]. Comme peut être vu, par rapport à des niveaux de fréquence relativement plus bas (par exemple 100 Hz, 1 KHz, 10 KHz, 100 KHz), la capacité est beaucoup plus petite en accumulation et une forte région d'inversion lorsque la fréquence est de 1 MHz. Cela est dû à l'incapacité des trous dans les régions d'accumulation et des électrons dans la région d'inversion à répondre à une fréquence plus élevée signaux [21].

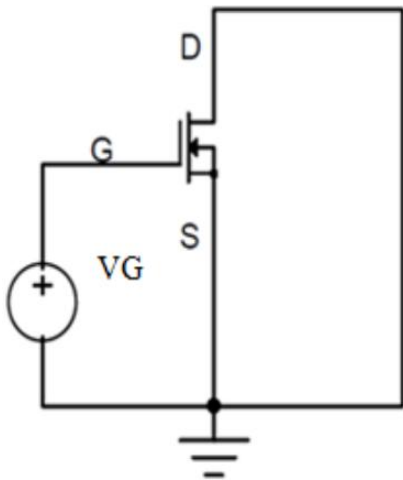


Figure II. 16: Circuit d'essai pour C_g - V_g

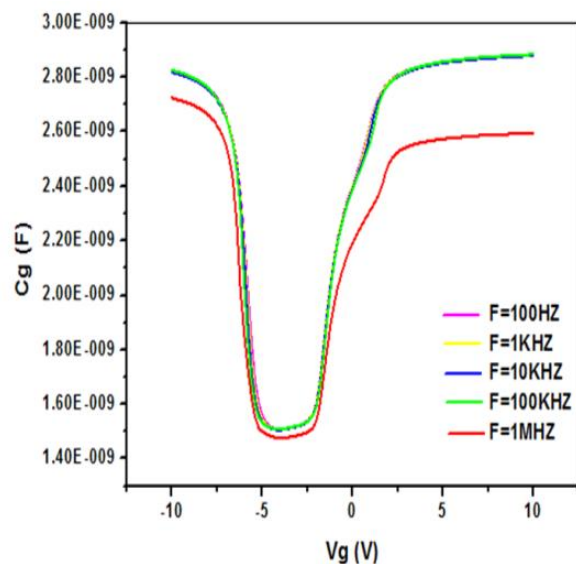


Figure II. 17: Courbes C_g - V_g

II.2.8 Capacités de jonction non linéaires C_{ISS} , C_{RSS} , C_{OSS}

Habituellement, l'utilisation d'un seul LCR_Mètre ou d'un analyseur d'impédance n'est pas un moyen réalisable de mesurer la capacité d'entrée, de sortie et de transfert inverse, car les compteurs LCR généraux ou les analyseurs d'impédance n'ont pas de source de tension DC élevée (par exemple, maximum 40 V pour Indicateur LCR Agilent 4248A). Un moyen habituel de résoudre ce problème consiste à construire un circuit de test complexe avec une alimentation DC pour prendre en charge une polarisation de drain plus élevée ainsi qu'un compteur LCR. Pour

mesurer les capacités [22-23]. La figure II.18 montre la connexion entre le Bias-T haute tension, le MFCMU et le HVSMU pour fournir une polarisation en courant continu jusqu'à 3000V pendant les mesures de capacité.

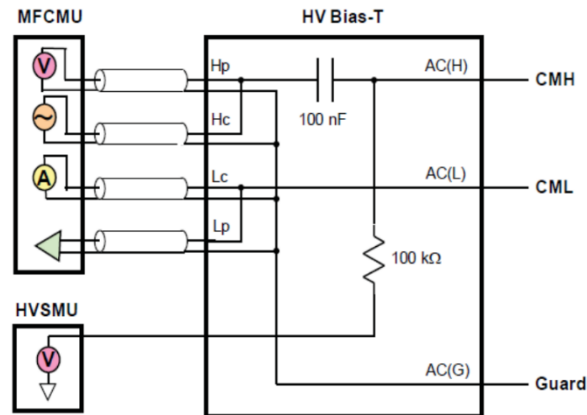


Figure II. 18: Le Bias-T haute tension B1505A se connecte aux modules MFCMU et HVSMU pour fournir jusqu'à 3000 V de polarisation CC pendant les mesures de capacité

(1) Capacité de sortie SiC MOSFET : $C_{OSS} = (C_{DS} + C_{GD})$

Pour la mesure de capacité, nous utilisons l'unité de mesure de capacité à fréquences multiples (MFCMU), qui dispose de quatre ports (Hp, Hc, Lp, Lc). Hp et Hc sont court-circuités ensemble (étiquetés «CMH») et Lp et Lc sont court-circuités ensemble (CML). Pour mesurer C_{OSS} , nous devons simplement court-circuiter les bornes de porte et de source en utilisant un fil comme illustré à la figure II.19. En même temps, le HVSMU, la polarisation haute tension-T et le MFCMU doivent être connectés correctement pour la polarisation. Dans ce travail, le C_{OSS} (Figure II.20) est mesuré sous

$F = 100 \text{ KHz}$, V_{DS} de 0 V à 500 V avec pas de 1 V. Le niveau d'oscillation est = 20 mV.

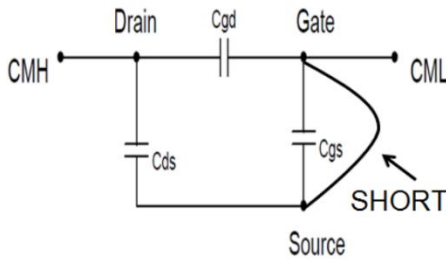


Figure II. 19: Schéma de connexion C_{OSS}

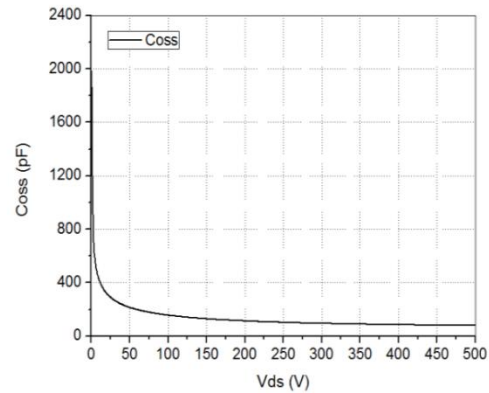


Figure II. 20: Courbe $C_{OSS} - V_{DS}$.

Le drain est balayé de 1 à 500V avec un pas de 1V

Et niveau d'oscillation de 20 mV à 100 kHz

(2) SiC MOSFET capacité inverse $C_{RSS} = (C_{GD})$

C_{RSS} Est équivalent à C_{GD} , donc pour effectuer cette mesure, nous devons supprimer toute interférence des C_{DS} et C_{GS} en utilisant la protection AC. La protection AC est utilisée pour fournir un chemin de courant alternatif afin que le courant circulant à travers C_{DS} ne retourne pas à travers C_{GS} dans le nœud CML. Donc, ce que nous avons mesuré entre le nœud CMH et le nœud CML n'est que C_{GD} . Dans ce travail, C_{RSS} est mesuré sous $F = 100$ KHz, V_{DS} de 0 V à 500 V avec pas de 1 V. Le niveau d'oscillation est = 20 mV. La Figure II-21 montre le schéma de connexion du C_{RSS} et la Figure II.22 montre la courbe $C_{RSS} - V_{DS}$

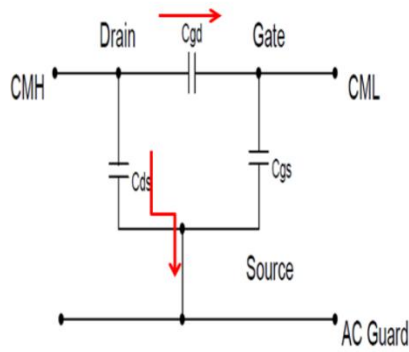


Figure II. 21: Schéma de connexion C_{RSS}

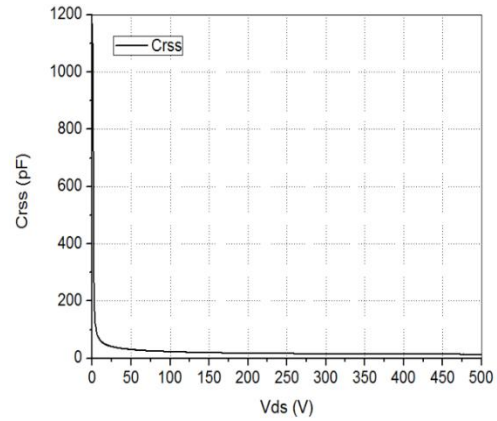


Figure II. 22: Courbe $C_{RSS} - V_{DS}$. Le drain est Balayé De 1 à 500 V avec un pas de 1V Et le niveau D'oscillation est de 20 mV à 10 kHz.

(3) Capacité d'entrée SiC MOSFET $C_{ISS} = (C_{GD} + C_{GS})$

Pour la mesure de la capacité d'entrée, nous devons utiliser une résistance de blocage externe 100 kΩ et un condensateur (1 μF). Le condensateur doit être beaucoup plus grand que C_{GD} ou C_{DS} (les capacités de jonction sont généralement de l'ordre de dizaines de pF à plusieurs nF), et il agit comme un condensateur de blocage CC. Inversement, nous devons connecter le HVSMU au drain via une résistance relativement grande pour empêcher le HVSMU d'interférer avec le signal CA provenant du MFCMU. La capacité mesurée doit être C_{GS} en parallèle avec la combinaison en série de C_{GD} et (1 μF + C_{DS} — 1 μF condensateur est en parallèle avec C_{DS}). Enfin, nous pouvons obtenir la capacité mesurée $C_m \approx C_{GD} + C_{GS} = C_{ISS}$. Dans ce travail, C_{ISS} est mesuré sous $F = 100$ KHz, V_{DS} de 0 V à 500 V avec pas de 1 V. Le niveau d'oscillation est $I_s = 20$ mV. La figure II.23, II.24 montre le schéma de connexion de la courbe C_{ISS} , $C_{ISS} - V_{DS}$ respectivement et la figure II.25 montre la capacité à trois jonctions en fonction de V_{DS} .

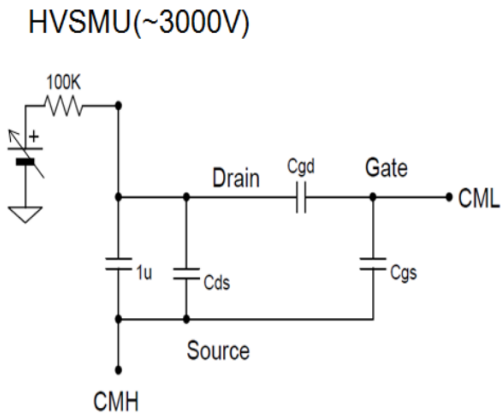


Figure II. 23: Schéma de connexion C_{ISS}

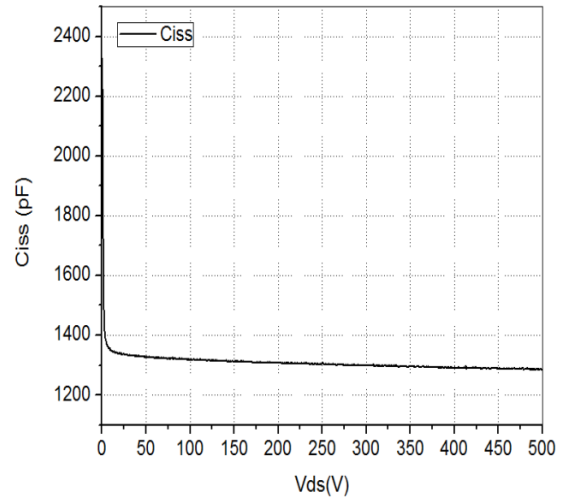


Figure II. 24: Courbe $C_{ISS} - V_{DS}$. Le drain La Tension est balayée de 0 à 500 V avec Un pas de 1 V Et oscillation de 20 mV signal à 100 kHz

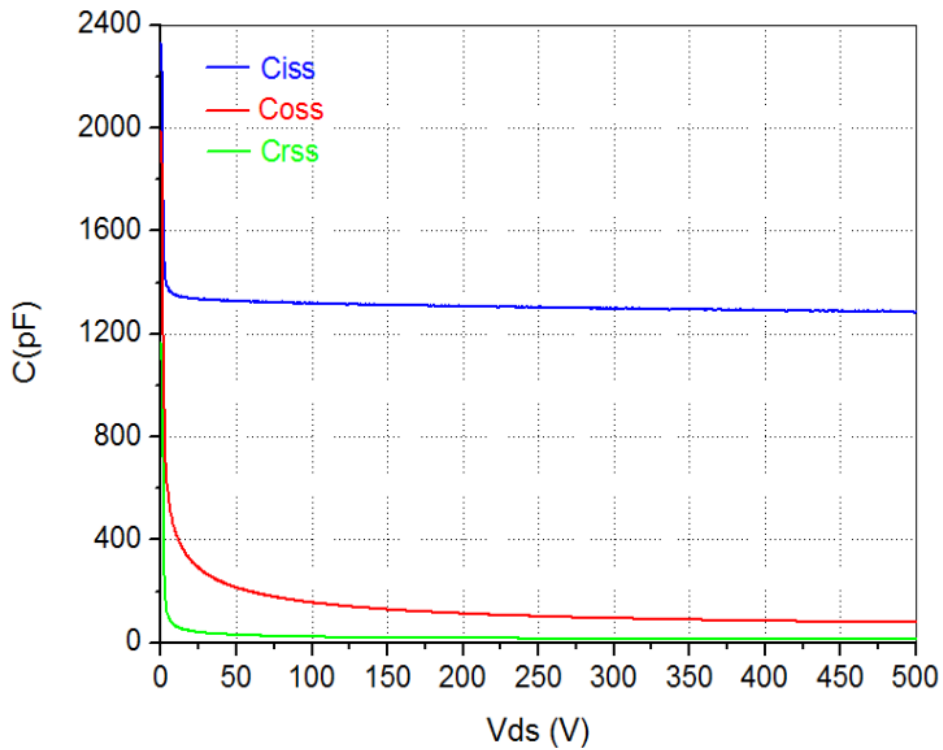


Figure II. 25: Courbes C-Vds

II.2.9 Résistance de grille interne R_{GI}

Outre les trois capacités non linéaires, la résistance de grille interne est également un paramètre essentiel car elle affecte la vitesse de commutation de l'appareil. La mesure de R_{GI} est réalisée avec un LCR Meter mesurant les bornes de grille et de source tandis que le drain et les bornes de source sont court-circuitées (Figure II.26, II.27) [24]. Le R_{GI} est mesuré à $0,55\Omega$ à 100 KHz.

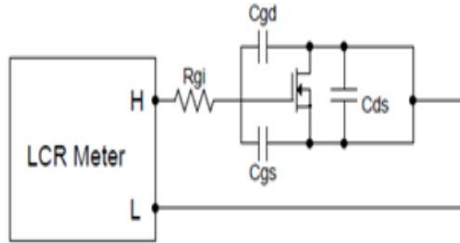


Figure II. 26: Configuration de la mesure R_{GI}

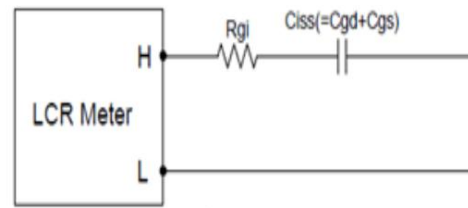


Figure II. 27: circuit équivalent (R_{GI})

II.2.10 Mesure de l'inductance parasite de boîtier

L'appareil est emballé dans un boîtier TO-247. Les impédances parasites introduites par le boîtier peuvent être exprimées par trois inductances L_G , L_D et L_S , qui sont respectivement en série avec les bornes de grille, de drain et de source [25]. Les inductances sont mesurées entre la racine des fils et le centre de contact de la matrice. Dans ce cas, les inductances mesurées sont $L_G = 9,23$ nH, $L_D = 5,93$ nH et $L_S = 7,52$ nH.

II.3 Conclusion

Ce chapitre a présenté la caractérisation statique du MOSFET 1,2 kV, 15 A SiC, réalisée par [ref], y compris la caractérisation de sortie et de transfert, la caractérisation du courant de fuite de grille et de drain, la caractérisation de la résistance à l'état passant et de la tension de seuil, la caractérisation de la diode parasite et la capacité à trois jonctions, caractérisation de la résistance de grille et de l'inductance parasite du boîtier. Ce sont les résultats de cette caractérisation statique que nous allons utiliser pour réaliser un modèle de simulation Simulink

Chapitre III

Modélisation du MOSFET SiC

1.2KV, 15A

III.1 introduction

Afin que le modèle du dispositif puisse être adopté et adapté à la simulation au niveau système pour d'une conception ultérieure, un modèle concis a été élaboré. Système pour la conception ultérieure du contrôleur de convertisseur intégré multimode, un modèle concis est préféré dans notre cas pour que la simulation au niveau du système soit aussi rapide que possible. Est préférable dans notre cas pour que la simulation au niveau du système soit aussi rapide que possible. Jusqu'à présent, de nombreux efforts ont été déployés pour la modélisation des MOSFET SiC, dont la plupart se sont concentrés sur le développement de modèles basés sur la physique pour les MOSFET SiC. Se sont concentrés sur le développement de modèles basés sur la physique pour le SiC MOSFET [26-28]. Pour développer modèles de dispositifs basés sur la physique, il est nécessaire de connaître l'ensemble du processus de processus de fabrication du dispositif et toutes les informations sur les paramètres, comme la longueur et la largeur du canal du dispositif, l'épaisseur de l'oxyde de grille, etc. l'épaisseur de la couche d'oxyde de grille, la région de dérivation N et le substrat, la concentration de de la région JFET, des puits P et de la région de dérivation N, etc. Cependant, la plupart de ces paramètres, qui sont nécessaires pour développer des modèles, ne sont pas disponibles pour nous. Dans ce cas, nous avons décidé de développer des modèles de sous-circuits pour les MOSFETs SiC. L'avantage de construire L'avantage de construire des modèles de sous-circuit est qu'en faisant la caractérisation des dispositifs, les paramètres du modèle peuvent être directement extraits des résultats de la caractérisation sans connaître la structure détaillée des dispositifs [29]. Structure détaillée des dispositifs [29].

III.2 Modélisation par régression

III.2.1 Structure du modèle de sous-circuit de SiC MOSFET

La figure 3.1 montre la structure du modèle de sous-circuit du SiC MOSFET. Il comprend un MOS, trois condensateurs de jonction, une diode de corps inverse, une résistance de grille interne et trois inductances parasites de boîtier.

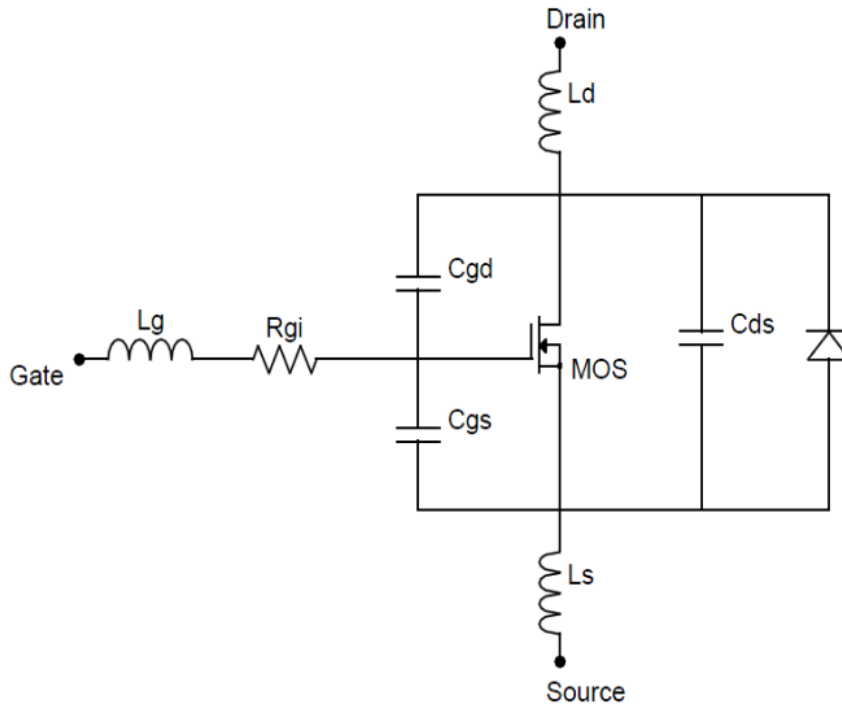


Figure III. 1: Modèle de sous-circuit pour SiC MOSFET

Les paragraphes suivants décrivent les détails des principaux composants du modèle de sous-circuit SiC MOSFET ci-dessus.

III.2.2 MOS

La partie MOS est modélisée comme une source de courant commandée en tension qui peut être utilisée pour décrire la sortie I-V statique et les caractéristiques de transfert du dispositif. Nous avons développé un modèle analytique pour décrire les caractéristiques de sortie [30].

III.2.2.1 Extraction des paramètres du model MOS

Le modèle pris est le suivant :

$$I_D = 0, \quad V_{GS} - V_{TH} \leq 0 \quad (\text{Cut-off regime}) \quad (\text{III.1})$$

$$I_D = \frac{\beta}{2} V_{DS} [2(V_{GS} - V_{TH}) - V_{DS}] (1 - \lambda V_{DS}), \quad 0 \leq V_{DS} \leq V_{GS} - V_{TH} \quad (\text{Linear regime}) \quad (\text{III.2})$$

$$I_D = \frac{\beta}{2} (V_{GS} - V_{TH})^2 (1 - \lambda V_{DS}), \quad 0 \leq V_{GS} - V_{TH} \leq V_{DS} \quad (\text{Saturation régime}) \quad (\text{III.3})$$

Et les courbes à partir de la datasheet :

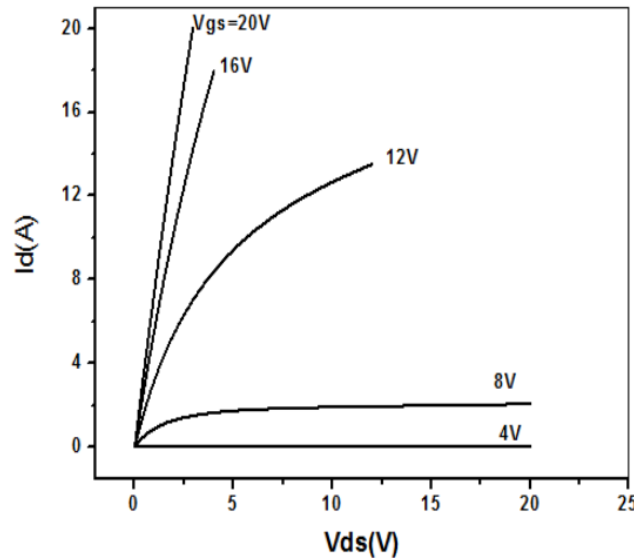


Figure III. 2: Caractéristiques de sortie typiques

On cherche donc : β , V_{TH} et λ . La manière la plus simple est de faire le « curve fitting » dans la zone de saturation. Pour la courbe correspondante à $V_{GS}=20\text{v}$, toute la courbe est dans la zone quadratique. On utilise donc la courbe correspondante à $V_{GS}=8\text{v}$, où la zone de saturation est présente, on extrait $I_D (V_{DS})$ dans cette zone et on lance l'application « curve fitting » de Matlab

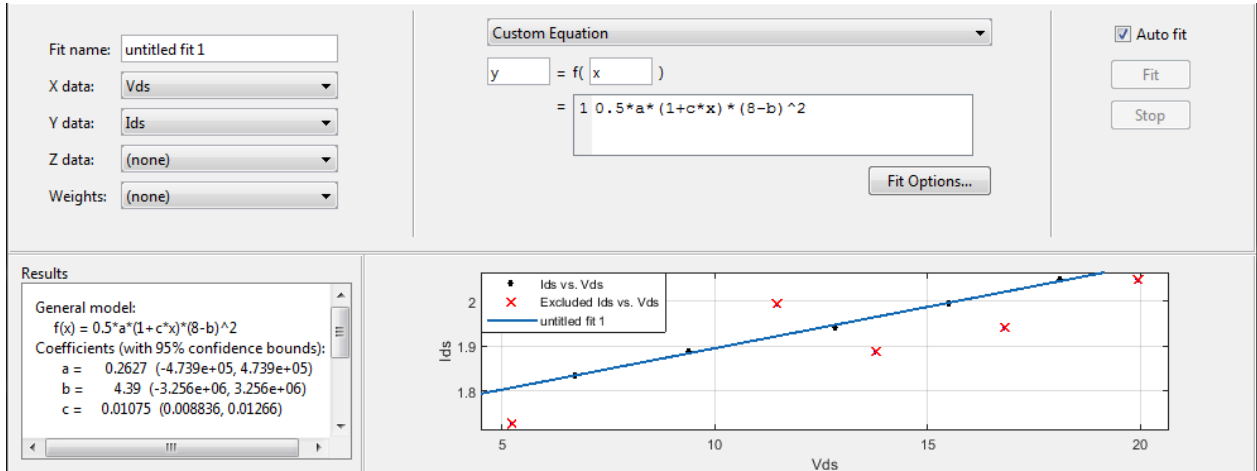


Figure III. 3: Fitting de $I_d(V_{ds})$ $V_{gs}=8v$ dans la zone de saturation

L'équation est $y=f(x) = 0.5*a*(1+c*x)*(8-b)^2$

Donc on a :

La tension de seuil $V_{TH}=b$ est de 4,39 V, $\beta=a = 0.2627 \text{ AV}^2$, et $\lambda=c = 0.01075 \text{ V}^{-1}$ obtenue par extraction.

III.2.3 Diode parasite

La diode peut être modélisée comme une diode de puissance connectée en antiparallèle avec le MOSFET. Le modèle est construit en se basant sur les équations analytiques eq (III.4), (III.5) et (III.6). Les paramètres à extraire des caractéristiques de la diode I-V comprennent : (1) R_S : résistance série ; (2) I_{SL} : courant de saturation pour injection bas niveau ; (3) V_{TL} : tension de seuil pour l'injection de bas niveau (4) I_{SH} : courant de saturation pour l'injection de haut niveau (5) V_{TH} : tension de seuil pour l'injection de haut niveau.

$$I_{SD} = I_{SL} \left\{ \exp\left(\frac{V_{SD}}{N_L - V_T}\right) - 1 \right\}; \quad 0 \leq V_{SD} \leq 0.96 \quad \text{(III.4)}$$

$$I_{SD} = I_{SH} \left\{ \exp\left(\frac{V_{SD}}{N_H - V_T}\right) - 1 \right\}; \quad 0.96 \leq V_{SD} \leq 3.55 \quad \text{(III.5)}$$

$$I_{SD} = \frac{1}{R_S} V_{SD} - 56.6; \quad V_{SD} \geq 3.5 \quad \text{(III.6)}$$

Où I_{SL} est le courant de saturation pour l'injection de bas niveau, N_L est le coefficient d'émission pour l'injection de bas niveau, I_{SH} est le courant de saturation pour l'injection de haut niveau, N_H est le coefficient d'émission pour l'injection de haut niveau, R_S est la résistance série.

III.2.3.1 Extraction des paramètres de la diode parasite

La courbe à partir de la datasheet :

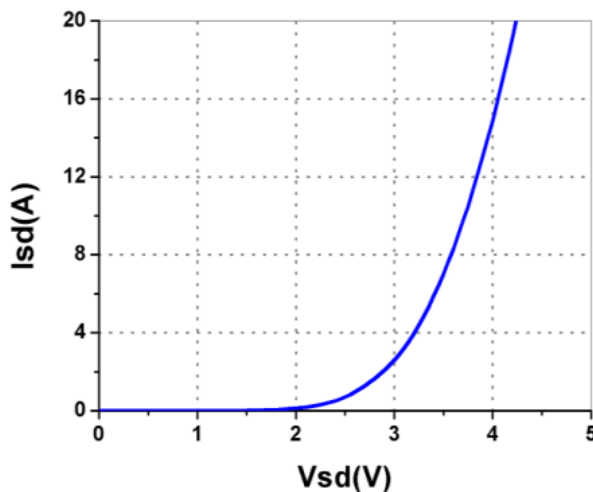


Figure III. 4: Courbe I-V de la diode

L'équation (III.6) permet d'extraire la résistance série R_S , et est écrite dans le « curve fitting tool » comme suit : $y=f(x) = (x/a)-56.6$

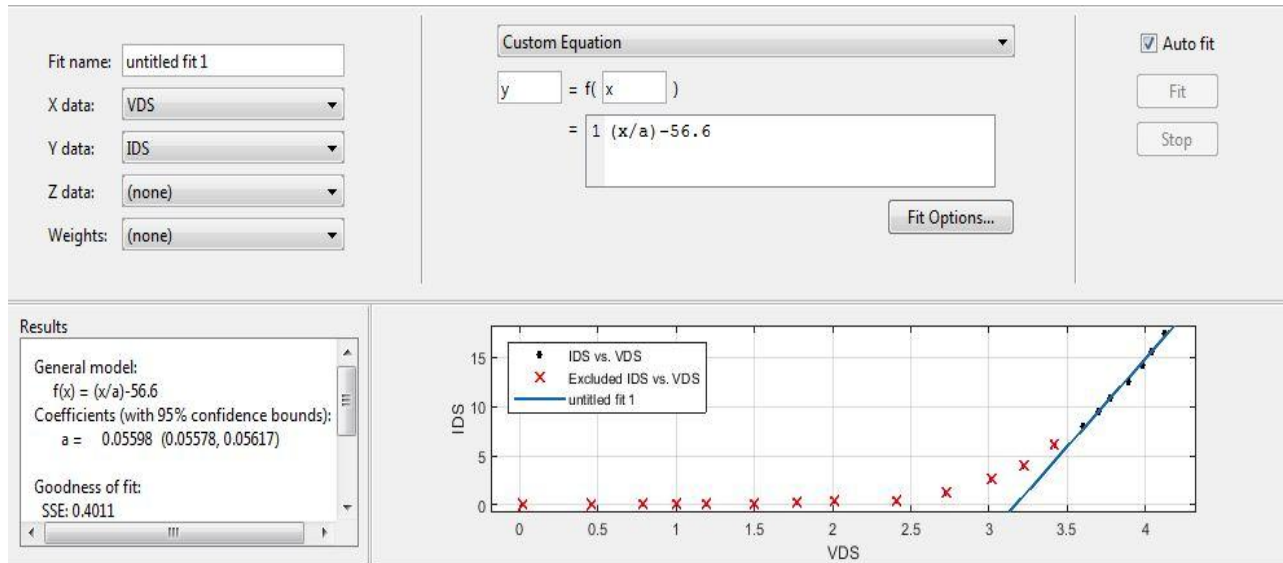


Figure III. 5: Fitting de I_{SD} (V_{SD}) pour $V_{SD} \geq 3.55$

Les équations (III.4) et (III.5) s'écrivent de la même manière mais permettent d'extraire des paramètres différents selon l'intervalle de la tension : $0 \leq V_{SD} \leq 0.96$ ou $0.96 \leq V_{SD} \leq 3.55$.

L'équation est $y=f(x) = a \cdot \exp(x/b \cdot c) - 1$

Pour $0 \leq V_{SD} \leq 0.96$:

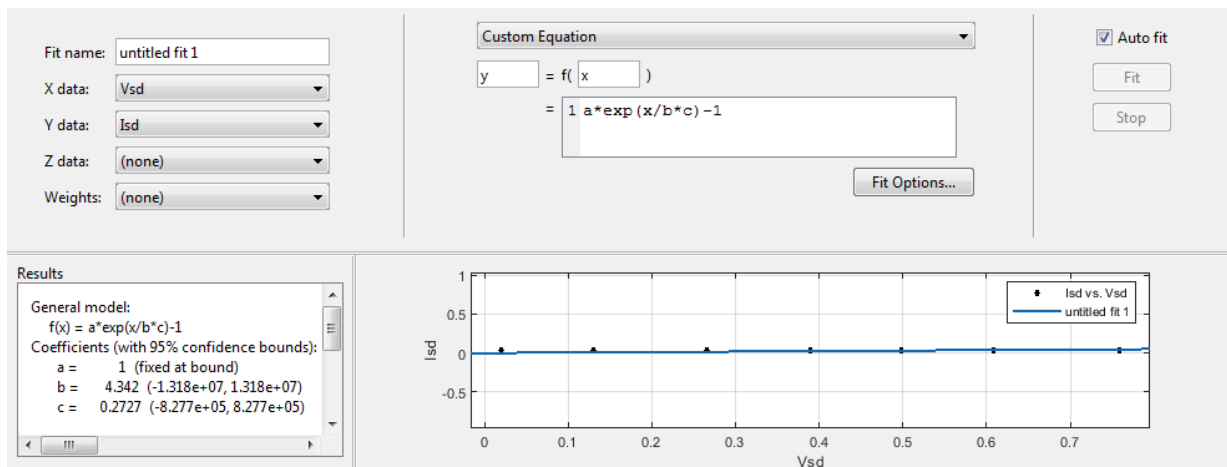


Figure III. 6: Fitting de I_{SD} (V_{SD}) pour $0 \leq V_{SD} \leq 0.96$

Pour $0.96 \leq V_{SD} \leq 3.55$

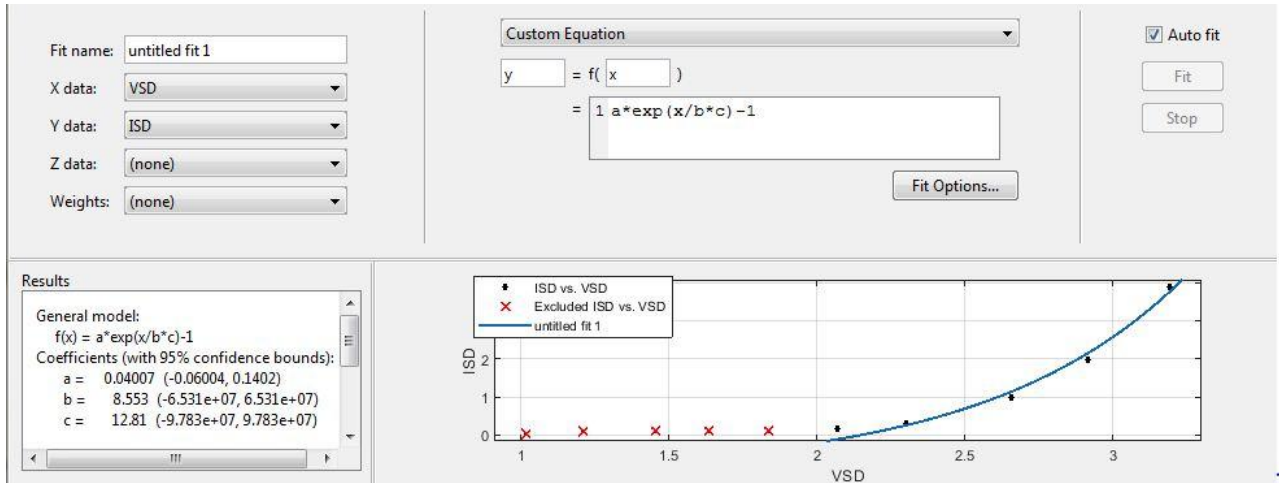


Figure III. 7: Fitting de $I_{SD}(V_{SD})$ pour $0.96 \leq V_{SD} \leq 3.55$

Les valeurs des paramètres extraits sont les suivantes : $I_{SL} = 1A$, $N_L = 4.342$, $I_{SH} = 0.04007A$, $N_H = 8.553$, $R_S = 0.05598 \Omega$, $V_T = 0.2727$

III.2.4 Les capacités des jonctions

Le formulaire des caractéristiques de capacité montre les courbes de capacité standards mesurées fournies par la plupart des fiches techniques : les trois capacités non linéaires sont mesurées en fonction de la tension de drain : $C_{RSS} = (C_{GD})$, $C_{OSS} = (C_{GD} + C_{DS})$ et $C_{ISS} = (C_{GD} + C_{GS})$. C_{GD} Et C_{DS} sont non linéaires alors qu'est C_{GS} supposé constant, ce qui est généralement vérifié par des données mesurées.

Les caractéristiques C-VDS des MOSFET SiC sont modélisées en utilisant des équations. (III.7), (III.8) et (III.9). Elles peuvent être exprimées sous la forme compacte suivante :

$$C_{GS} = C_{GS}(0) ; \quad (V_{DS} \geq 0) \quad (\text{III.7})$$

$$C_{GD} = \frac{C_{OXD} \cdot C_{GDJ}}{C_{OXD} + C_{GDJ}}, \quad C_{GDJ} = \frac{C_{GD}(0)}{\sqrt{1 + \frac{V_{DS}}{V_{TD}}}} ; \quad (V_{DS} \geq 0) \quad (\text{III.8})$$

$$C_{DS} = \frac{C_{DS}(0)}{\left(1 + \frac{V_{DS}}{V_{BI}}\right)^M} ; \quad (V_{DS} \geq 0) \quad (\text{III.9})$$

Où $C_{GS}(0)$ est la capacité grille-source à polarisation nulle, $C_{GD}(0)$ est la capacité grille-drain à polarisation nulle, $C_{DS}(0)$ est la capacité drain-source à polarisation nulle, C_{OXD} est la capacité d'oxyde grille-drain, C_{GDJ} est la couche d'appauvrissement du drain sous la capacité d'oxyde de grille, V_{TD} est la tension de seuil de drain, V_{BI} est le potentiel intégré et M est le coefficient de gradation. La comparaison du résultat simulé du modèle analytique et du résultat mesuré est illustrée à la figure III.8. Les valeurs des paramètres extraits sont les suivantes :

$C_{GS}(0)=1.29$ nF, $C_{GD}(0)=1.4$ nF, $C_{DS}(0)=0.835$ nF, $C_{OXD}=46$ nF, $V_{TD}=0.02$ V, $V_{BI}=2.058$ V, $M=0.47$.

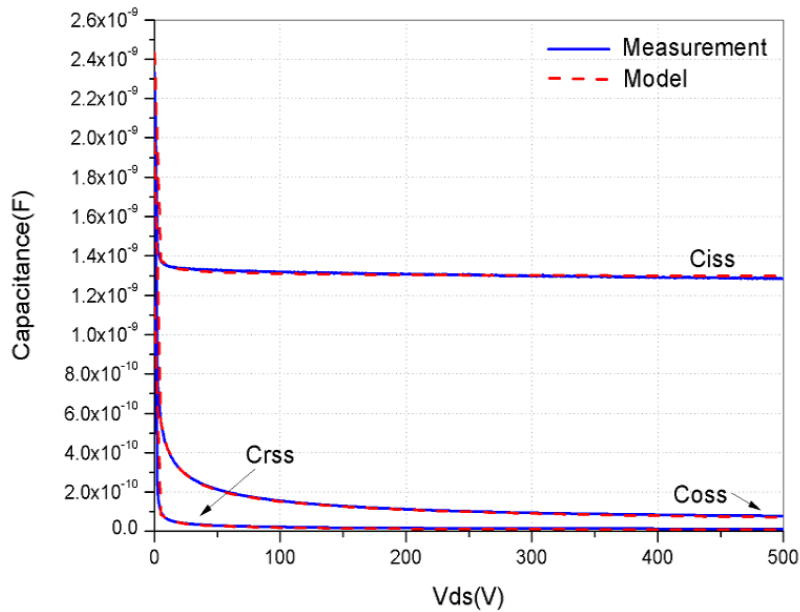


Figure III. 8: Caractéristiques C-VDS simulées

III.3 Modélisation Simulink

Simulink est une plateforme désormais reconnue pour la modélisation des systèmes électriques/électroniques, surtout avec le développement de la toolbox SimScape où l'on peut réaliser des simulations combinant des modèles Spice des semi-conducteurs avec des composants standards de Simulink. Dans la section suivante on présente le développement d'un modèle Simulink en se basant sur les paramètres extraits par fitting dans la section précédente.

III.3.1 Modèle Simulink du noyau MOS

Ce modèle implémente les équations (III.1), (III.2) et (III.3) avec les paramètres $\beta = 0.2627 \text{ AV}^2$, $V_{TH} = 4.39 \text{ v}$, $\lambda = 0.01075 \text{ V}^{-1}$.

La figure suivante montre le modèle Simulink. Chaque équation est modélisée par un bloc qui génère un courant en fonction des tensions V_{GS} et V_{DS} . Des blocs If else et actions permettent d'implémenter le fonctionnement conditionnel.

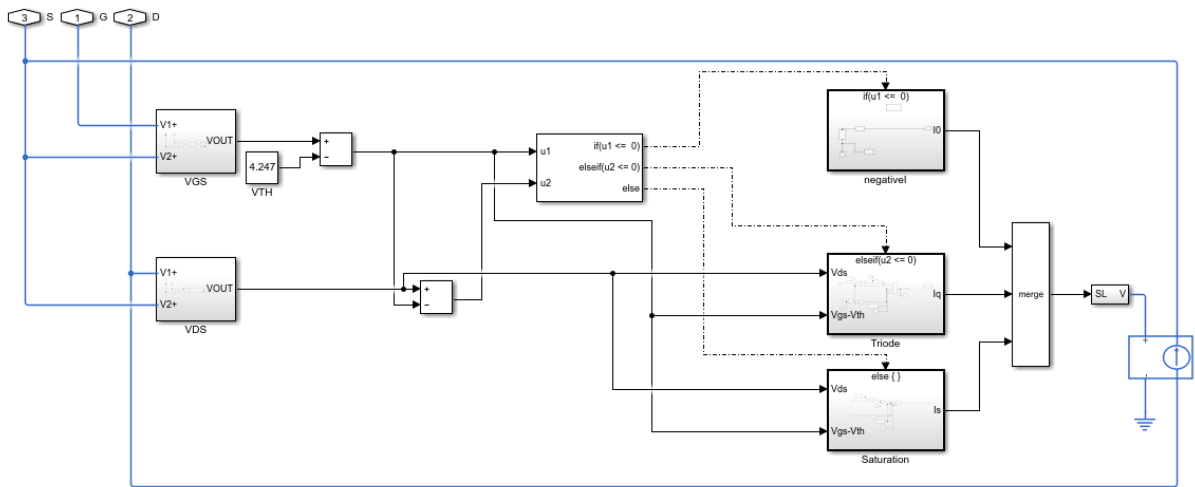


Figure III. 9: Schéma bloc du MOS.

La simulation de ce bloc a donné les résultats suivants

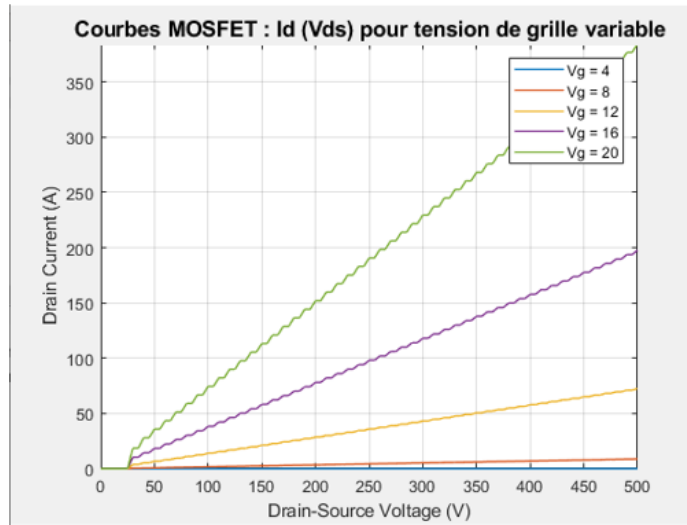


Figure III. 10: Caractéristiques $I_D (V_{DS})$ pour différentes valeurs de V_{GS}

On remarque que les courbes sont cassés et encore loin de la forme réelle du courant $I_D (V_{DS})$. C'est normal, car c'est un modèle très basique, et on doit ajouter les contributions des éléments parasites dans le modèle, ce qui est fait dans ce qui suit.

III.3.2 Modèle Simulink des capacités parasites

Une première possibilité pour modéliser les capacités parasites dans Simulink est d'implémenter les équations analytiques (8), (9) et (10) avec les paramètres extraits. Une autre possibilité, plus précise, et qui exploite au mieux les possibilités de Simulink est d'utiliser les blocs LUT. Un bloc LUT implémente un tableau de valeur (x , y). Dans notre cas un tableau qui contient des valeurs (C , V) où C'est une capacité et V une tension.

Pour les deux capacités parasites C_{GD} et C_{DS} , la procédure se fait de la même manière, en prenant garde de ne pas mélanger les courbes :

- Former des tableaux $C(V)$ à partir des courbes de caractérisation C_{iss} , C_{rss} et C_{oss} en utilisant un outil de numérisation de courbe (graph digitizer, l'outil FIGURE de matlab par exemple).
- Calculer les tableaux $C_{gd}(V)$ et $C_{ds}(V)$ selon les équations : $C_{rss} = C_{gd}$, $C_{oss} = (C_{gd} + C_{ds})$ et $C_{iss} = (C_{gd} + C_{gs})$. On peut faire appel à l'interpolation pour homogénéiser les tailles des tableaux.
- Utiliser deux blocs LUT dans lesquels on va charger les tableaux $C_{gd}(V)$ et $C_{ds}(V)$. C_{gs} étant prise comme constante.
- Utilisez des blocs condensateur variable commandé par tension pour traduire la sortie numérique des blocs LUT en signal électrique compatible avec le reste du modèle.
- Les figures III.11 et III.13 montre les modèles Simulink correspondants.

III.3.2.1 Schéma bloc de la capacité C_{DS}

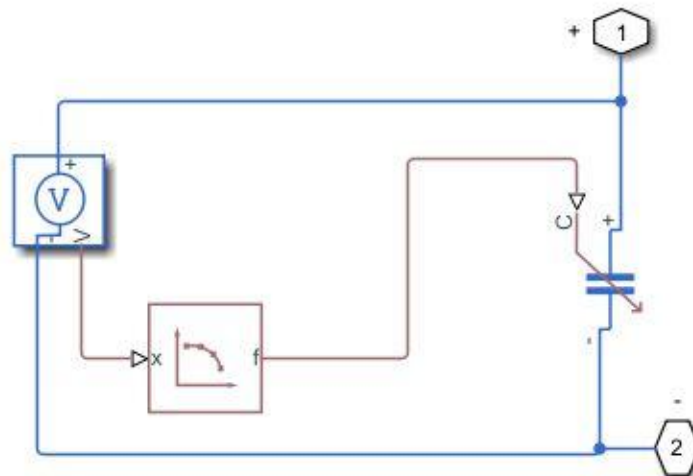


Figure III. 11: Schéma bloc de la capacité C_{DS}

Ce bloc a donné la courbe suivante

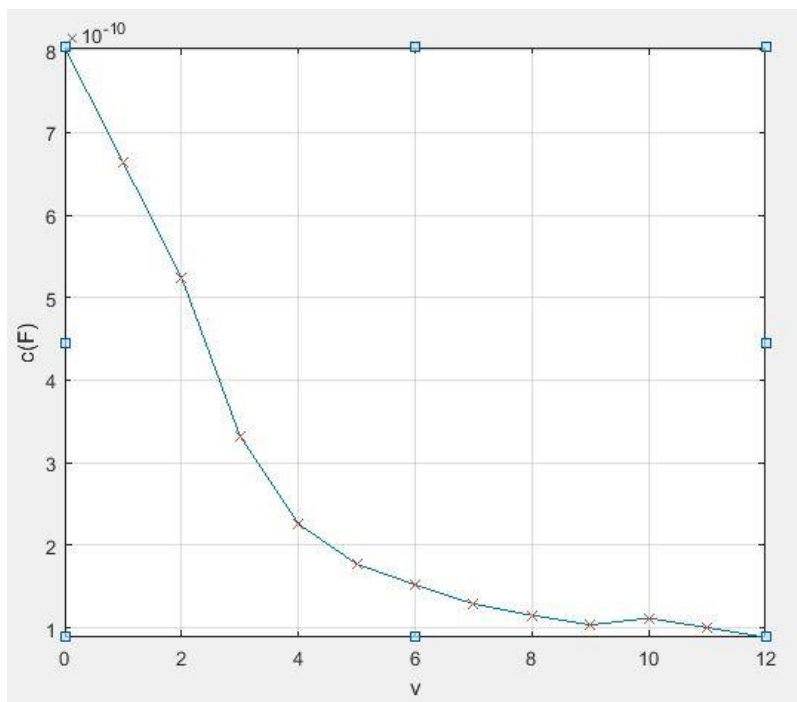


Figure III. 12: courbe de la capacité C_{DS}

III.3.2.2 Schéma bloc de la capacité C_{GD}

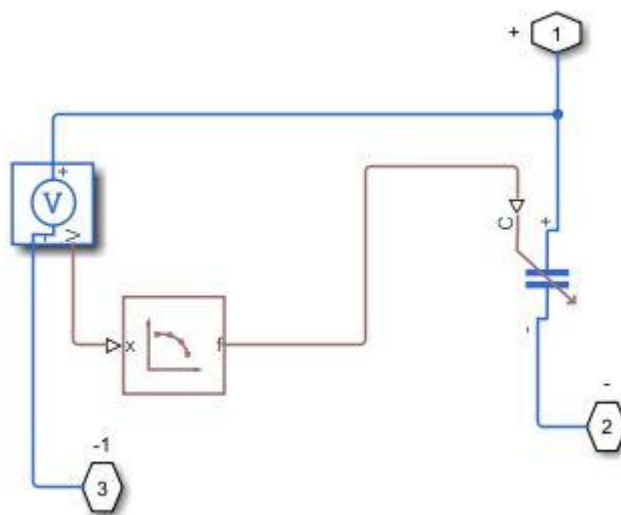


Figure III. 13: Schéma bloc de la capacité C_{GD}

Ce bloc a donné la courbe suivante :

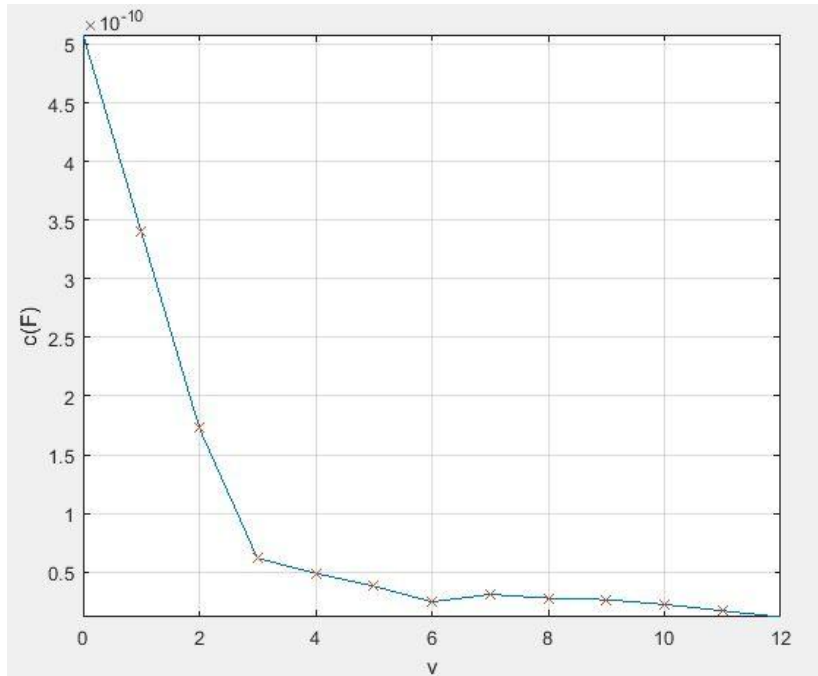


Figure III. 14: courbe de la capacité C_{GD}

III.3.3 Modèle Simulink de la diode parasite

Le modèle Simulink de la diode est une implémentation conditionnelle des équations analytiques (III.4), (III.5) et (III.6). La figure suivante montre le schématique.

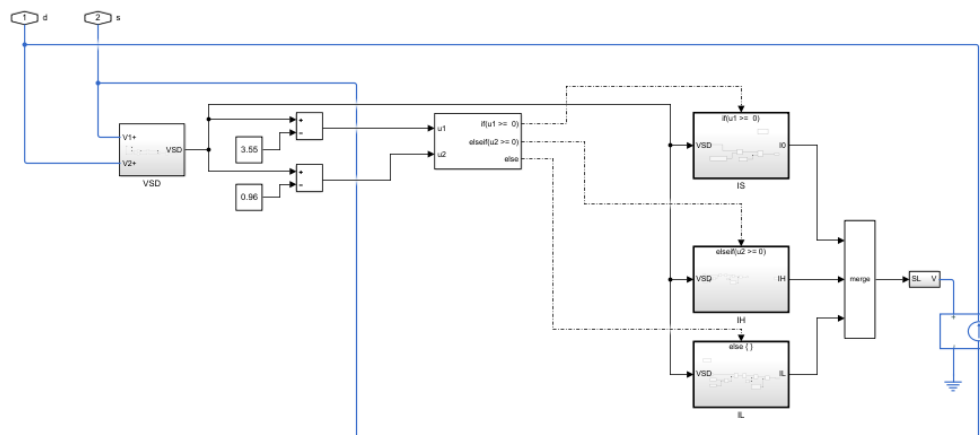


Figure III. 15: Schéma bloc du la diode parasite

III.3.4 Modèle Simulink complet du transistor MOSFET

L'assemblage des blocs précédents, ajoutés des résistances et inductances parasites est donné dans la figure suivante :

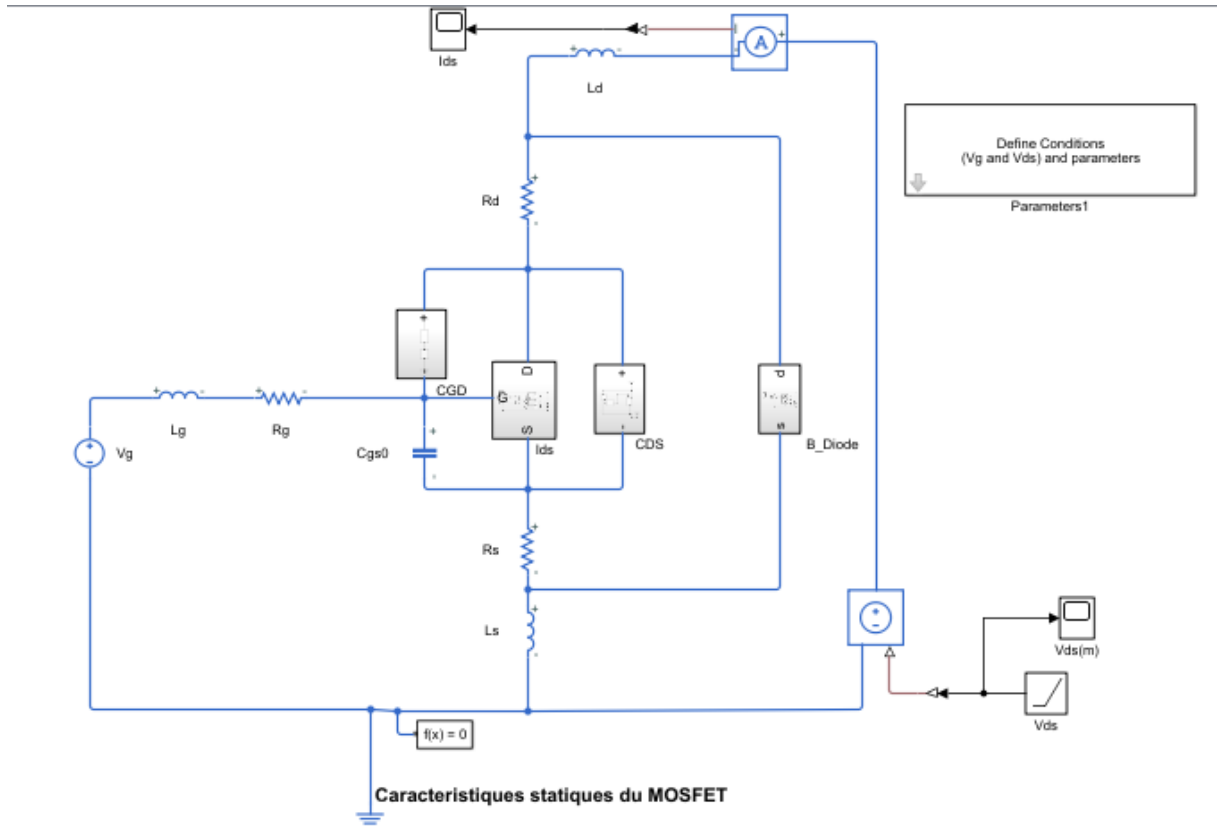


Figure III. 16: Schéma bloc de la simulation complète du transistor MOSFET

Afin de simuler les caractéristiques $I_D(V_{DS})$ pour différentes valeurs de V_{GS} , nous avons écrit un code Matlab qui automatise et paramétrise cette opération. On a simulé pour $V_{DS}=0$ à 50 pour $V_{GS}=4, 8, 12, 16, 20V$

La courbe résultante est la suivante :

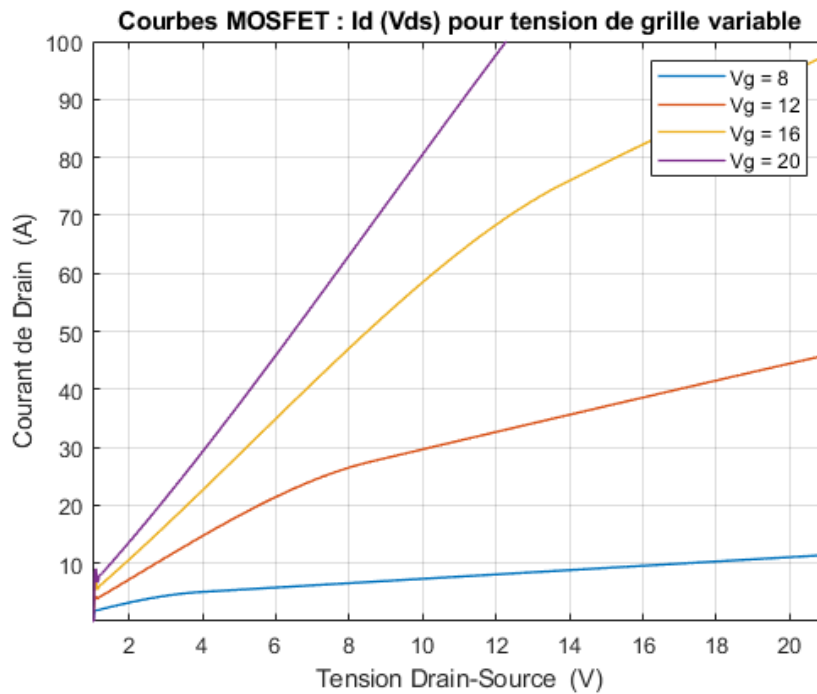


Figure III. 17: Caractéristiques I_D (V_{DS}) pour différentes valeurs de V_{GS}

III.4 Conclusion

Dans ce chapitre, nous avons présenté les résultats de simulation avec le logiciel MATLAB. Cette montre qu'un modèle analytique sera développée et les résultats expérimentaux seront utilisés pour extraire les paramètres du modèle. Les procédures des problèmes de modélisation relatifs seront discutées pour améliorer la précision des modèles.

CONCLUSION

GENERALE

Conclusion Générale

Les MOSFET de puissance au carbure de silicium ont un potentiel énorme pour remplacer les dispositifs à base de silicium dans les applications à haute puissance et à haute température. Les avantages du SiC par rapport au Si résident dans ses propriétés matérielles telles qu'une bande interdite élevée, une conductivité thermique élevée et un champ de claquage très élevé. Ces propriétés rendent les dispositifs SiC MOS idéaux pour les applications électroniques haute puissance.

Dans ce mémoire, nous avons modélisé les caractéristiques statiques d'un MOSFET Commercial SiC 1,2 kV, 15 A. Nous avons utilisé les caractérisations réalisées par le constructeur, et qui sont souvent donnée dans sa datasheet et la régression pour définir les paramètres des modèles.

Les régressions réalisées visent la caractérisation statique du MOSFET SiC 1,2 kV, 15 A, y compris la caractérisation de la sortie et du transfert, la caractérisation du courant de fuite de grille et de drain, la résistance à l'état passant et la caractérisation de la tension de seuil, la caractérisation de la diode de corps IV et la capacité à trois jonctions. Un modèle analytique consacré pour le courant de drain est développé et les résultats expérimentaux seront utilisés pour extraire les paramètres du modèle.

Nous avons implémenté le modèle dans simulink et réalisé des simulations dont les résultats sont acceptables.

Comme perspective, on propose de réaliser la caractérisation dynamique qui détermine les temps de réponse d'ouverture et de fermeture du MOSFET.

Bibliographie

- [1] Ahmed Elasser, T. Paul Chow, "Avantages et avantages du carbure de silicium pour les circuits et systèmes électroniques de puissance," Actes de l'IEEE, Vol. 90, n° 6, 2002, p. 969-986.
- [2] B. J. Baliga, *Fondamental des dispositifs semi-conducteurs de puissance*. New York : Springer, 2008.
- [3] L. Stevanovic, K. Matocha, P. Losee, J. Glaser, J. Nasadoski et S. Arthur, « Recent advances in silicon carbide mosfet power devices », dans *Applied Power Electronics Conference and Exposition (APEC)*, 2010 Vingt-cinquième IEEE annuel, fév. 2010, p. 401-407
- [4] Ostling, M. Sch. des TIC, KTH R. Inst. of Technol., Kista, Suède Gandhi, R. ; Zetterling, C., « SiC power devices — Present status, applications and future perspective », dans *Power Semiconductor Devices and ICs (ISPSD)*, 2011 IEEE 23rd International Symposium, 23-26 mai 2011..
- [5] J. C. Zolper, "Emerging silicon carbide power electronics components," IEEE 2005 Applied Power Electronics Conference and Exposition (APEC 2005), Vol. 1, 6-10 mars 2005, p. 11-17.
- [6] Veliadis, V. Northrop Grumman Corp., Linthicum, MD McNutt, T. ; McCoy, M. ; Hearne, H. ; Potyraj, P. ; Scozzie, C., « Transistors à effet de champ à jonction verticale en carbure de silicium à grande surface pour les applications de conditionnement d'énergie à haute température », dans *Vehicle Power and Propulsion Conference, 2007. VPPC 2007*. IEEE
- [7] P. Leturcq, "Tenue en tension des semiconducteurs de puissance", *Techniques de l'Ingénieur*, vol. D3 104, 2000.
- [8] Biela, J., Schweizer, M., Waffler, S. et Kolar, J. (2011). Sic contre si 2014 ; évaluation des potentiels d'amélioration des performances des onduleurs et des systèmes de conversion à courant continu 2013 ; systèmes de conversion à courant continu par sic power semi-conducteurs. *Electronique industrielle, Transactions IEEE sur*, 58(7) :2872– 2882.

- [9] Krishnaswami, S., Das, M., Hull, B., Ryu, S.-H., Scofield, J., Agarwal, A., et Palmour, J. (2005). Fiabilité de l'oxyde de porte des appareils mos 4h-sic. Dans Reliability Physics Symposium, 2005. Actes. 43e annuel. 2005 IEEE International, pages 592 à 593. IEEE.
- [10] S. M. Sze, "Physics of Semiconductor Devices", Second Edition, Ed. John Wiley & Sons, 1981.
- [11] P. Leturcq, "Semi-conducteurs de puissance unipolaires et mixtes", Part. 1 et 2, Techniques de l'Ingénieur, vol. D3 108-109, 2002.
- [12] J-L. Sanchez, H. Tranduc, T. Phan Pham, M. Gharbi, P. Rossel, G. Charitat, B. Vertongen, "Influence des zones d'accès sur la résistance à l'état passant des transistors moyennes tensions VDMOS de puissance", Revue de Physique Appliquée, Vol. 20, pp 759-770, 1985.
- [13] P. Rossel, H. Tranduc, M. Gamboa, T. Phan Pham, "Limitation fondamentale dans les transistors MOS de puissance ; le compromis entre la résistance à l'état passant RON et la tension de claquage VDBR ", Revue de Physique Appliquée, Vol. 16, pp 509-515, 1981.
- [14] L. Lorenz, G. Deboy, A. Knapp, M. März, "COOLMOSTM- a new milestone in high voltage Power MOS ", Proceedings of ISPSD 1999, pp 3-10, 1999.
- [15] B. J. Baliga, Advanced Power MOSFET Concepts. New York : Springer, 2010.
- [16] M. Hasanuzzanman, S. K. slam, M. . Alam, "Parameter e traction and SP C model development for 4H-silicon carbide (SiC) power MOSFET ", dans IEEE nt'l Semiconductor Device Research Symposium 2005, pp. 292-293, décembre 2005.
- [17] M. Hasanuzzanman, S. K. Islam, L. M. olbert, « Conception, modélisation et caractérisation du MOSFET de puissance dans le 4H-SiC pour les applications en environnement extrême », dans Government Microcircuit Applications & Critical Technology Conf. (GOMACTech) 2005, p. 449-452, avril 2005.
- [18] General Electric, General Electric SiC MOSFET : MOSFET de puissance Sic 1200 V ultrarapide à faible résistance (GE12N30S), 17 août 2009

- [19] Rectifier international, « Mesure des caractéristiques des MOSFET H F », Note d'application AN-957.
- [20] Yuan Taur, Tak H.Ning, Fondamental des dispositifs VLSI modernes. New York : Cambridge University Press, 2e édition, 2009
- [21] Siddharth Potbhare, « Modélisation et caractérisation des MOSFET 4H-SiC : effets à champ élevé, à haute température et de ransient. » Ph. thèse, département de génie électrique et informatique, Université du Maryland, 2008.
- [22] Rectifier international, « Mesure des caractéristiques des MOSFET H F », Note d'application AN-957.
- [23] nternational Rectifier, "Une caractérisation plus réaliste de la capacité de sortie MOSF de puissance COSS", Application ote AN-1001.
- [24] Zheng Chen, « Caractérisation et modélisation du comportement à haute vitesse de commutation des appareils actifs SiC », M.S. thèse, département de génie électrique, Virginia Polytechnic Institute et State University, décembre 2009.
- [25] . McShane et K. Shenai, "RF de-embedding technique for extracting power MOSF package parasitics", dans IEEE Int'l Workshop on ntegrated Power Packaging 2000, pp. 55-59, 2000.
- [26] S. Potbhare, N. Goldsman, A. Lelis, J. M. McGarrity, F. B. McLean et D. Habersat, « A physical model of high temperature 4H-SiC MOSF s », dans IEEE Trans. Dispositifs électroniques, vol. 55, non. 8, août 2008, pp. 2029-2039.
- [27] M. Hasanuzzanman, S. K. slam, L. M. olbert, « conception, modélisation et caractérisation du MOSFET de puissance dans le 4H-SiC pour les applications en environnement extrême », dans Government Microcircuit Applications & Critical Technology Conf. (GOMACTech) 2005, p. 449-452, avril 2005.
- [28] P.D. Lungu, "Modélisation de la structure MOSF de puissance verticale SiC à l'aide de l'ensemble d'équations fondamentales du MOSFE", dans Int'l Semiconductor Conf. 1996, vol. 2, pages 327-330, 1996.

- [29] T. R. McNutt, A. R. Hefner, Jr., H. A. Mantooth, D. Berning, S. H. Ryu, « Modèle de puissance MOSFET en carbure de silicium et séquence d'extraction de paramètres », dans IEEE Trans. Electronique de puissance, vol. 22, non. 2, mars 2007, p. 353-362.
- [30] Daniel Foty, Daniel P. Foty, Modélisation MOSFET avec SPICE : principes et pratique. Prentice Hall PTR, 1997