

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTRE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE
SCIENTIFIQUE

Université de Mohamed El-Bachir El-Ibrahimi - Bordj Bou Arreridj

Faculté des Sciences et de la technologie

Département d'Electronique

Mémoire

Présenté pour obtenir

LE DIPLOME DE MASTER

FILIERE : Electronique

Spécialité : Microélectronique

Par

- **Maadadi Aya**
- **Benameur Amina**

Intitulé

Techniques et règles de dessin de masques des circuits intégrés en utilisant le simulateur Expert de Silvaco

Évalué le : 27/06/2022

Par la commission d'évaluation composée de :*

<i>Nom & Prénom</i>	<i>Grade</i>	<i>Qualité</i>	<i>Etablissement</i>
<i>Dr.Khaled Fahima</i>	<i>MCB</i>	<i>Président</i>	<i>Univ-BBA</i>
<i>Dr. Messai Zitouni</i>	<i>MCA</i>	<i>Encadreur</i>	<i>Univ-BBA</i>
<i>M.Kherrat Fadila</i>	<i>MAA</i>	<i>Examineur</i>	<i>Univ-BBA</i>
<i>Dr.Touati Zine-eddine</i>	<i>Dr</i>	<i>Co-encadrant</i>	<i>Univ-BBA</i>

Année Universitaire 2021/2022

Remerciements

Au terme de ce modeste travail, nous exprimons nos plus sincères remerciements au Dr. MESSAI Zitouni, notre promoteur, pour nous avoir encadrées et orientées, pour ses précieux conseils et ses compétences scientifiques qui nous ont permis de mener à bien ce projet.

Nous tenons à remercier Dr. Zine-Eddine Touati pour son aide et sa disponibilité tout le long de notre tâche

Nos remerciements s'adressent également aux membres de jury qui nous feront l'honneur de juger notre travail.

Il nous est agréable de remercier tous les enseignants qui ont contribué à notre formation.

Dédicaces

Mes chers parents Maadadi Abdelkader et ZeghbaM qui m'ont toujours poussée et motivée dans mes études. Qu'Allah les protège et leurs prête bonne santé et longue vie.

Mon fiancé Madoui Djamel et sa famille

Mes chers frères Ayoub et moumen, ma chère sœur Imane

Mon binôme et toute sa famille,

Tous mes proches et amis.

Cordialement Aya Maadadi

Dédicaces

Mes chers parents Benameur Mahmoud et Zouaoui.L qui m'ont toujours poussée et motivée dans mes études. Qu'Allah les protège et leurs prête bonne santé et longue vie.

Mes chers grands parents

Mon cher oncle Zouaoui Sami

Mes chères sœurs Aya, Nima et Yousra

Tous mes proches et amis.

Mon binôme et toute sa famille.

Cordialement Amina Benameur

Résumé :

Dans cette étude, les principales fonctions du simulateur Expert sont présentées, ainsi que son langage. Ce dernier est aujourd'hui un outil important pour la réalisation du layout des circuits analogiques et numériques.

Expert inclut l'éditeur layout, expert viewer avec d'autres utilitaires chargés. Le programme est plus fluide à utiliser.

Au cours de cette étude, nous avons montré que l'outil Expert offre la possibilité d'avoir un laboratoire de mesure dans un espace limité. En outre à ceux-ci, nous avons réussi à mettre en évidence la congruence des résultats obtenus par simulation avec les résultats théoriques et pratiques.

En créant un schéma d'assemblage dont les composants sont décrits par des modèles généralement fournies par les fabricants de semi-conducteurs, Expert permet une dans le domaine temporelle et fréquentielle.

Mot clé : layout, expert, dessin de masque, Silvaco, DRC, LVS.

Abstract :

In this study, the main functions of the Expert simulator are presented, as well as its language. The latter is an important tool today in Layout of analog and digital circuits.

Expert includes expert layout editor layout viewers Expert viewer with other utilities that make The program is more user-friendly.

During this study, we have shown that the Expert tool offers the possibility to have a measurement laboratory and in a limited space. In addition, we succeeded in highlighting the congruence of the results obtained by simulation with the theoretical and practical results. By creating an assembly diagram whose components are described by models generally provided by semiconductor manufacturers, Expert enables accurate circuit planning and analysis, from the point of view of more continuous quantities in the time domain or frequency domain.

Keyword: layout, expert, mask design, Silvaco, DRC, LVS

ملخص

في هذه الدراسة ، نقدم الوظائف الرئيسية لمحاكاة Expert بالإضافة إلى لغتها. هذا الأخير هو أداة مهمة اليوم في تخطيط الدوائر التناظرية والرقمية.

يشمل Expert على محرر تخطيط الخبير Expert viewer و layout viewer مع أدوات مساعدة أخرى تجعل البرنامج أكثر سهولة في الاستخدام.

خلال هذه الدراسة ، أوضحنا أن أداة Expert تتيح إمكانية الحصول على مختبر قياس وفي مساحة محدودة. بالإضافة إلى ذلك ، نجحنا في إبراز تطابق النتائج التي تم الحصول عليها عن طريق المحاكاة مع النتائج النظرية والعملية.

من خلال إنشاء الرسم التخطيطي للتجميع الذي يتم وصف مكوناته بواسطة النماذج المقدمة بشكل عام من قبل الشركات المصنعة لأشباه الموصلات ، يتيح Exper تخطيط الدائرة وتحليلها بدقة ، من وجهة نظر الكميات المستمرة أكثر في مجال الوقت أو مجال التردد.

الكلمة المفتاحية : تصميم قناع، Silvaco ، DRC ، Expert ، LVS.

Sommaire

Résumé	1
Introduction générale :	2
Chapitre I :	4
I.1. Introduction :	5
I.2. Flot de conception	5
I.3. La conception physique des masques (layout)	8
I.4. Procédé photolithographique	10
I.4.1. Oxydation :	11
I.4.2. Résine photosensible :	11
I.4.3. Exposition UV :	12
I.4.4. Finition:	12
I.4.5. Gravure acide:	12
I.4.6. Nettoyage:	12
I.4.7. Etape du procédé:	12
I.4.8. Elimination de la résine:	12
I.5. Les étapes du procédé	13
I.5.1. Diffusion et implantation d'ions	13
I.5.2. Deposition	14
I.5.3. Gravure	14
I.5.4. Planétisation	15
I.6. Procédé de CMOS simplifié	15
I.7. Règles de trace	17
I.7.1. Règles extensibles	18
I.7.2. Dimensions absolues	18
I.8. Le manuel des règles de conception	18
I.9. Exemple de règles de conception	19
I.10. Type de règles	19
I.11. Conclusion	20
Chapitre II :	21
II.1. Introduction :	22
II.2. Aperçu sur les capacités de l'outil « Expert »	22
II.3. Interface de l'outil « Expert » [16]	23

II.3.1. Menu	23
II.4. Configuration « setup »[16]	31
II.4.1. Configuration du simulateur « Expert » et « Expert Views ».....	31
II.5. Gestion des configurations	32
II.5.1.1. Les paramètres technologiques	32
II.5.1.2. Paramètres de sécurité des technologies	35
II.6. Configuration de la technologie	36
II.6.1.1. Page Général	36
II.6.1.2. Layer setup (Configuration de la couche).....	37
II.6.1.3. Configuration du composant.....	42
II.6.1.4. Configuration de la grille	42
II.7. Outils de vérification du layout (Layout Verification Tools)[18]	43
II.7.1. Système géométrique DRC (Geometrical DRC System)[16].....	44
II.7.1.1. Les bases d'utilisation du simulateur « Expert » (Basics of Usage in Expert)	44
44	
II.8. Extracteur de netlist Guardian NET (Guardian NET Netlist Extractor)[19]	48
II.9. Comparateur de netlist Guardian LVS (Guardian LVS Netlist Comparator)	49
II.9.1. Capacité et Résistance parasites du Réseau	50
II.10. Gateway	51
II.10.1. Attacher Gateway (Attach Gateway)	51
II.10.2. Annoter (Annotate)	52
Chapitre III :	53
III.1. Introduction :	54
III.2. Guardian DRC	55
III.3. Rapports d'erreur DRC.....	56
III.4. Extracteur de Netlist Guardian NET.....	63
III.5. Vérification Guardian LVS.....	64
III.6. Navigateur LVS	67
III.7. Conclusion	69
Conclusion générale	70
Références	72

Liste des figures

Figure I.1.	Exemple de représentation d'un circuit schématique et de Layout	5
Figure I.2.	Les étapes de processus de layout.....	6
Figure I.3.	Dessin de masque de différents composants Électroniques sous une technologie CMOS. 9	9
Figure I.4.	Vue en coupe transversale d'un transistor MOS	10
Figure I.5.	Vue de dessus d'un transistor MOS	10
Figure I.6.	Operations typiques du procédé photolithographique	11
Figure I.7.	Etapes du modelage des contours du SiO ₂ [12].	13
Figure I.8.	Etapes du procédé CMOS simplifié [14].	16
Figure I.9.	Procède moderne de fabrication [15].	17
Figure II.1.	Menu principal de l'outil « Expert »	23
Figure II.2.	Menu principal d'interface « Expert »	24
Figure II.3.	Représentation de la barre d'outils principale.....	24
Figure II.4.	Barre d'outils de commande (command)	25
Figure II.5.	Barre d'outils de conception.....	26
Figure II.6.	Personnalisation de la barre d'outils	28
Figure II.7.	barre métrique	28
Figure II.8.	Ligne de commande XI.....	29
Figure II.9.	Barre de propriété « Property Bar »	29
Figure II.10.	Visualisation de : Arborescence complète, cellule active, cellule de niveau supérieur, affichage et masquage des géométries	30
Figure II.11.	Barre des couches	31
Figure II.12.	Sou-menu de la configuration du simulateur « Expert »	32
Figure II.13.	Boîte de dialogue de configuration des couches et barre des couches.	38
Figure II.14.	Menu contextuel de la barre des couches	39
Figure II.15.	Plan de couche	40
Figure II.16.	Boîte de dialogue des règles de couches	42
Figure II.17.	Configuration de la grille.....	43
Figure II.18.	Les éléments d'interface et les outils de vérification du layout sous « Expert »	44
Figure II.19.	Boîte de dialogue d'erreur de chargement DRC	46
Figure II.20.	Boîte de dialogue "Select run"	47

Figure II.21.	Fenêtre des erreurs groupées « DRC Grouped Errors »	47
Figure II.22.	Erreur en surbrillance avec étiquette attachée	48
Figure II.23.	Menu contextuel	48
Figure II.24.	Croisement entre Expert et Guardian LVS.....	49
Figure II.25.	Exemple de vue de la capacité et de la résistance parasite du réseau.....	50
Figure II.26.	Boîte de dialogue Attacher au Gateway	52
Figure III.1.	Chargement de l'exemple DRC « intégration_exo3.eld »	55
Figure III.2.	Dessin de masques de l'exemple « integration_exo3.eld »	56
Figure III.3.	Elément de l'interface des outils de vérification.....	57
Figure III.4.	Interface de DRC script.....	58
Figure III.5.	DRC Script Panel après ouverture du fichier « integration_exo03.dsf ».....	58
Figure III.6.	Chemin suivi pour aboutir aux résultats du DRC	61
Figure III.7.	Boite de dialogue des erreurs	62
Figure III.8.	Affichage de l'erreur un par un sur le dessin de masques	62
Figure III.9.	Procédure pour extraire la netlist Spice à partir du dessin de masques	63
Figure III.10.	Fenêtre de dialogue du déroulement de l'opération d'extraction de netlist Spice 64	
Figure III.11.	Fichier de Netlist (.spice)	64
Figure III.12.	Flow de comparaison LVS.....	65
Figure III.13.	Fenêtre principale montrant les deux netlists Spice.....	65
Figure III.14.	Panneau de chargement des netlists	66
Figure III.15.	Panneau de résultats de comparaison.....	67
Figure III.16.	Vus des non compatibilité des nets dans les netlist Spice	67
Figure III.17.	mise en surbrillance des nœuds dans Gateway et expert de Guardian LVS68	

Introduction générale

Introduction générale :

Simucad Design Automation est l'un des principaux développeurs de logiciels EDA, offrant des solutions complètes de flux de conception mixed signal (analogiques/numérique) et RF[1].

Simucad a été créée en 2004 en tant que spin-off de Silvaco Data Systems avec pour objectif principal la poursuite de la croissance sur le marché de l'EDA et l'introduction en bourse. Simucad propose une solution pour les outils de conception complète[2]. Tous les produits sont développés, maintenus et pris en charge par cette firme. Cette approche du développement de logiciel permet à Simucad de maintenir une haute qualité, un délai de personnalisation rapide et de réaliser des économies importantes sur les achats d'outils et la maintenance pour les clients. Ces outils sont conçus pour fournir (voir figure ci-dessous):

- Une ligne d'intégrité, qui possède les outils de conception suivants :

(Gateway, SmartSpice, SmartSpice RF et Harmony)

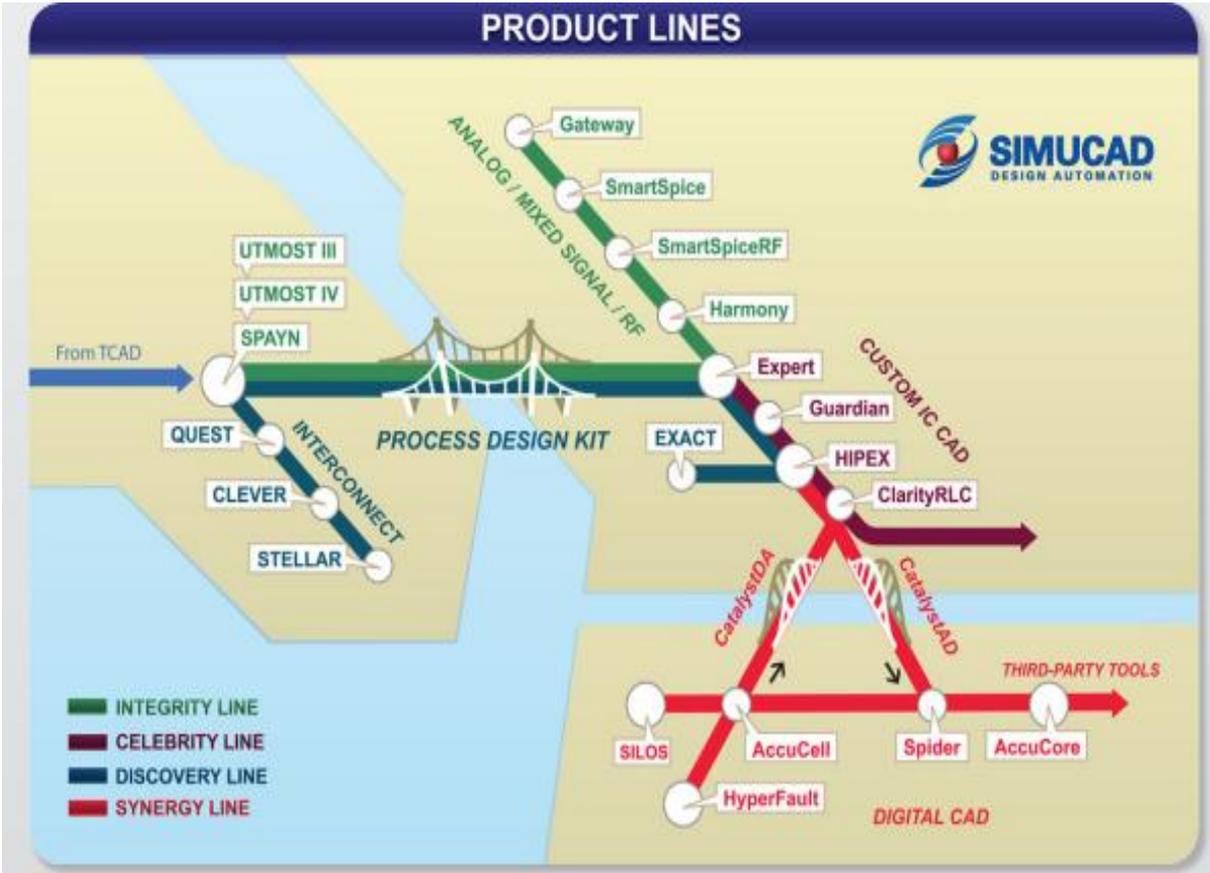
Ces outils permettent une conception frontale analogique / signal mixte / RF (simulateurs, entrée schématique et modélisation SPICE)

- Une ligne de célébrité, contient les outils suivants :

(Expert, Guardian, Hipex et Clarity RLC)

Ces outils nécessitent une base de donnée PDK (Kit Design Proces) fournie soit par la firme Simucad /Silvaco ou encore par le fondeur lui-même, contenant la technologie et les règles de dessin à suivre par le concepteur.

Dans cette étude, nous avons expliqué chaque outil de la ligne intégrité représentant « ANALOG/MIXED SIGNAL/RF » et célébrité contenant le « CUSTOM IC CAD ».



Gamme de produits fournie par Simucad/Silvaco[2]

Chapitre I :

Introduction à la fabrication

des circuits intégrés

I.1. Introduction :

Ce chapitre sert d'introduction à la fabrication des circuits intégrés. On verra en gros comment les circuits intégrés sont fabriqués, sans aller trop en détail. Il est important de connaître les étapes de fabrication qui vont affecter le design des circuits. Les détails de fabrication ne sont typiquement pas importants pour le concepteur de circuits intégrés. Par contre, une connaissance des méthodes de fabrication aide à comprendre les limitations physiques des circuits intégrés.

On verra aussi les règles de tracé de dessin de masques, qui sont les règles de design qui permettent au concepteur de faire construire ses circuits. C'est un compromis entre le design et la fabrication qu'on va entretenir pour arriver à concevoir un bon fonctionnement d'un chip. Les règles de tracé donnent des limites à la topologie d'un circuit.

I.2. Flot de conception

A partir de la schématisation des circuits, le concepteur procède alors au design topologique de son circuit. On passe alors d'une représentation schématique à une représentation physique du circuit[3]. Les circuits sont conçus en utilisant une vue de dessus, comme le montre la figure 2.1 dans ce cas, on a deux inverseurs en cascade et la représentation topologique correspondante.

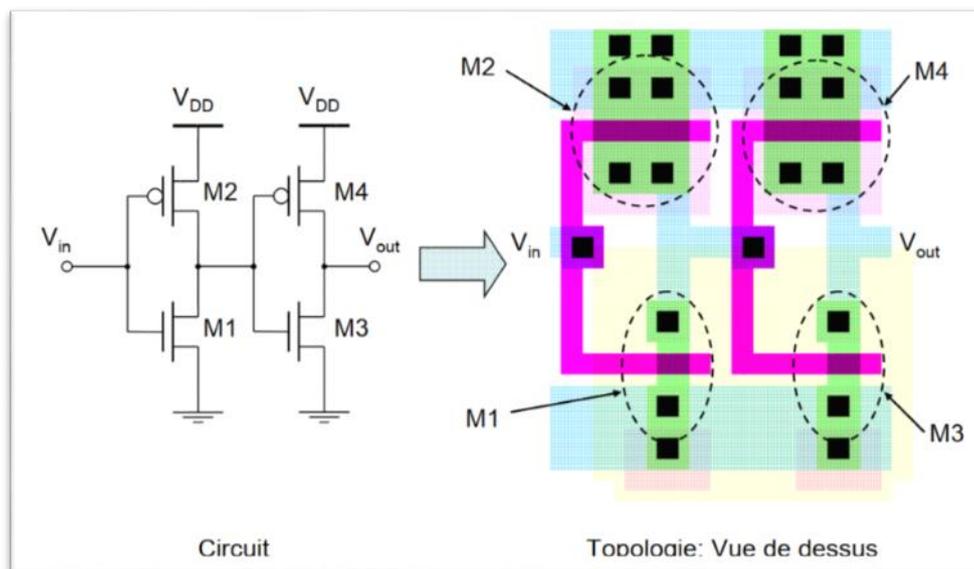


Figure I.1. Exemple de représentation d'un circuit schématique et de Layout

L'étape de dessin de masques (Layout) est la phase la plus longue et la plus fastidieuse de la conception des circuits intégrés[4]. Pour assurer le bon fonctionnement de celui-ci, un certain nombre de règles technologiques concernant les dimensions et les espacements de ces

motifs doivent être respectées. Pour rendre le résultat du travail meilleur, le concepteur doit de plus s'assurer que les parasites introduits par son dessin ne dégradent pas trop les performances du circuit. Enfin, pour des raisons de coût, il doit aussi faire en sorte que le circuit réalisé soit le plus compact possible de façon à économiser au maximum la quantité de silicium requise. Une étape de vérification après tout reste nécessaire pour s'assurer que toutes les règles de dessin ont bien été respectées et que les parasites introduits n'auront pas d'influence critique sur le bon fonctionnement du circuit[4].

Les connections entre les différents composants sont également exprimées en tant que des modèles géométriques. Les détails exacts d'un Layout dépendent des règles de conception, qui sont des directives basées sur les limitations du processus de fabrication (chez le fondeur) et les propriétés électriques des matériaux de fabrication[5]. Le layout d'un circuit est un processus très complexe, en conséquence, il est toujours décomposé en diverses étapes secondaires (sub-steps) afin de manipuler la complexité du problème. Le concepteur doit passer par plusieurs étapes pour accomplir cette tâche:

- Le partage (partitionning),
- Aménagement du plan de surface de silicium (floorplanning)
- Le placement,
- Le routage et compactage.

Les différentes étapes d'un cycle de dessin de masques sont montrées dans la figure I.2

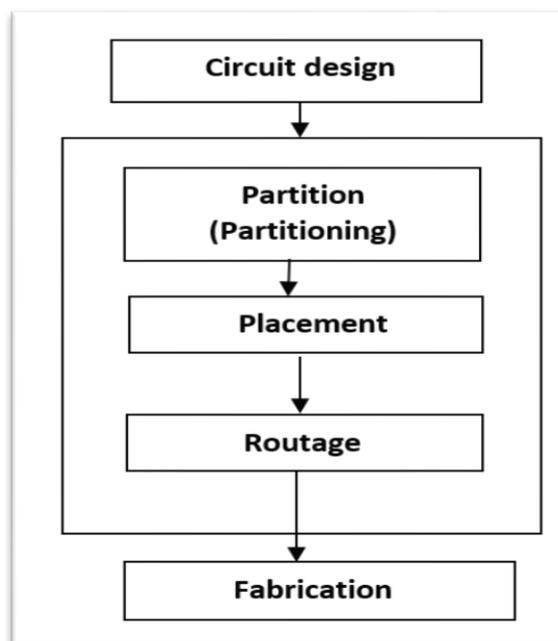


Figure I.2. Les étapes de processus de layout

- **Partition (Partitioning) :**

Un chip peut contenir plusieurs millions de transistors. Le layout entier du circuit ne peut pas être manipulé facilement à cause des limitations de l'espace mémoire et la puissance de l'ordinateur disponible. Par conséquent, il est normalement partitionné en groupant les composants dans des blocs (subcircuits / modules). Le processus de partitionnement du layout prend en considération beaucoup de facteurs comme: la taille des blocs, le nombre des blocs et le nombre des interconnexions entre les blocs. L'ensemble des blocs, des interconnexions entre eux et les tampons (pads) représentent le chip[6].

- **Placement**

Durant le placement, les blocs sont placés dans le chip avec exactitude. Le but du placement est de trouver la surface de rangement minimale adéquate pour les blocs qui permette l'accomplissement des interconnexions entre eux. Le placement est typiquement fait en deux phases; dans la première phase, un placement initial est créé, dans la seconde phase, le placement qui a été fait initialement sera évalué et des améliorations itératives seront apportées jusqu'à ce que le layout aura la surface minimale optimisée et se conforme selon les spécifications de la conception. L'espace entre les blocs est intentionnellement laissé vide pour permettre de faire des interconnexions entre les blocs. La qualité du placement ne sera pas évidente jusqu'à ce que la phase de routage sera finie. Le placement peut ne pas mener à une conception routable; c à d, le routage peut ne pas être possible dans l'espace fourni. Dans ce cas, une autre itération de placement est exigée pour résoudre ce problème. Une estimation de l'espace de routage est exigée pour limiter le nombre d'itérations de l'algorithme de placement. Le bon routage et la performance du circuit dépendent fortement d'un bon algorithme de placement. Une fois les positions des blocs sont fixées, il devient difficile d'améliorer le routage et la performance totale du circuit[7].

- **Routage :**

L'objectif de la phase de routage c'est d'accomplir les interconnexions entre les blocs selon le netlist spécifié. L'espace non occupé par les blocs est partitionné en des régions rectangulaires appelées les canaux. En utilisant les canaux, c'est dans le but d'accomplir toutes les connexions de circuit en utilisant la longueur de fil la plus courte possible. Le problème de routage est difficile et il est toujours fait en deux phases ; le routage global et le routage détaillé. Dans le routage global, les connexions sont accomplies entre les blocs du circuit en négligeant les détails géométriques exacts de chaque fil et pin. Le routage global

indique la route libre (loose route) d'un fil à travers les différentes régions dans l'espace de routage. En d'autres termes, le routage global découvre la liste des canaux qui doivent être utilisés comme un passage pour chaque fil. Le routage détaillé suit le routage global, il accomplit point à point les connexions entre les pins et les blocs ; c à d, le routage libre est converti à un routage exact en indiquant l'information géométrique telle que l'attribution des masques des fils. Le routage détaillé inclut le routage de canaux[7].

I.3. La conception physique des masques (layout)

La conception d'un circuit intégré consiste à réaliser les nombreuses étapes de développement appelé (flot de conception ou design flow) nécessaires pour concevoir correctement et sans erreurs un circuit intégré électronique[8]. Les trois étapes d'un flot de conception sont :

- Etablir un circuit schématique fonctionnel qui décrit le fonctionnement voulu de la puce, en utilisant un éditeur de schéma d'un simulateur
- Traduire le circuit schématique en en forme géométrique équivalente c'est-à-dire réaliser la topologie du circuit schématiques en décrivant les contraintes non fonctionnelles (surface, coût, consommation...).
- Le point de sortie est la représentation sous forme d'un fichier informatique (généralement au format GDSII ou plus récemment OASIS) des dessins des masques (layout) du chip. Ce fichier permet la fabrication des masques (généralement en quartz). Ces masques serviront alors lors de la fabrication de la puce dans les unités de fabrication de semi-conducteurs (fabrication ou fonderie) pendant les étapes de photolithographie.

Au niveau de la conception physique, on s'arrange à obtenir une spécification exacte de la taille et l'endroit de chaque forme géométrique sur chaque couche matérielle du chip, ceci est accompli en concevant chaque masque qui est nécessaire pour fabriquer la structure à trois dimensions[9]. Ceci est fait en utilisant un outil de dessin de CAO connu sous le nom de l'éditeur layout, qui nous permet d'indiquer le modèle de chaque étape lithographique pendant l'écoulement de processus de fabrication. L'étape physique de conception donne des caractéristiques importantes telles que la densité de packaging de transistor et les propriétés électriques de transmission de l'interconnexion "câble" qui est possibles dans une ligne donnée de processus de fabrication. Chaque étape modelée dans le flot de processus exige un masque séparé. Par exemple les étapes des masques requises dans le processus de base du n-well pour la technologie CMOS sont données comme suites [9]:

- Nwell : Le masque représentant le caisson de type n
- Active : Le masque représentant les régions où les transistors seront placés
- Poly : Le masque représentant le matériau polysilicium
- P select : Régions où les ions de type -p implantés formera des régions
- N select : Régions où les ions de type n- implantés formera des régions
- Poly contact : Coupe dans l'oxyde qui fournit les contacts Metal1 au
- Active Contact : Coupe dans l'oxyde représentant les connexions de Metal1 au n+ ou p+
- Métal 1 : Modèle pour représenter la première couche de métal
- Via : Coupe d'oxyde coupé représentant la connexion de Metal1 au Metal2
- Metal2 : Modèle pour représenter la deuxième couche de métal

Un circuit intégré (chip) est composé d'un assemblage de couches, qui peuvent être :

- Semi-conductrices : Pour former les transistors ;
- Métalliques : Pour relier les transistors entre eux ;
- Isolantes : Pour séparer les couches semi-conductrices ou les couches métalliques entrereelles.

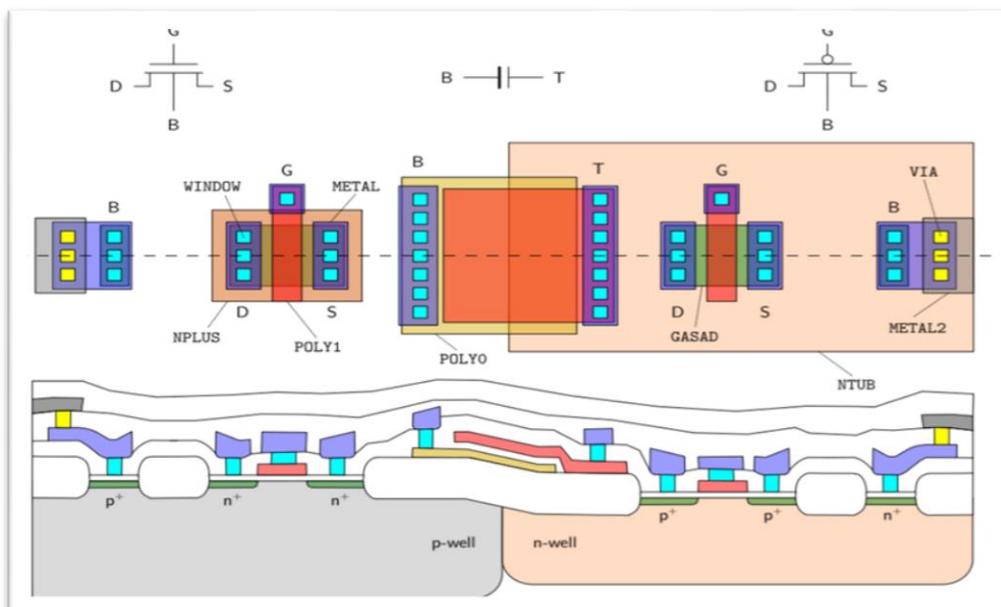


Figure I.3. Dessin de masque de différents composants électroniques sous une technologie CMOS.

Les couches sont déposées suivant un ordre précis grâce à un procédé photolithographique et le substrat peut être semiconducteur ou isolant. La figure I.3 suivante représente le dessin de masque de différents composants électroniques sous une technologie CMOS.

Un autre exemple représenté dans la figure I.4 et la figure I.5 ci-dessous montre des vues en coupes transversale et longitudinale d'un transistor MOSFET de type p

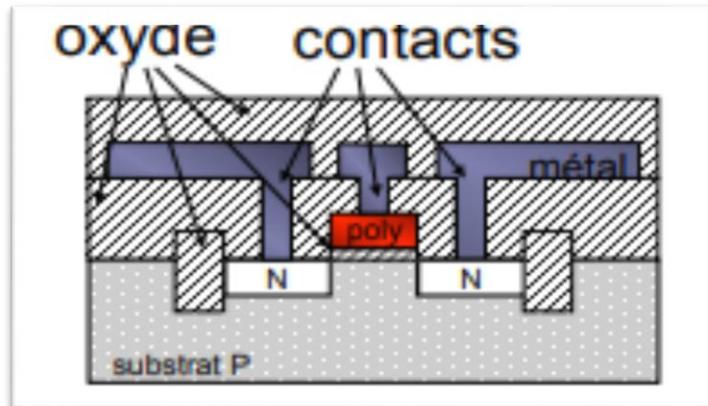


Figure I.4. Vue en coupe transversale d'un transistor MOS

On remarque dans cette représentation les zones d'oxyde isolant les transistors entre eux, la grille au substrat, le métal au silicium. Pour réaliser les contacts, on doit percer l'oxyde

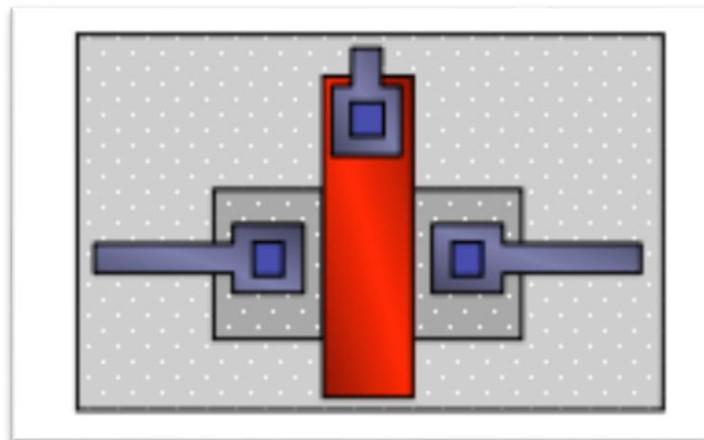


Figure I.5. Vue de dessus d'un transistor MOS

Le concepteur doit dessiner le circuit représentant les masques où chaque couleur indique une couche différente.

I.4. Procédé photolithographique

A chaque étape de la fabrication, une certaine partie de la puce est protégée par une couche isolante afin d'appliquer un autre procédé au reste de la puce. La technique utilisée est la photolithographie, qui est une partie importante du procédé de fabrication [10].

La figure I.6 montre les opérations technologiques typiques suivies pendant le procédé de fabrication qui se font au niveau des salles blanches.

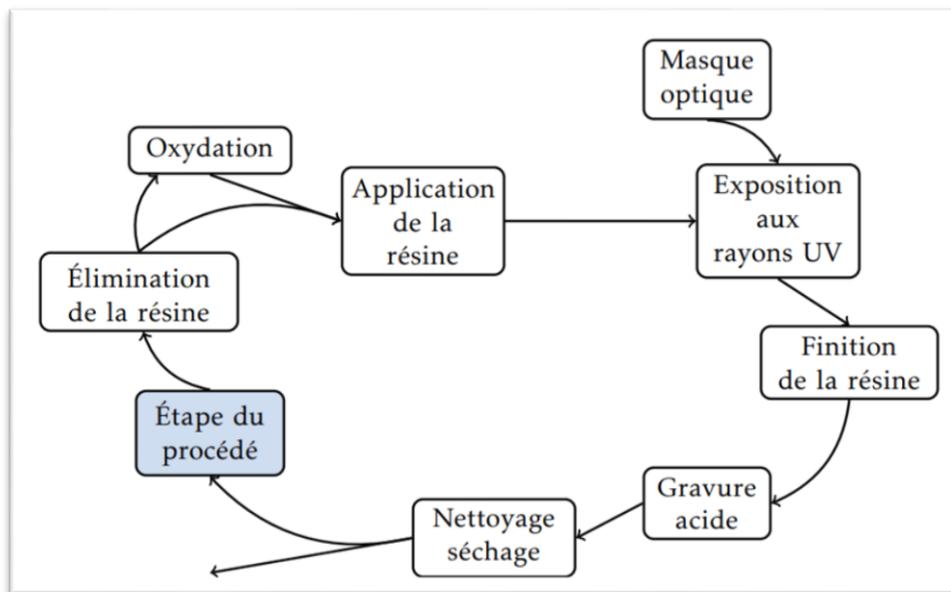


Figure I.6. Opérations typiques du procédé photolithographique

Les étapes suivantes sont nécessaires pour l'application complète du procédé photolithographique :

I.4.1. Oxydation :

Cette étape optionnelle sert à déposer une mince couche de dioxyde de silicium (SiO_2) sur toute la surface d'un substrat, en l'exposant à un mélange d'oxygène et d'hydrogène à environ 1000°C . L'oxyde est utilisé comme isolant (les murs d'isollements entre les différents composants adjacents, comme passivation et pour séparer les différentes couches métalliques ou semiconducteurs pendant les opérations de procédés de fabrication) et pour créer la grille des transistors [11].

I.4.2. Résine photosensible :

Un polymère (semblable au latex) sensible à la lumière est appliqué uniformément sur le wafer, d'une épaisseur de $1\ \mu\text{m}$ environ. Ce matériau est soluble normalement dans les solvants organiques, mais durci et devient insoluble lorsqu'il est exposé à la lumière UV. Ce type de résine est une résine négative. Une résine positive possède la propriété inverse : Elle est originalement insoluble dans les solvants, mais devient soluble lorsqu'il est exposé à de la lumière UV [12].

I.4.3. Exposition UV :

Un masque qui contient les motifs à transmettre est placé à proximité de la tranche de silicium. Le masque est opaque aux endroits qu'on veut modifier, et transparent aux autres. La combinaison de masque et de la tranche est alors exposée aux rayons UV, ce qui durcit certaines parties de la tranche[3].

I.4.4. Finition:

Le wafer est placé dans un acide ou une base pour enlever les parties non exposées. Après avoir enlevé les parties non exposées, il est ensuite cuit à basse température pour durcir encore la résine[3].

I.4.5. Gravure acide:

Le matériau formant la résine est enlevé du wafer, seulement des parties non couvertes par la résine. On utilise différents acides et bases, selon le type de matériaux à enlever.

I.4.6. Nettoyage:

Le wafer est nettoyé avec de l'eau sans ions (eau distillée) et séché avec de l'azote. Il est très important, à cette étape, d'éliminer au maximum les particules de poussière dans le wafer. Cette étape est effectuée dans des chambres spéciales appelées chambres blanches, qui ne contiennent que 1 à 10 grains de poussière par pied cube.

I.4.7. Etape du procédé:

C'est à ce stade que les parties exposées sont soumises aux différentes étapes du procédé de fabrication, comme l'implantation d'ions, le dépôt de métal, etc.

I.4.8. Elimination de la résine:

Un plasma de haute température est utilisé pour enlever la résine qui reste sur le wafer, sans endommager les autres niveaux.

La figure I.7 montre l'utilisation du procédé photolithographique pour modéliser les contours du SiO_2 . Cette séquence permet de modéliser un seul niveau du circuit, mais il ne faut pas oublier que tous les niveaux de la puce sont modifiés en même temps. C'est un processus de fabrication hautement parallèle.

I.5. Les étapes du procédé

Il y a plusieurs étapes importantes dans le processus de fabrication. Ces étapes sont les suivantes :

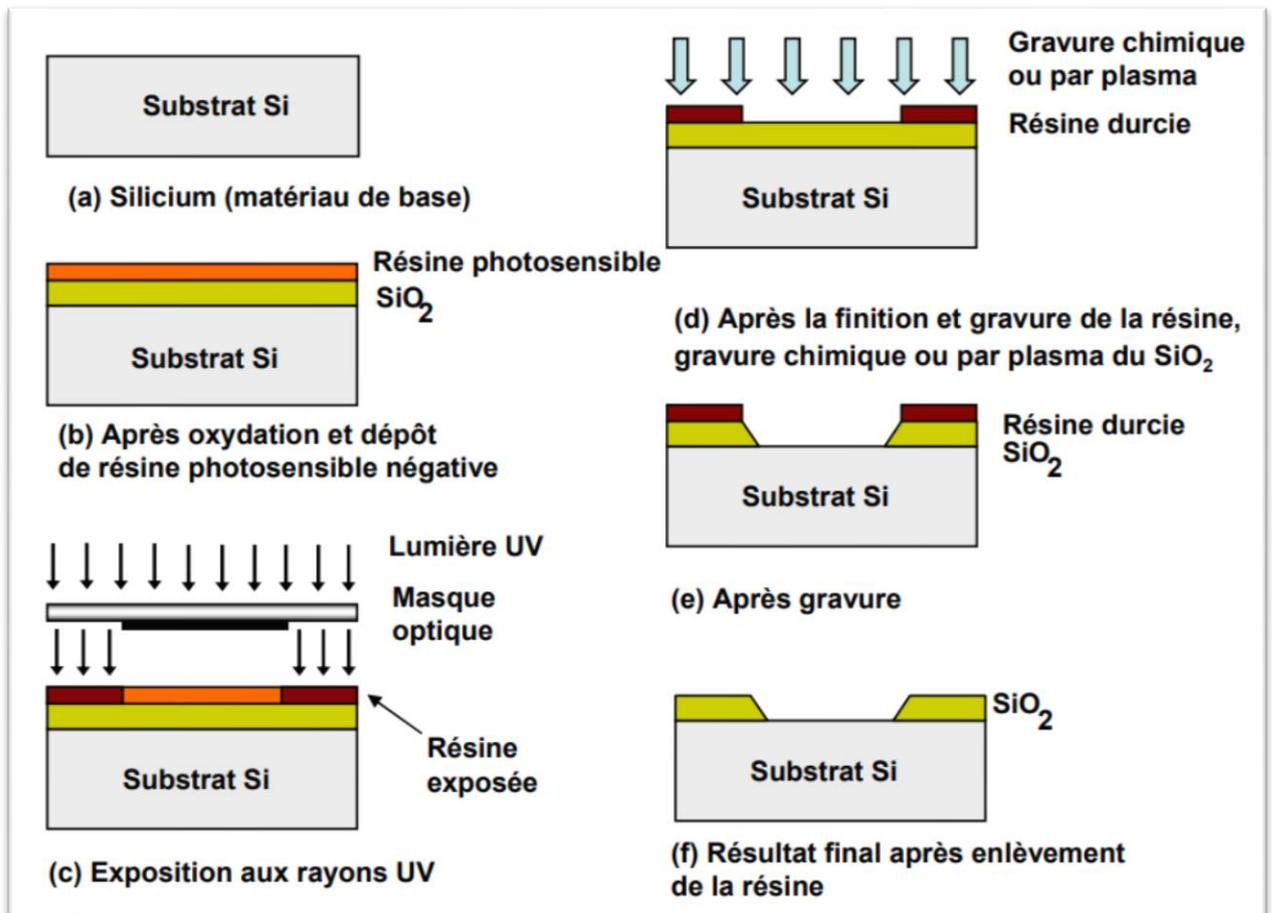


Figure I.7. Etapes du modelage des contours du SiO_2 [12].

I.5.1. Diffusion et implantation d'ions.

Plusieurs étapes de procédé nécessitent un changement au niveau de dopage dans quelques parties du matériau. Par exemple la création de la source et du drain, le dopage du poly silicium, l'ajustement de la tension seuil des transistors et la création des caissons. Il existe deux méthodes principales de faire le dopage, la diffusion et l'implantation d'ions. De plus en plus, l'implantation d'ions a remplacé la diffusion comme méthode préférée. En utilisant la diffusion, les wafers sont placés dans un tube de quartz et chauffées. Un gaz contenant le dopant est introduit dans le tube. A cause des hautes températures (900°C à 1100°C), les dopants vont se diffuser dans les parties exposées, autant horizontalement que verticalement. La concentration d'ions est plus élevée à la surface[13].

Pour l'implantation d'ions, un faisceau d'ions est appliqué aux surfaces exposées. L'accélération des ions détermine la profondeur d'implantation, et le temps d'exposition détermine la concentration. Cette méthode permet un contrôle plus précis de l'implantation. Cependant, la collision entre les ions et les atomes du matériau peut causer le déplacement d'atomes dans le substrat, ce qui crée des défauts. On résout ce problème en chauffant le wafer à 1000°C pendant 15 à 30 minutes, ce qui permet aux liens atomiques brisés de se reformer.

I.5.2. Deposition

Tous les procédés de fabrication CMOS nécessitent le dépôt d'une couche au-dessus d'une autre sur un wafer, soit pour isoler des parties, ou pour servir de conducteur. On a déjà vu comment modéliser le SiO₂. D'autres matériaux nécessitent des méthodes différentes. Par exemple, le Si₃N₄ (nitride de silicium) est un matériau tampon qui sert à protéger certaines parties du circuit pendant le modelage du SiO₂. On utilise la déposition par vapeur chimique (CVD, chemical vapour deposition) pour déposer le nitride, en utilisant une réaction gaz-phase, à 850°C.

Le poly silicium est déposé de façon chimique, en faisant circuler du silane au-dessus du wafer, qui est chauffée à 650°C. La réaction du SiO₂ avec le gaz produit un matériau non cristallin ou amorphe appelé poly silicium (polysilicon). Pour augmenter la conductivité du poly silicium, la déposition est suivie par une implantation d'ions.

L'aluminium est déposé en utilisant un processus appelé la pulvérisation (sputtering). L'aluminium est évaporé sous vide par un faisceau d'ions ou d'électrons. Ce gaz d'aluminium est ensuite mis en contact avec la tranche. Le cuivre nécessite un processus totalement différent et beaucoup plus complexe.

I.5.3. Gravure

On utilise la gravure pour créer sélectivement des motifs, comme des fils ou les vias. On utilise souvent des acides ou des bases pour faire la gravure. De plus en plus, on utilise des plasmas. La tranche est chargée de façon négative et exposée à un plasma positif. Les

charges opposées causent un mouvement rapide des ions du plasma, ce qui forme un effet de bombardement (sandblasting) et enlève les parties non durcies de la résine. On peut ainsi créer des motifs très précis en vertical.

I.5.4. Planétisation

Pour bien déposer une nouvelle couche de matériau, il est essentiel que la surface soit plane. On utilise alors la planétisation chimique-mécanique(CMP) : un liquide contenant des particules abrasives (oxide d'aluminium ou silica) est déposé sur le wafer et va ronger la surface jusqu'à ce qu'elle soit plane .

I.6. Procédé de CMOS simplifié

Le procédé CMOS simplifié est donné à la figure I.8. Le processus commence avec la définition des zones actives : Ce sont les régions où les transistors seront créés. Toutes les autres régions seront couvertes de dioxyde de silicium SiO_2 . Cet oxyde sert à isoler les transistors l'un de l'autre. Des caissons n et p légèrement dopés sont ensuite créés à l'aide d'implantation d'ions.

Pour construire un NMOS dans un caisson p, des zones dopées fortement n sont implantées (la source et le drain).

Une mince couche de SiO_2 forme la grille du transistor, et cette couche est recouverte de poly silicium. Les PMOS sont formés d'une façon similaire. Par la suite, plusieurs niveaux de fils conducteurs (aluminium ou cuivre) sont déposés pour brancher ensemble les différents transistors.

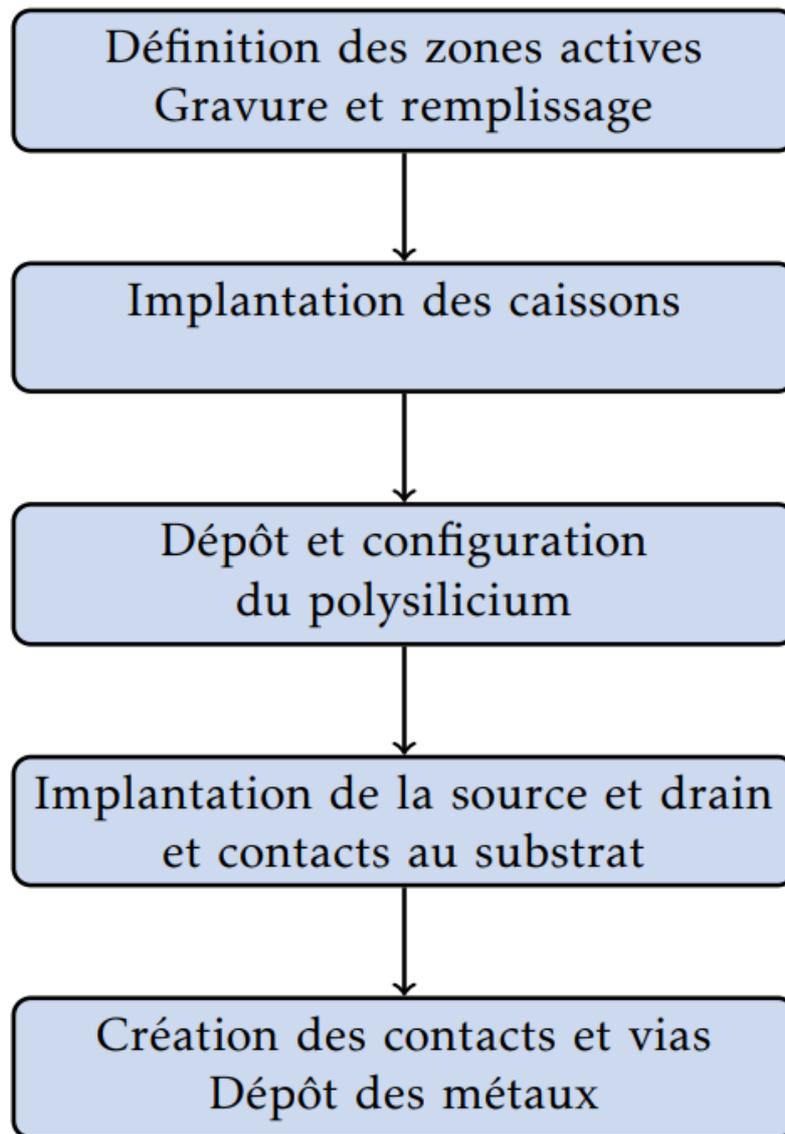


Figure I.8. Etapes du procédé CMOS simplifié[14].

La figure I.9 montre les étapes principales de la fabrication d'un circuit. Chacune de ces étapes peut nécessiter plusieurs autres étapes (comme par exemple la modélisation des contours du SiO₂). Noter que la grille en poly silicium est fabriquée avant la création des sources et drains. On appelle ceci un processus auto-aligné (self-aligned process). À la fin des étapes de fabrication, un dernier niveau de protection est appliqué, habituellement du SiO₂ recouvert de nitrure.

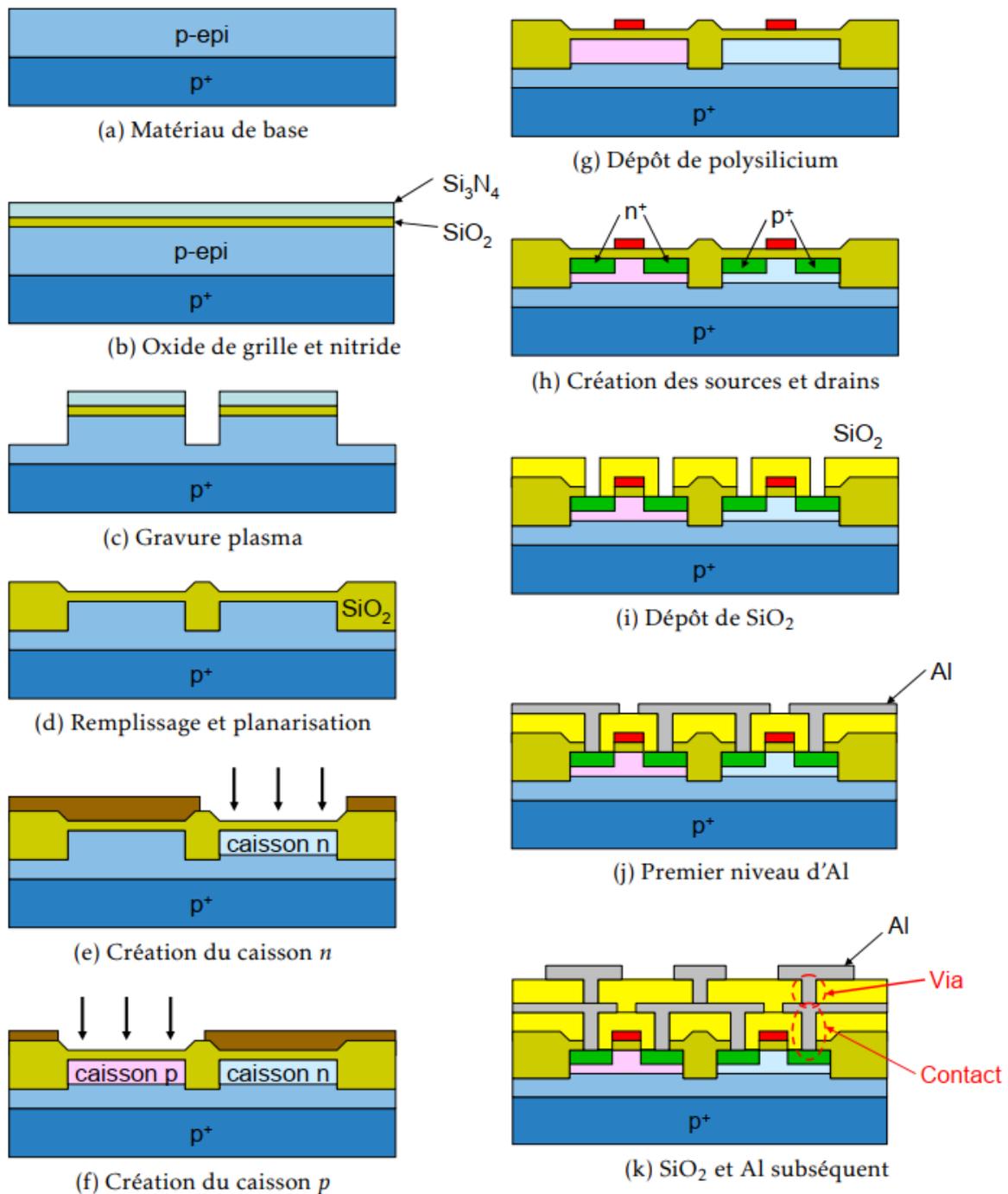


Figure I.9. Procède moderne de fabrication [15].

I.7. Règles de trace

Les règles de trace (design rules) sont l'interface entre le concepteur et la fabrication. Ces règles sont un ensemble de directives pour la création de la topologie des circuits. Les concepteurs veulent généralement des circuits le plus petits possibles, pour avoir une haute performance et haute densité de circuits. Le technologue ou le fondeur en charge de la

fabrication, cependant, veut un procédé reproductible et à rendement élevé. Les règles de trace sont le compromis entre ces deux exigences. Les règles de trace varient d'un manufacturier à un autre, même si les procédés ont les mêmes dimensions minimales. Il y a deux méthodes principales de représenter les règles de tracé: les règles extensibles, ou paramètre λ ; et les dimensions absolues, ou règles micron.

I.7.1. Règles extensibles

Dans cette approche, toutes les dimensions du circuit sont fonction d'une variable λ . Généralement, λ est égal à la moitié de la plus petite dimension réalisable (ex : pour un processus de $0.24\mu\text{m}$, $\lambda = 0.12\mu\text{m}$). Toutes les dimensions du circuit (longueur et largeur des différents niveau) sont un multiple entier de λ . Ce genre d'approche permet de plus facilement modifier un design si la dimension minimale change. Bien que ceci offre un avantage solide, il y a quand même deux désavantages importants :

1. L'échelonnage est seulement possible sur une petite plage de valeurs (ex : passer de $0.25\mu\text{m}$ à $0.18\mu\text{m}$), puisque la relation entre les différents niveaux n'est pas linéaire.
2. Puisque toutes les dimensions sont des multiples de λ , les circuits sont plus gros que nécessaire. Ces règles sont conservatrices, et représentent le pire cas pour l'ensemble des règles.

I.7.2. Dimensions absolues

Dans ce cas, toutes les dimensions du circuit sont en microns ou nanomètre. Ceci permet d'exploiter au maximum un procédé de fabrication et réduire le plus possible la taille des circuits. C'est la méthode préférée de l'industrie. Cependant, le désavantage majeur est qu'il faut pratiquement recommencer à zéro avec un design si on change de processus de fabrication.

I.8. Le manuel des règles de conception

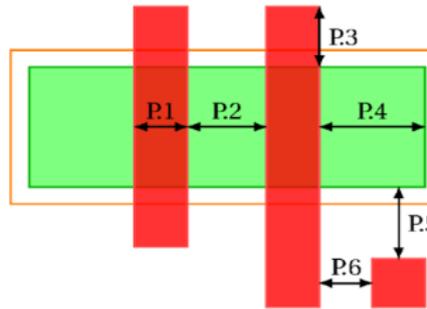
Les règles de conception (appelées DRC) [8] sont l'interface entre les concepteur et ingénieur procédés. Le manuel des règles de conception (DRM) fournit des directives pour la construction de processus masques. Celles-ci sont généralement classées comme :

- Règles intra-couche : largeurs minimales, espacement, zone, etc., ne se rapportant qu'à une seule couche.

- Règles inter-couches : enveloppes minimales, extensions, chevauchements, etc., entre deux couches.
- Règles spéciales : règles non géométriques, telles que règles d'antenne, densité, distance au puits, etc.

I.9. Exemple de règles de conception

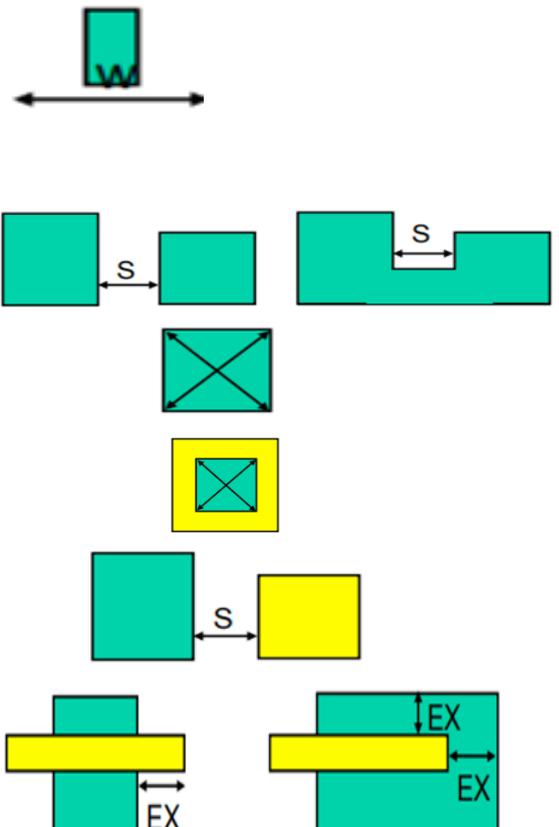
	Rule name (minimum)
P.1	Poly width
P.2	Space poly and active
P.3	Poly ext. beyond active
P.4	Enc. active around gate
P.5	Sp. field poly to active
P.6	Sp. field poly



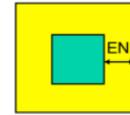
	Rule name (minimum)	Length
M1.1	Metal1 width	65 nm
M1.2	Space metal1	65 nm
M1.3	Enclosure around contact (two opposite sides)	35 nm
M1.4	Enclosure around via1 on two opposite sides	35 nm
M1.5	Space metal1 wider than 90 nm and longer than 900 nm	90 nm
M1.6	Space metal1 wider than 270 nm and longer than 300 nm	270 nm
M1.7	Space metal1 wider than 500 nm and longer than 1.8 um	500nm
...

I.10. Type de règles

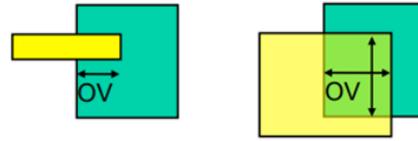
- Largeur (width) min/max
- Distance(space) même niveau min/max
- Surface min/max
- Surface (area) incluse min/max
- Distance niveaux différents min/max
- Extension min/max



- Inclusion (enclosure)min/max



- Recouvrement (overlap) min/max



I.11. Conclusion

La place des circuits intégrés analogiques à hautes performances a pris une importance croissante ces derniers années dans la conception des systèmes mixtes analogiques et numériques. Dans ce premier chapitre, nous avons donc orienté notre travail pour expliquer brièvement le flot de conception à suivre pour arriver à concevoir un chip électronique, on a aussi présenté les différentes opérations typiques du procédé photolithographique ainsi que les étapes de processus de réalisation d'un layout correcte sans erreurs qui reflète bien le circuit schématique réalisé préalablement.

Chapitre II :

Initiation aux simulateurs Expert

II.1. Introduction :

L'Editeur layout « Expert » et « ExpertViews » sont des simulateurs possédant des outils utilisés par les concepteurs de layout physique des circuits intégrés. Dans ce manuel établie, ces deux outils sont nommés « Expert » puisque les deux outils partagent essentiellement la même interface utilisateur. La seule différence, est que dans l'interface « ExpertViews », on ne peut pas modifier le layout physique des circuits intégrés réalisé préalablement à l'aide de l'outil « Expert ». De plus, les interfaces utilisateur de Guardian DRC et Guardian NET sont fondamentalement les mêmes que celles de « ExpertViews » et qui possèdent en plus des opérations spécifiques de vérification.

II.2. Aperçu sur les capacités de l'outil « Expert »

Expert est un éditeur de conception ULSI entièrement personnalisée à la pointe de la technologie[16]. Il est conçu pour répondre à une grande variété d'exigences pour un outil de conception de circuits intégrés moderne :

- Il ne possède aucune limitation sur la taille des conceptions ULSI (il peut avoir n'importe quelle dimension).
- Il contient une base de données géométrique intelligente, offrant une vitesse de navigation/traitement extrêmement rapide et de faibles besoins en mémoire informatique.
- Il est riche comme outil pour la prise en charge des dessins géométriques à tous les angles.
- Il possède un bon système de bibliothèques partagées à d'autres environnements de développement distribué.
- Il est flexible pour travailler sous différentes technologies des circuits intégrés (IC).
- Son interface utilisateur est polyvalente, c'est une combinaison entre l'interface graphique intelligente avec une entrée alphanumérique.
- Il possède une configuration complète et flexible.
- Il contient un DRC (Design RuleChecks) intégré avec un mode d'utilisation en temps réel[17].
- Il possède un langage de script puissant pour la saisie de commande, la génération automatique de mises en page et les cellules paramétrées.

- Il a la possibilité d'ajouter des programmes en C/C++ personnalisés pour contrôler, éditer et modifier les données de projet et l'interface utilisateur d'Expert, en utilisant les fonctions de l'API Expert.
- Il possède une grande capacité de dessin de motifs.
 - Les passages et les sélections hiérarchiques sont très pratiques.

La version actuelle d'Expert fonctionne sur PC et postes de travail sous Windows XP, Windows Vista, Windows 7, Windows 10 et Linux.

II.3. Interface de l'outil « Expert » [16]

Au démarrage du logiciel « Expert », une nouvelle fenêtre, le menu déroulant et un ensemble de barres fonctionnelles et d'informations s'afficheront à l'écran.

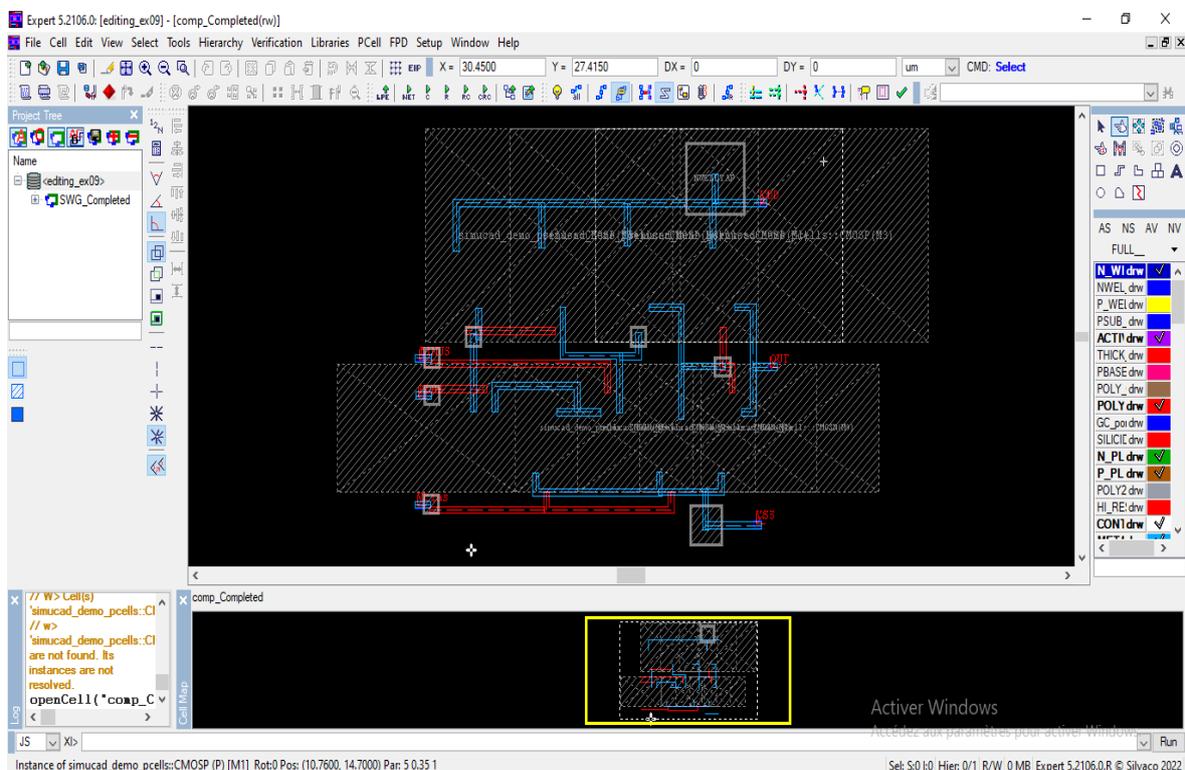


Figure II.1. Menu principal de l'outil « Expert »

II.3.1. Menu

La disposition de la barre d'outils (toolbars) peut être personnalisée et représenté entre les sessions de la fenêtre principale du simulateur « Expert ». Il est également possible de rendre voyant ou non les différentes icônes ou rendre totalement inactif la barre d'outils en activant

le bouton « command » à partir du menu principal représenté dans la figure II.2, en sélectionnant :



Figure II.2. Menu principal d'interface « Expert »

« Edit » → « preferences » → « toolbars » → « command »

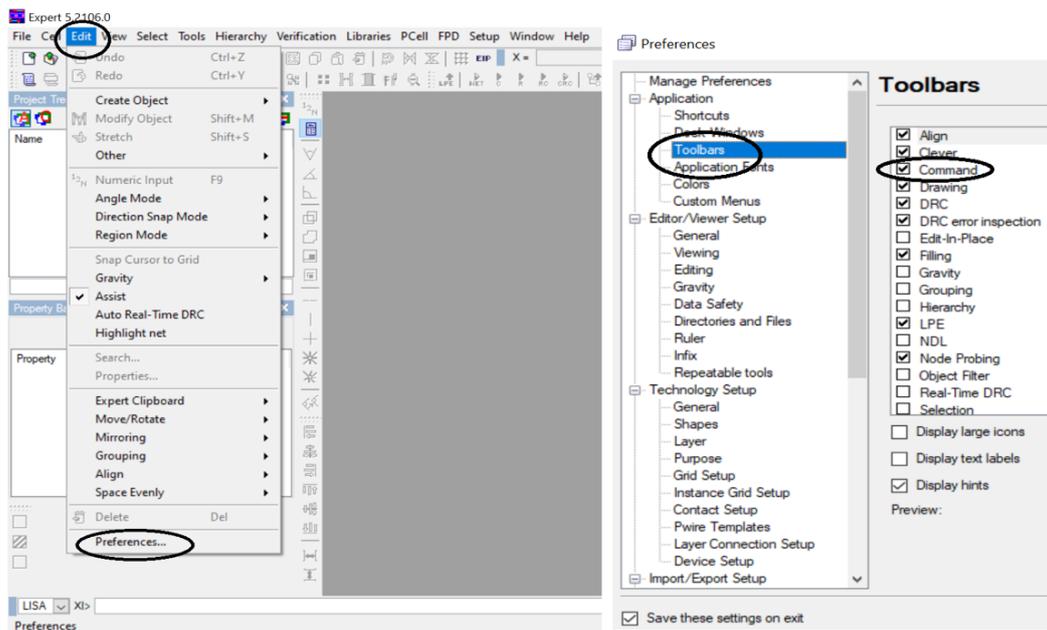


Figure II.3. Représentation de la barre d'outils principale

Les différents outils disponibles dans cette barre comme il est montré dans la figure II.3 sont : Aligner, Commande, Conception, dessin, DRC, inspection d'erreur DRC, édition sur place. Filling, Hierarchy, LPE, NDL, NodeProbing, Real-Time DRC, Sélection, Contrôle de version, Regroupement, Intelligent et gravité.

Une brève description de certains outils présentés dans le menu sont : La barre d'outils « command » indiquée dans la figure II.4 contient un ensemble de boutons permettant d'accéder directement aux opérations les plus fréquemment utilisées (chaque opération répertoriée ci-dessous correspond aux boutons numérotés de la figure). Le contenu de cette barre peut être différent selon les versions d'« Expert ».



Figure II.4. Barre d'outils de commande (command)

Voici certaines icônes fonctionnelles représentées comme suit:

Contenu de l'icône File

File New...

File Open...

File Save

Contenu de l'icône View

View Redraw

View Zoom Zoom to Fit

View Zoom Zoom In

View Zoom Zoom Out

View Zoom ZoomInto Window

View Toolbars Edit-In-Place

Contenu de l'icône Edit

Edit Undo

Edit Redo

Edit Expert Clipboard Cut

Edit Expert Clipboard Copy

Edit Expert Clipboard Paste

Edit Delete Selected Object

Edit Rotate-90

Edit Mirroring Horizontal Flip

Edit Mirroring Vertical Flip

Contenu de l'icône Setup

Setup Technology... Grid Setup...

La barre d'outils conception « design » de la figure II.5 appelle des outils de création d'objets, d'instanciation de cellules et d'opérations typiques de sélection et de modification.



Figure II.5. Barre d'outils de conception

On trouve la barre d'outils :

- Dessin « drawing » qui affiche et attribue :
 - Les restrictions d'angle pour les objets et pour le mouvement du curseur.
 - Les modes de création d'objets (normal, fusion, trou et trou sélectionné)
- Inspection des erreurs DRC « DRC error inspection » et DRC permettent à l'utilisateur d'appeler le panneau de script DRC, de charger les erreurs DRC, de parcourir l'erreur, de sélectionner le type de marques d'erreur et d'obtenir des informations détaillées sur chaque erreur.
- DRC en temps réel « Real-time DRC » (lorsqu'elle est activée) affiche en temps réel l'emplacement de l'erreur signalée par le script DRC.
- Remplissage « Filling » affiche et attribue des modes de remplissage pour dessiner les régions.
- Hiérarchie « Hierarchy » permet de sélectionner la vue de la mise en page (lazy, flat) et le mode d'affichage des tableaux (plein, périmètre, perspectives).
- Sondage des nœuds ou test des nœuds « NodeProbing » permet d'accéder à toutes les fonctions de sondage des nœuds après qu'une extraction a été effectuée.
- Sélection « Selection » affiche et affecte les modes de sélection des objets et le mode d'affichage des éléments actuellement sélectionnés.
- Gestion des versions « Version Control », permet d'archiver et d'extraire des cellules d'un projet au format SLD (Shared Layout Data). Il permet également la fonction de gestion des cellules (nouveau, supprimer et renommer) la cellule.

- NDL (Netlist Driven Layout), (Layout piloté par la netlist), permet d'afficher les lignes de fuites, de mettre en surbrillance certains types de réseaux et d'afficher l'indicateur de pin (broche) lorsque vous travaillez avec la fonction Netlist Driven Layout (NDL).
- LPE, permet de spécifier la configuration LPE, d'invoquer l'extraction de paramètre souhaitée et d'afficher les différentes netlist extraites (hiérarchique, plate).
- Groupement « Grouping », permet d'effectuer des opérations de groupement d'objets.
- Aligner « Align », permet d'aligner les éléments sélectionnés à droite, à gauche, en haut, en bas,...
- Intelligente « Clever », donne accès à tous les menus Clever pour configurer l'extraction 3D.
- Gravité « Gravity », permet de sélectionner le type de gravité à utiliser lors des modifications de mise en page.
- Toutes les barres d'outils peuvent être visibles avec le menu View  Toolbars et elles peuvent être personnalisées pour le mode d'affichage des icônes et/ou leur contenu.

View Toolbars  Customize..., nous  donne la fenêtre preferences « Preferenceswindow » voir la figure II.6. Vous pouvez spécifier la taille des icônes si une étiquette de texte est présente ou non, ou si un conseil est affiché. Le contenu de chaque barre d'outils peut être modifié en le sélectionnant dans la liste et en appuyant sur personnaliser...(Customize....)

Les différentes « Dock Windows » disponibles sont: Barre métrique «Metric Bar », barre de recherche Net/Device «Net/DeviceSearch Bar », enregistrer « log », ligne de commande XI «XI-Command Line », barre de propriétés «Property Bar », bibliothèques « Libraries », arborescence de projet « Project Tree », informations sur les objets «Objects Info», barre de couche «Layer Bar », fenêtres « Windows », Plan de cellule « CellMap», Vue en coupe « Cross Sectional View », Coupes transversales « Cross Sections », Réseaux « Nets », Barre de grille « Grid Bar », un dessin de masques contre un dessin de masques « Layout vs. Layout (LVL) », Placeur/Compacteur et entrée numérique « Placer/Compactor and Numeric Input ».

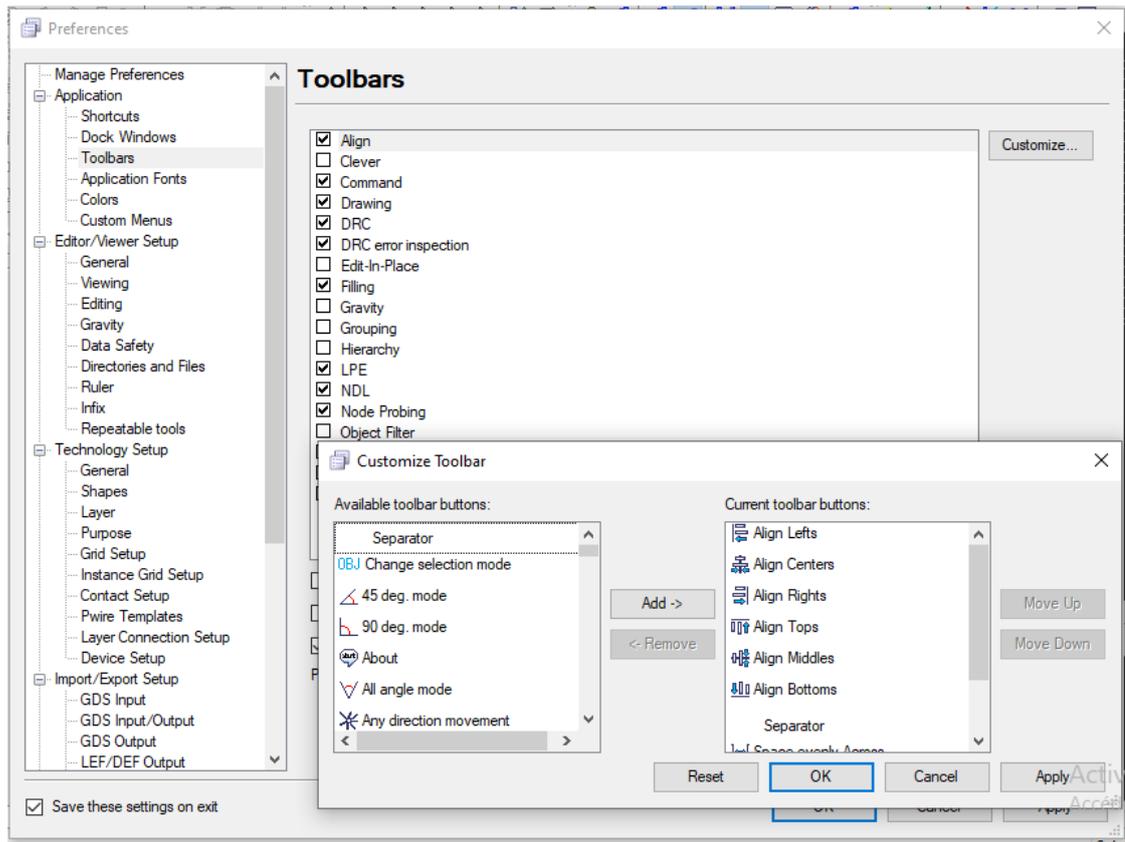


Figure II.6. Personnalisation de la barre d'outils

Une brève description de certains d'entre eux est présentée ci-dessous.

- La fenêtre de barre métrique « Metric Bar » (Figure II.7) contient les éléments suivants : Position du curseur et unité de mesure.

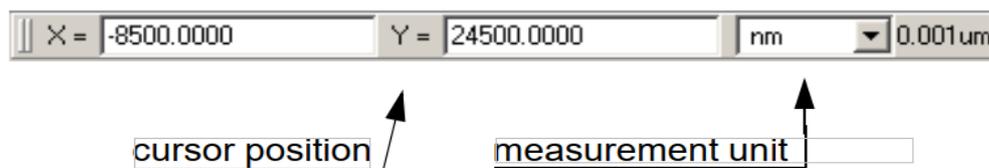


Figure II.7. barre métrique

- **Net/DeviceSearchBar** : La barre de recherche Net/Device la fenêtre d'accueil « dock window », permet de saisir un nom de réseau ou de périphérique et de le trouver dans la fenêtre de layout (dessin de masques).
- **Metric Bar** : la barre de grille la fenêtre d'accueil « dock window », permet de définir le paramètre de grille et la visibilité.

- **Layout vs Layout (LVL)** : layout contre layout la fenêtre d'accueil « dock window », permet de comparer deux cellules de layout.
- **Placer/Compactor** : Placeur/Compacteur de la fenêtre d'accueil « dock window », permet de produire des placements nets et efficaces et permet également de compacter les layouts pour minimiser l'espace utilisé.
- **XI-Command line**: La ligne de commande XI de la fenêtre d'accueil «dockwindow» saisit les commandes de script de l'interface Expert pour effectuer des opérations d'édition (FigureII.8).



Figure II.8. Ligne de commande XI

- La fenêtre d'accueil «dockwindow» de la barre d'outils, on sélectionne la barre de propriétés « Property Bar » (voir la Figure II.9), qui permet de voir et de modifier les propriétés de géométries sélectionnées. Pour la raison d'amélioration et de performances, cette fenêtre affiche les propriétés pas plus de 1000 objets sélectionnés par défaut. Pour voir les propriétés de tous les objets sélectionnés, utilisez la commande de menu sélectionnez « Select » Afficher tout « All » dans la barre de propriétés ou utiliser le raccourci Alt-A.

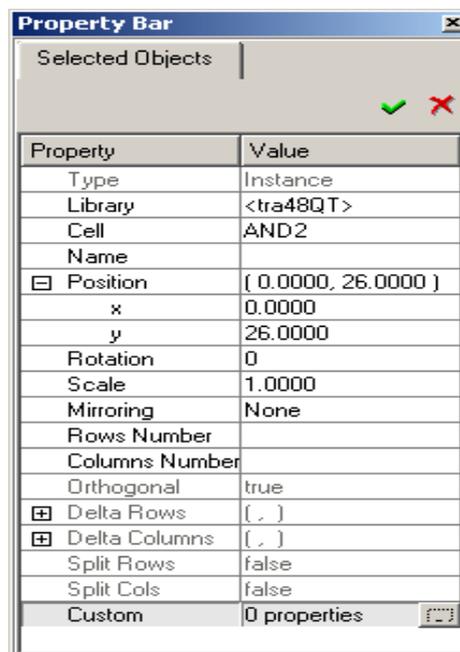


Figure II.9. Barre de propriété « Property Bar »

- L'état des bibliothèques peut facilement être connu en affichant la fenêtre d'accueil «dockwindow» de la barre d'outils puis « Libraries », à partir de là, vous pouvez afficher et modifier la bibliothèque d'un projet donné via cette fenêtre. Plus précisément, il est possible d'ajouter et de supprimer des bibliothèques, de consulter leurs propriétés, d'activer et de désactiver une bibliothèque spécifique pour le projet en cours et d'archiver/extraire une cellule.
- L'arborescence du projet « Project Tree » de la fenêtre d'accueil « dock window » nous permet de visualiser le projet courant ainsi que son arborescence complète.

Sa peut être utiliser aussi pour naviguer dans le projet. Un double clic sur une des cellules de la liste, la fenêtre du layout de cette cellule sera invoquer.

Les icônes en haut de la fenêtre « Project Tree » de la figure II.10, nous permettent de visualiser l'arborescence du projet complet « completeproject », la cellule active uniquement « active cellonly », d'afficher uniquement la cellule de niveau supérieur « top levelcell » et d'afficher « display » ou de masquer « hide » les géométries.



Figure II.10. Visualisation de : Arborescence complète, cellule active, cellule de niveau supérieur, affichage et masquage des géométries

- A partir de la fenêtre d'accueil «dockwindow» de la barre d'outils, et la fenêtre d'information des objets « Objects info », les objets du dessin (layout) de projet, l'affichage du nom, type et l'emplacement des géométries sélectionnées seront donnés.
- La barre des couches « layer bar » de la fenêtre d'accueil (figure II.11) est utilisée pour spécifier la couche actif (couche utilisée pour créer des objets), réorganiser les couches, les rendre visibles/invisibles, etc. (voir en détail configuration de la technologie)

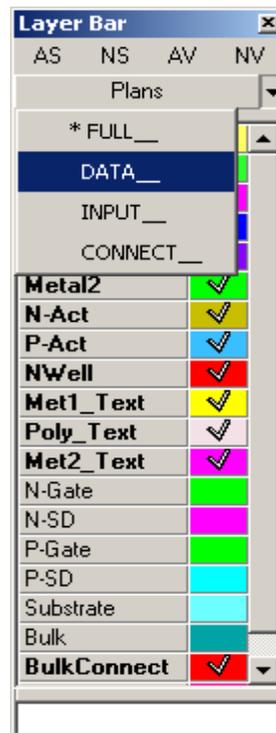


Figure II.11. Barre des couches

II.4. Configuration « setup »[16]

II.4.1. Configuration du simulateur « Expert » et « Expert Views »

Le sous-menu Configuration (Figure II.12), permet de définir diverses options et paramètres du simulateur « Expert », à savoir :

- Configuration technologique, y compris :
 - Configuration des couches (y compris l'ordre de dessin des couches par défaut)
 - Configuration de la connectivité des couches
 - Configuration de diapositive ou composant
 - configuration de la grille
 - paramètres généraux liés à la technologie.
 - Configuration d'import/export pour les formats GDSII, CIF et Applicon
 - Configuration de la règle
 - Configuration par gravité
 - Exécution du script DRC
 - Binkey (raccourci clavier), menu personnalisé et configuration des couleurs personnalisées
 - Configuration de l'enregistrement automatique
 - Configurations d'options Affichage et Edition

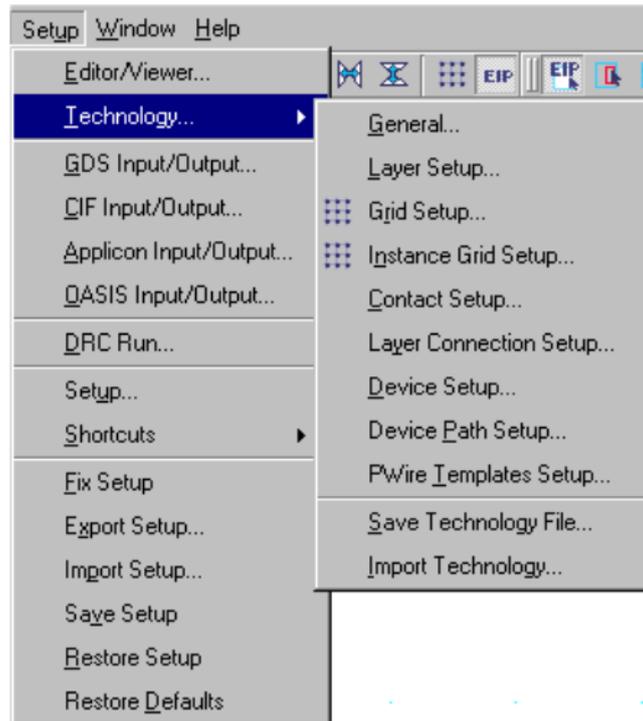


Figure II.12. Sou-menu de la configuration du simulateur « Expert »

Tous les panneaux accessibles avec le menu Configuration sont regroupés dans une même fenêtre: fenêtre préférences « Preferences ». De plus, un certain nombre d'opérations ont leurs propres modes à configurer avant l'exécution. Ces modes se trouvent dans les menus correspondants.

II.5. Gestion des configurations

Dans le simulateur « Expert », tous les paramètres peuvent être grossièrement divisés en deux groupes principaux : les paramètres de la technologie et les préférences de l'éditeur/visualiseur.

II.5.1.1. Les paramètres technologiques

Les paramètres technologiques sont intrinsèquement ou d'une manière inhérent liés à la conception elle-même. Ils sont stockés dans un fichier technologie correspondant avec une extension *.tcn, et dans le fichier projet lui-même, s'il est au format interne du simulateur « Expert » (*.eld).

Les paramètres suivants sont enregistrés dans le fichier technologique :

- Chaîne d'ID de la technologie définissable par l'utilisateur
- Unités de mesure

- Configuration de la grille commune
- Définitions de couches (y compris les styles de fil par défaut, les paramètres de grille Individuels et les déclarations de dérivation)
- Informations de connectivité de couche (voir Guardian Net)
- Paramètres physiques des couches
- Définitions des dispositifs ou composants (voir Guardian Net)

Il existe plusieurs manières de créer un dossier technologique:

1. Créez les paramètres requis à partir de l'interface utilisateur du simulateur « expert », puis enregistrez-les en sélectionnant Setup→Technology→Save Technology File....
2. Importez depuis l'ensemble d'exécution de « Dracula » comme décrit ci-dessous. Cette possibilité est utile lorsque vous convertissez des plates-formes Dracula DRC « Dracula DRC decks.. »
3. Importation à partir de fichiers de définition de technologie/d'affichage extérieur (Setup → Technology → ImportTechnology...).
4. Modifiez-le manuellement à l'aide d'un éditeur de texte.

❖ **Génération de fichier technologique à partir de la série « Dracula DRC Run ».**

Vous pouvez créer un fichier technologique basé sur le bloc « INPUT LAYER » de la plate-forme « Deck Dracula DRC ». Cela se fait comme suit:

- Dans le panneau de script DRC (menu Verification→DRC→DRC Script Panel), ouvrez la fenêtre de configuration de l'importation DRC (menu Setup→DRC Import Setup) sélectionnez l'option Générer un nouveau fichier de technologie... ;
- Chargez la plate-forme Dracula DRC « Dracula DRC deck » depuis la commande Importer « **Import** » (menu **File**→**Import**).
- Vous sélectionner un nom de fichier. Si le nom de fichier <FName> est sélectionné, trois fichiers sont sauvegardés :
 - <FName>.dsf – est le script converti.
 - <FName>.log – est le registrel de conversion.
 - <FName>.tcn – est le fichier technologique correspondant.

❖ **Importation à partir de fichiers de définition de Technology/Display/Netlist externe**

Sélectionnez **Setup→Technology→Import Technology...** pour ouvrir la boîte de dialogue Importation de la technologie.. Cette boîte de dialogue comporte deux pages: Affichage « **Display** »et Connectivité/dispositifs « **Connectivity/Devices** ».

La page d'affichage est utilisée pour créer la technologie du simulateur «expert», la bibliothèque de couleurs et pointiller les fichiers de bibliothèque à partir du téléchargement de fichiers de la technologie Cadence et afficher le fichier de ressources.

Pour obtenir le téléchargement du fichier de la technologie Cadence, sélectionner **Virtuoso→Technology File→Dump**

sélectionnez **Virtuoso→Technology File→Dump** avec le paramètre **All classes** et saisissez le nom du fichier de technologie ASCII[16].

Le fichier de ressources d'affichage a une extension *.drf. Parfois, les ressources d'affichage peuvent être définies dans le fichier de technologie ASCII lui-même.

La page Connectivité/dispositifs « **Connectivity/Devices** » est utilisée pour générer des définitions de dispositifs et de netlist pour l'extracteur de netlist Hipex Net à partir des plateformes Dracula contenant ces informations. Sur cette page, le fichier d'entrée est la plateforme de Dracula.

- Le champ Définitions de couches« **Layer Definitions** » identifie le fichier de technologie du simulateur Expert, qui contient les déclarations converties des couches dérivées.
- Le champ Connectivité « **connectivity** » identifie le fichier de technologie du simulateur Expert, qui contient les définitions de connectivité converties.
- Le champ de dispositifs identifie le fichier de technologie du simulateur Expert, qui contient les définitions des dispositifs converties
- Le champ Script DRC « **DRC Script** » pour la génération de couches identifie le fichier script de Guardian DRC, qui contient des instructions converties pour les couches dérivées utilisées pour la définition de dispositif et de la connectivité.
- Le champ « **DRC Script** » pour « **DRC Checking** » identifie le fichier de script de Guardian DRC, qui contient des instructions converties pour les vérifications DRC, qui peuvent se trouver dans la même entrée de la plate-forme Dracula et utiliser des déclarations de connectivité pour les vérifications DRC basées sur la connectivité.

La conversion dans l'un des fichiers de destination peut être ignorée en supprimant la coche de la case correspondante. N'importe lequel des trois domaines technologiques peut faire référence au même dossier technologique.

II.5.1.2. Paramètres de sécurité des technologies

Le mode de sécurité TCN empêche les informations technologiques du projet d'être modifiées par défaut d'attention. Si ce mode est activé, les opérations répertoriées ci-dessous sont désactivées : **Setup→Technology→Save Technology File...;**

Ce qui est protégé ?

- Paramètres de grille minimaux et instantanés ;
- Paramètres de connectivité de couche;
- Définitions de couches (nom, numéro GDSII/type de données, styles de fil, etc.), à l'exception de la couleur et les motifs pointillés;
- sélection et modification de la bibliothèque de couleurs ;
- édition de motifs pointillés

Comment définir le mode de sécurité TCN ?

Pour activer ce mode, on procède comme suit :

Configuration de la couche

Pour activer ce mode, procédez comme suit :

1. Créez un fichier de configuration expert `tcnsecur.ecf`(ou un autre nom) avec les deux lignes suivantes :

[Application]TCNSecurity=1

2. Chargez-le en sélectionnant **Setup→Import Setup....**
3. Enregistrez les paramètres en sélectionnant **Setup→Save Setup.**

Suite à ces actions, l'utilisateur du PC actuel travaillera avec Expert en mode de sécurité TCN. Pour désactiver ce mode, faites la même chose que ci-dessus en utilisant uniquement un fichier `ecf` avec les deux lignes suivantes :

[Application]TCNSecurity=0

Cette méthode de gestion de la sécurité n'est pas destinée à empêcher des actions délibérées. Cette protection sera plus flexible dans les versions ultérieures.

II.6. Configuration de la technologie

II.6.1.1. Page Général

Ce panneau permet de choisir les paramètres généraux de la technologie : Il appartient au groupe panneaux de configuration de la technologie de la fenêtre préférences « Preferenceswindow ». Sa peut également être affiché directement depuis le menu : **Setup→Technology→General.**

- **Technology ID** :il s'agit d'une chaîne définie par l'utilisateur qui identifie un fichier de technologie particulier. Lorsqu'un nouveau fichier de technologie est créé, la valeur par défaut de cette chaîne est : (Technologie sans nom, ver. 1.01)

Remarque : Étant donné que les données technologiques sont stockées dans des fichiers *.eld, cette chaîne d'identification est le seul moyen d'identifier les projets *.eld avec la même technologie.

- **Utiliser un fichier technologique externe pour les projets *.eld** : Normalement, les données technologiques des nouveaux projets du simulateur Expert sont stockées dans le fichier. eld. Il est cependant possible de charger un projet .eld avec un fichier de technologie externe, sélectionnable comme il est décrit pour le chargement de formats de données externes.

Ceci est particulièrement utile pour le travail en équipe. Il garantit que tout le monde utilise la même technologie, par exemple à partir d'un fichier sur un serveur.

Avec cette option, les couches dans le projet et dans le fichier technologique sont appariés sur la base de:

Layer name si le bouton correspondant radio-bouton **Identifylayers by name** est coché. Dans ce cas, le numéro GDSII d'une couche du fichier technologique remplacera le numéro GDSII de la couche de même nom dans le projet ELD chargé.

- **Layer GDSII numbers** si l'autre bouton radio est coché. Dans ce cas, le nom d'une couche du fichier technologique remplacera le nom d'une couche ayant le même numéro GDSII dans le projet ELD chargé.

Si le projet comporte des couches non définis dans le fichier technologique, ils seront quand même chargés, mais leurs paramètres auront les mêmes valeurs par défaut.

Remarque : Vous ne pouvez pas remplacer la technologie d'un projet chargé. Vous devez recharger le projet. Cependant, vous pouvez remplacer les couleurs/pointillés à l'aide de "plans de couche".

Allowlayers with the same GDSII numbers and data types (Autoriser les couches avec les mêmes numéros GDSII et types de données): Supprime les avertissements (warnings) lorsque des couches de mêmes paramètres GDSII sont créés.

Si cette option n'est PAS cochée, les opérations **Project→New...** and **Project→Load...** qui utilisent un fichier technologique avec une paire de couches avec les mêmes numéros GDSII et types de données échoueront avec le message correspondant.

Un contrôle similaire est effectué lors de la création/modification de la technologie à l'aide de : **Setup→Technology→Layer** / **Wire Setup...**

Ce contrôle empêche la modification involontaire des données lors de l'exportation au format GDSII. Deux ou plusieurs couches « Expert » peuvent être écrites dans une couche GDSII. S'il est nécessaire de fusionner les couches lors de l'exportation GDSII, il est recommandé d'utiliser une table de remappage (remplace) des couches, voir

Setup→GDSII Input/Output→Output.

- **Extraction Setup button:** Effectuera la même action que **Verification→Extraction→Setup** élément de menu.
- **NodeProbing - Reextraction Options button:** Effectuera la même action que : **Verification→NodeProbing→Reextraction** élément du menu des options.
- **Map file for NDL:** Chemin d'accès à un fichier avec table de mappage de cellules pour Expert SDL.

Options spécifiques au projet **Run script beforeprojectloading** et **Run script afterprojectloading** vous permet de spécifier un chemin vers un script à exécuter automatiquement avant ou après le chargement de votre modèle. Le chemin peut être relatif (recommandé) ou absolu.

Remarque : Si vous avez spécifié des scripts à la fois dans **Technology→General→Runscript** après le chargement du projet et **Editor/Viewing Setup→Editing→Afterloadingproject** file puis le script à partir de **Technology→General→Run**, script après le *chargement du projet* sera exécuté en premier

II.6.1.2. Layer setup (Configuration de la couche)

Layer setup se compose de deux parties principales: la boîte de dialogue Layer Bar et Layer Setup. Layer Setup est visible à l'écran si l'option **View→Dock Windows→Layer Bar** est vérifié. La boîte de dialogue de LayerSetup est appelée soit à partir du menu **Setup→Technology→Layer Setup...**, ou en cliquant avec le bouton droit de la souris sur le

nom de la couche dans Layer Bar. Dans ce dernier cas, la couche sous le curseur dans la Layer Bar devient sélectionné (avec un fond gris) dans la LayerSetup et y est disponible pour des modifications. Les paramètres effectués dans le Layer bar ne s'applique qu'à la fenêtre qui est active à ce moment-là. Les paramètres définis dans Layer setup sont valables pour l'ensemble du projet pendant la session et peuvent être enregistrés.

➤ Layer Bar

La barre des couches, comme il est montré dans figure II.13, permet d'afficher/masquer les couches dans le layout, de modifier leur ordre de visibilité, de les rendre sélectionnables/non sélectionnables, de modifier le mode de remplissage d'une couche et définir une couche comme actif. (Certaines opérations d'édition, par exemple la création de couches, sont effectuées uniquement dans la couche actif).

La barre de couches contient deux couleurs verticales : la bande de nom et la bande de couleur. Dans la barre des couches, le nom de la couche actif est écrit sur le fond coloré. Une seule couche peut être actif à la fois. La couche actif est toujours visible. Une couche est activée en cliquant sur sa bande de couleur.

Les noms de couches visibles apparaissent en noir, les couches non sélectionnables ont des noms grisâtres et les noms des couches invisibles apparaissent en blanc.

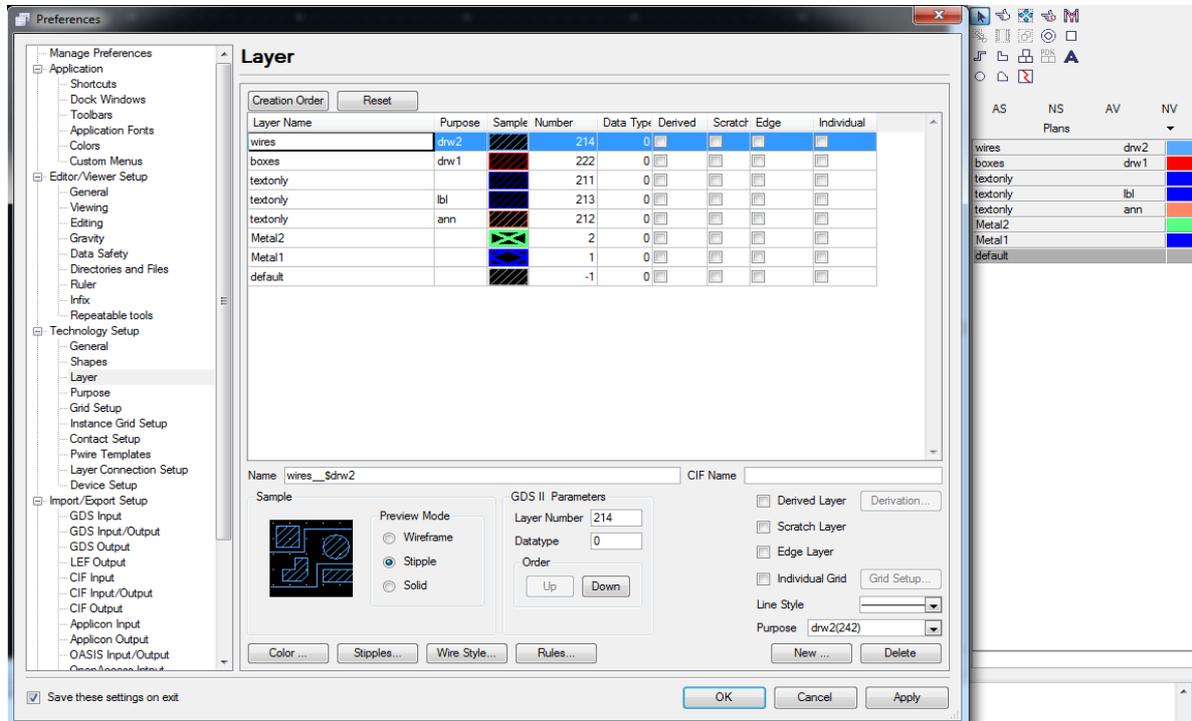


Figure II.13. Boîte de dialogue de configuration des couches et barre des couches.

➤ Menu contextuel de la barre des couches

Si vous cliquez avec le bouton droit de la souris dans la barre des couches (sur la bande de nom ou la bande de couleur), un menu contextuel s'affiche (voir figure II.14). Ce menu permet de définir plusieurs caractéristiques de couches :

- Visibilité et sélection de la couche pointée,
- Visibilité et sélection de toutes les couches.
- Boîte de dialogue de configuration de couches
- Configuration de la connexion de couche
- Modes de réorganisation des couches : ordre alphabétique, technologique ou numéro GDSII. (Noter: La réorganisation personnalisée peut être effectuée dans la boîte de dialogue **Layer/wire setup** "configuration de couche/fil").
- Remplissage de couches individuel (filaire, solide, pointillé) (**wireframe, solid, stipple**). Ce mode de remplissage remplacera le mode de remplissage par défaut commun.
- Couleur et pointillé de la couche pointée (ces deux éléments sont accessibles depuis Layer/wire Setup

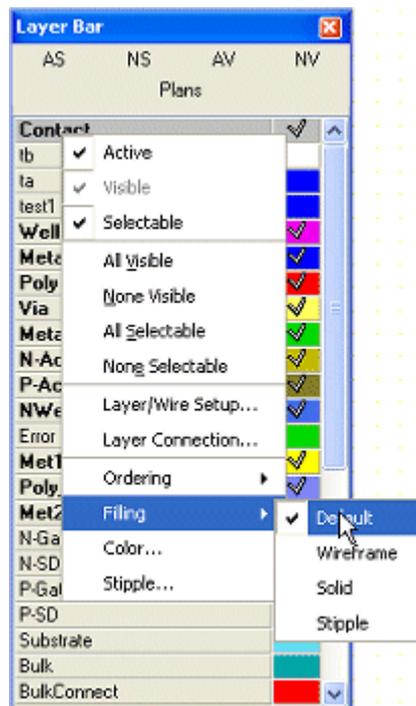


Figure II.14. Menu contextuel de la barre des couches

➤ « Layer Plans », Plans de couche : remplissage, sélectivité, visibilité et inclusion
 Dans la barre des couches « **Layer bar** » le bouton de commande Plan « **Plan** » est Utilisé pour définir les propriétés suivantes pour chaque couche:

- Paramètres de remplissage individuels

- Visible/Invisible dans le layout
- Sélectionnable/non sélectionnable (c'est-à-dire que les éléments de cette couche peuvent être sélectionnables ou non). Notez que les couches invisibles ne peuvent pas non plus être sélectionnés.
- Inclus/non inclus dans la liste des couches de la barre des calques « **layer bar** ».

Dans le panneau Plan de calque « **Layer Plan** » illustré à la figure II.15, un tableau à cinq colonnes est utilisé pour la liste des noms de couches : Nom de la couche « **Layer name** », Mode de remplissage « **Filling mode** », Inclure « **Include** », Visible « **Visible** » et Sélectionnable « **Selectable** ».

À l'aide de la deuxième colonne, vous pouvez définir des modes de remplissage individuels pour les couches. Sélectionnez l'un des quatre éléments du menu déroulant : par défaut, solide, filaire ou pointillé par le bouton gauche de la souris (**default, solid, wireframe, ou stipple**). Le mode de remplissage par défaut signifie que le réglage sera pris à partir du réglage commun actuel (**View** → **Fillingsubmenu**).

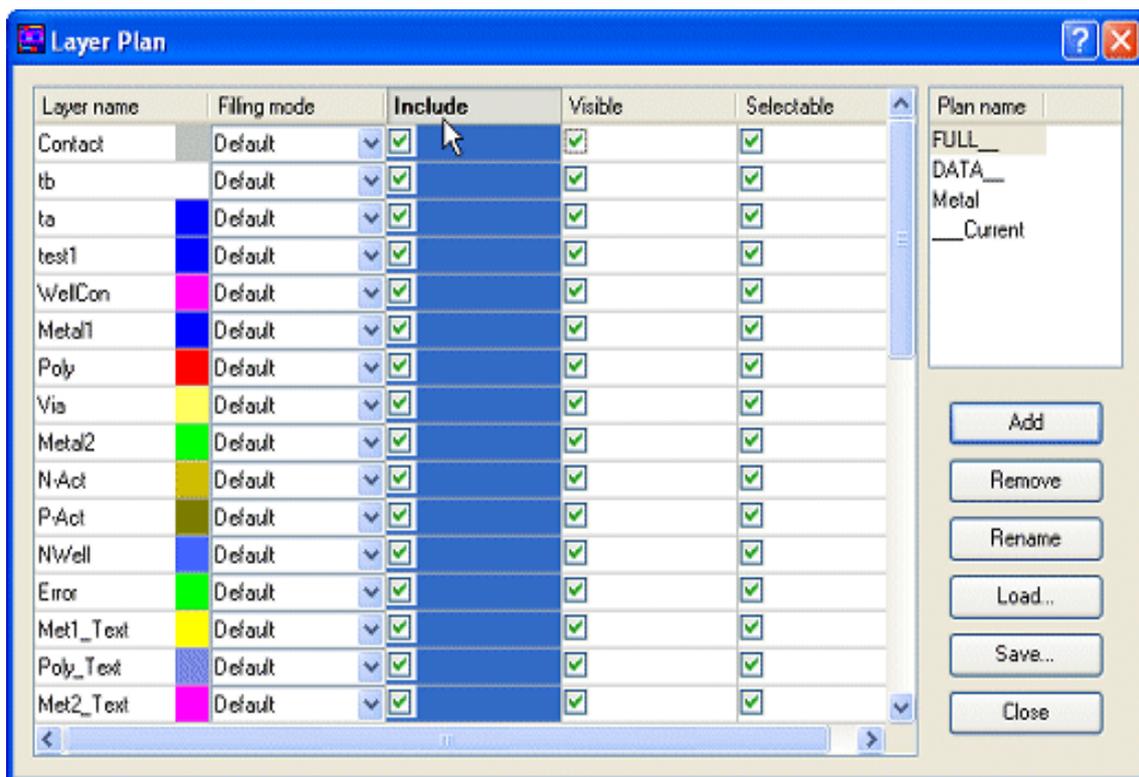


Figure II.15. Plan de couche

Les trois dernières colonnes contiennent des coches indiquant qu'une propriété particulière s'applique à la couche correspondante :

- Les modifications seront appliquées instantanément lors de la fermeture du panneau Plan de la couche.
- On peut modifier toutes les propriétés de couche d'une colonne en cliquant sur le haut de la colonne. Par exemple, si vous cliquez sur Inclure, toute la colonne est mise en surbrillance. Cliquez ensuite sur n'importe quelle case à cocher afin de modifier les caractéristiques de tous les couches en une seule fois.
- On peut modifier la propriété d'un groupe de couches en cliquant sur le côté droit de la case à cocher de plusieurs couches dans la colonne souhaitée et en maintenant la touche Maj enfoncée. Ensuite, on peut cocher/décocher la case d'un des couches sélectionnées ; la propriété sera modifiée pour l'ensemble du groupe de couches.

➤ Affectation des paramètres GDSII

Il est obligatoire d'attribuer à chaque couche deux numéros d'identification qui sont le numéro de couche (également appelé numéro GDSII) et le numéro de type de données. Dans la liste des couches, cliquez sur le nom de la couche dont-on souhaite modifier les paramètres. Ce nom apparaît dans le champ bouton **Name**, et le numéro de la couche et le type de données apparaissent dans le champ **Paramètres GDSII**.

Plusieurs restrictions sont vérifiées lors de la saisie du nom et des paramètres de la couche :

- Si un nom en double est saisi, vous serez invité à répéter la saisie.
- Si vous entrez un numéro GDSII ou un type de données hors de la plage par défaut (0-255), vous serez averti et autorisé à changer d'avis.
- Si vous entrez 2 couches avec le même numéro GDSII et le même type de données, vous serez invité à modifier au moins un des paramètres afin de différencier les deux couches. (Remarque : Cette vérification dépend de l'option autoriser les couches avec les mêmes numéros GDSII et le même type de données (**allowlayers with same GDSII numbers and data type** » décrites dans la section Technology Setup)

➤ Règles

Le mode **Edit**→**Assist**, permet d'activer/désactiver la vérification de certaines règles de conception pendant les opérations d'édition. Les règles que **Assist** vérifiera sont définies dans la boîte de dialogue appelée en cliquant sur le bouton **Rules** du **Layer setup**.

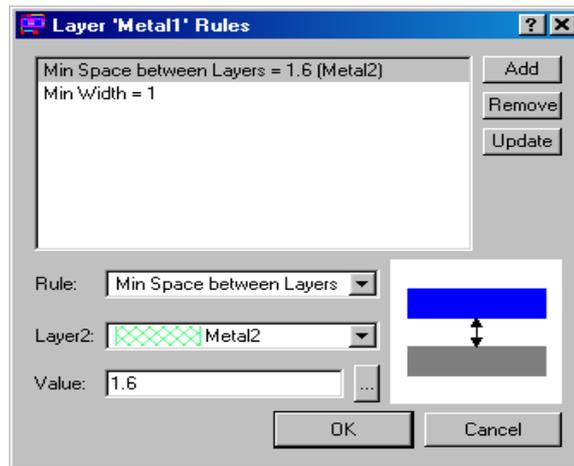


Figure II.16. Boîte de dialogue des règles de couches

II.6.1.3. Configuration du composant

Les informations sur le composant sont spécifiées dans le fichier de technologie afin de permettre à l'outil d'extraction de netlist (**Guardian NET**) d'extraire tous les composants qui sont conçus sur le Layout. La description de ce panneau et la liste de tous les types de composants pouvant être extraits par **Guardian NET**.

II.6.1.4. Configuration de la grille

Il existe plusieurs types de grilles dans Expert. Leurs tailles et leur visibilité sont définies dans la configuration de la grille. La boîte de dialogue de configuration de la grille décrite dans la figure II.17 ci-dessous est invoquée à partir de trois emplacements différents, par différents objectifs.

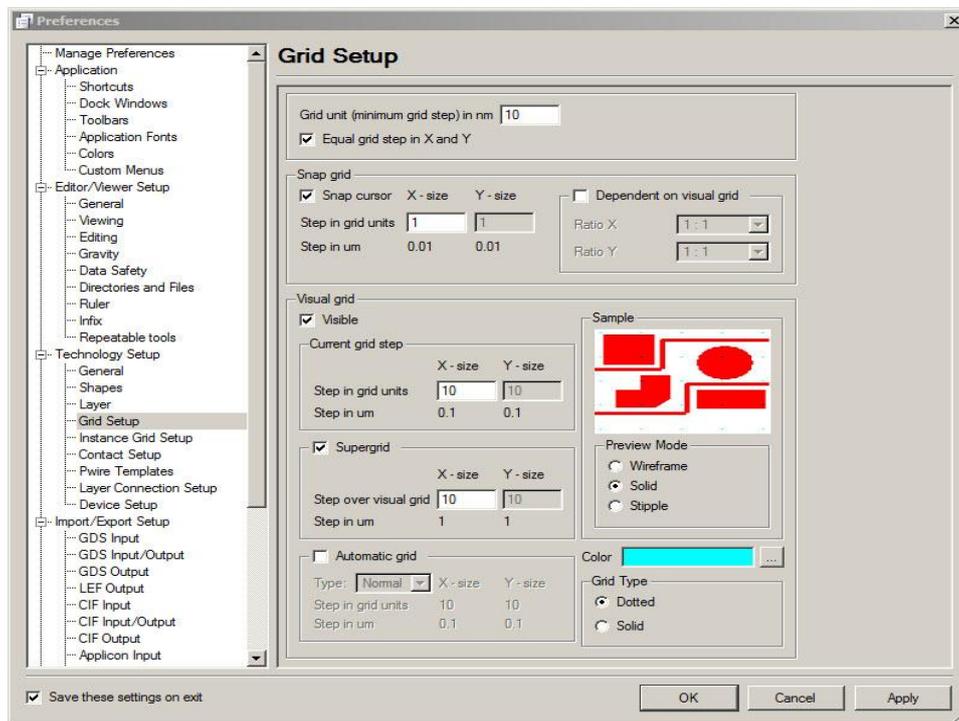


Figure II.17. Configuration de la grille

➤ Grille minimale (unité de grille)

C'est la grille avec le pas minimal permis par la technologie actuelle. Cette étape minimale est appelée unité de grille dans « **Expert** ». Cette valeur est également appelée résolution ou taille de spot dans d'autres systèmes de CAO. Cette étape est stockée dans le fichier de technologie sous la forme d'un entier positif « **Grid** », en nanomètres. Cette étape est l'étape minimale autorisée dans le mode curseur instantané « **Snap cursor** ».

II.7. Outils de vérification du layout (Layout Verification Tools)[18]

On décrit l'interface « **Expert** » menu des outils suivants (voir figure II.18).

- Guardian DRC
- Guardian NET Netlist Extractor (y compris l'extraction RC parasite par Hipex-RC)
- Guardian LVS Verification
- Gateway Schematic Editor

Aussi bien que :

- Real-time DRC
- Electrical NodeProbing (including Short-locator)
- Layout vs. Layout (LVL) comparison

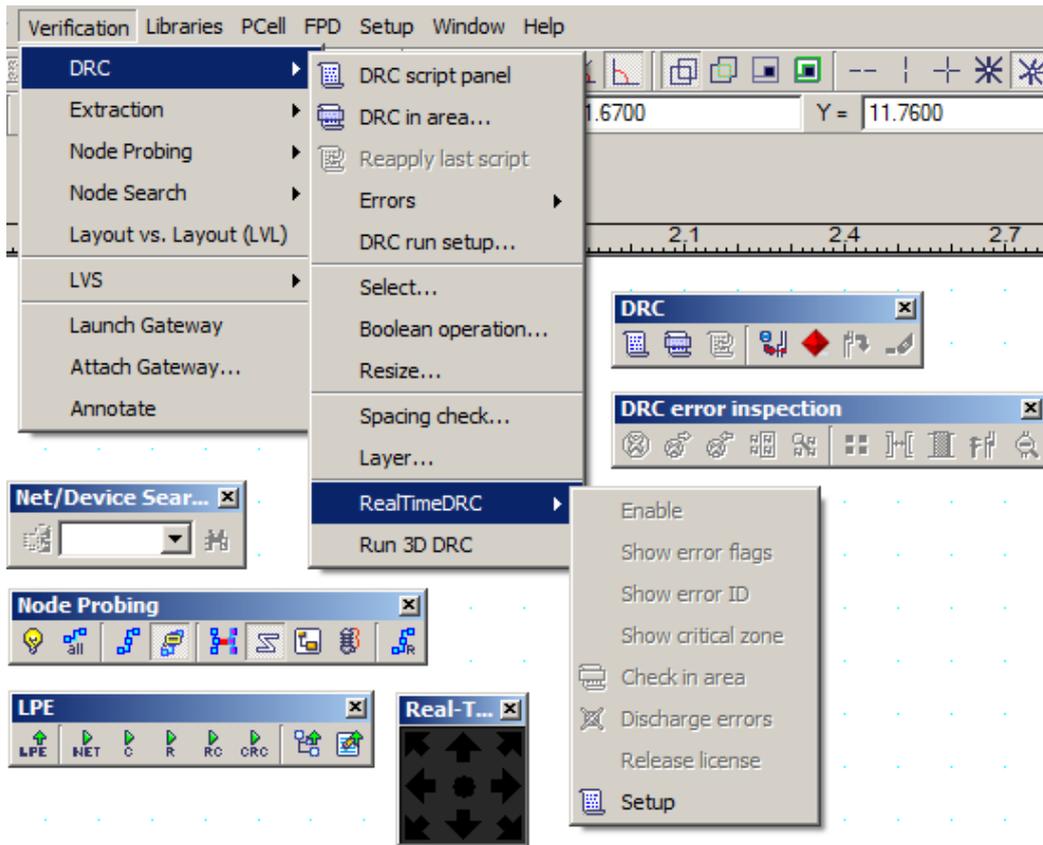


Figure II.18. Les éléments d'interface et les outils de vérification du layout sous « Expert »

Guardian DRC, LPE et LVS peuvent fonctionner en trois modes :

- En tant qu'applications autonomes,
- En mode batch, depuis la ligne de commande du système d'exploitation,
- Intégré dans l'éditeur de Layout Expert (Expert layout editor).

II.7.1. Système géométrique DRC (Geometrical DRC System)[16]

II.7.1.1. Les bases d'utilisation du simulateur « Expert » (Basics of Usage in Expert)

Le système géométrique DRC du « Guardian DRC » intégré sous « Expert » peut être utilisé de plusieurs manières :

- Exécution des scripts DRC en ligne dans « Expert », inspection immédiate des résultats DRC et effectuation des corrections.
- Exécutez des travaux DRC par lots ou par groupe à l'aide de **xi-scripts** pour planifier l'exécution de plusieurs scripts DRC sur plusieurs layout.

- Configurez DRC en temps réel pour exécuter des vérifications DRC en temps réel; les violations des règles de conception sont signalées immédiatement pendant que le concepteur modifie le layout.
- Utilisez les opérations DRC interactives du sous-menu **Verification→DRC** pour exécuter des vérifications simples à une seule commande et pour effectuer des opérations booléennes sur les couches.
- Exécutez des scripts xi/DRC combinés et effectuez des opérations compliquées avec le layout, telles que le remplissage de zone et la comparaison de layout.

Les commandes DRC interactives peuvent être invoquées soit depuis le sous-menu **Verification→DRC** soit depuis la barre DRC.

DRC scripts dans « Expert » peut être exécuté à partir de **DRC Script Panel**, ouvrir à partir de la commande **Verification→DRC→Script Panel** ou à partir de xi-scripts.

➤ Rapports sur la RDC « **DRC Reporting** »

Les résultats de la DRC peuvent être communiqués de trois manières :

- Comme couches de sortie temporaires directement sur le layout
- Sous forme de couches dans les cellules d'erreur écrites dans un fichier GDSII externe
- Comme base de données d'erreurs Guardian DRC, qui est le moyen le plus flexible et le plus pratique

Lorsque des erreurs sont signalées en tant que régions aux couches de sortie, on peut désactiver la visibilité de toutes les couches non pertinentes et examiner les couches d'entrée qui sont superposées par les couches de sortie.

Lorsque des erreurs sont signalées dans la base de données d'erreurs, on peut inspecter les erreurs consécutivement à l'aide des commandes du sous-menu:

Verification→DRC→Errors ou de la barre d'outils DRC.(voir figure II.19)

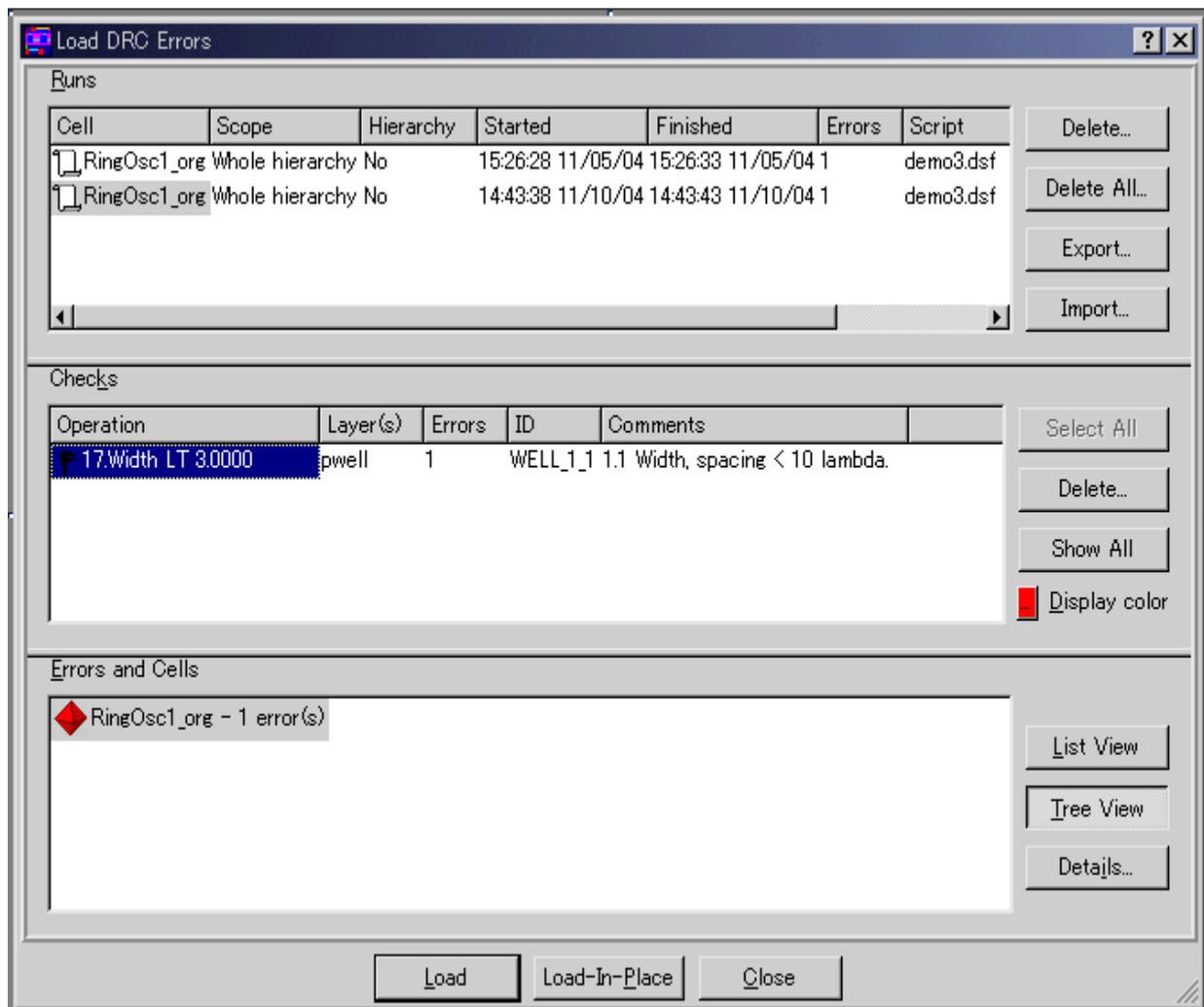


Figure II.19. Boîte de dialogue d'erreur de chargement DRC

On peut également inspecter les erreurs groupées par nombre de points et par géométrie à l'aide de la commande « **Verification -> DRC -> Errors -> Load groupederrors...** »

à partir de la barre d'outils DRC (voir figure II.19)

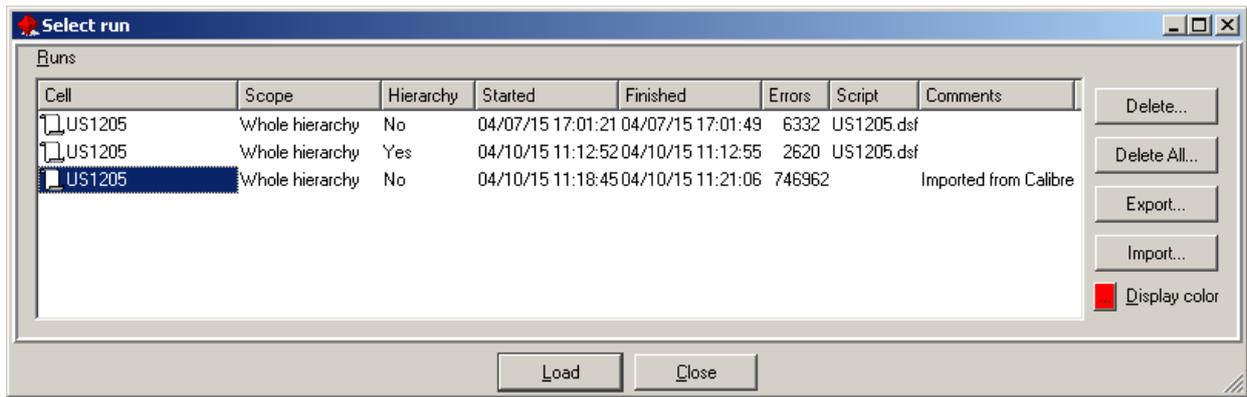


Figure II.20. Boîte de dialogue “Select run”

Toutes les erreurs chargées à partir de l'exécution sélectionnée apparaissent dans la fenêtre « **DRC Grouped Errors** » et séparées en groupes par nom de règle et géométrie. La colonne « **Result** » indique le nombre de erreurs par groupe. Le titre de la colonne indique le nombre total d'erreurs chargées (Résultat=45).

La colonne « Fixed/Ignored » indique le nombre d'erreurs dont le statut est défini comme « Fixed » ou « Ignored ». Les erreurs sont représentées sous forme d'icônes avec une image en losange sur le côté droit de la fenêtre (voir figure II.20)

Rule Name/Geometry	Result= 746962	Fixed/Ignored
Layer1	121676	0 / 0
Layer2	88610	0 / 0
Layer3	114648	0 / 0
Layer4	356411	0 / 0
Layer5	24888	0 / 0
Layer6	40263	0 / 0
Layer7	466	4 / 3
P4-433	3	3 / 0
P4-434	3	0 / 2
P4-435	1	0 / 0
P4-436	1	0 / 0
P4-437	3	1 / 1
P4-438	2	0 / 0
P4-439	1	0 / 0
P4-440	1	0 / 0

Figure II.21. Fenêtre des erreurs groupées « DRC Grouped Errors »

On utilise les boutons  pour développer toute l'arborescence et Réduire toute l'arborescence pour développer/réduire tous les nœuds d'une arborescence en un seul clic.

Les boutons  peuvent être utilisés pour charger/enregistrer l'état d'erreur dans un fichier séparé (TextErrorStatus *.tes).

Le bouton  « View Errors » affiche l'erreur actuellement sélectionnée avec une étiquette jointe. En double-cliquant sur l'icône d'erreur « Diamant » l'erreur sera afficher. « **Ctrl+Click** » et « **Shift+Click** » peuvent être utilisés pour sélectionner un groupe d'erreurs (voir figure II.22).

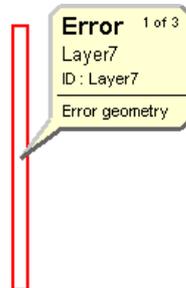


Figure II.22. Erreur en surbrillance avec étiquette attachée

Utilisez les boutons    (Marquer fixe « Mark Fixed », Marquer ignoré. « Mark Ignored », Annuler Fixe/Ignoré « Cancel Fixed/Ignored ») pour modifier l'état d'erreur de la ou des erreurs actuellement sélectionnées. Le menu contextuel peut être utilisé pour un groupe sélectionné d'erreurs dans l'arborescence (voir figure II.23)

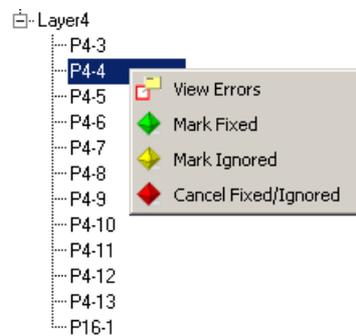


Figure II.23. Menu contextuel

II.8. Extracteur de netlist Guardian NET (Guardian NET Netlist Extractor)[19]

Guardian NET est un outil rapide et économe en mémoire pour extraire la netlist Spice à partir de layout du masque IC fonctionnant sur la plate-forme PC/Windows NT. La fonction Guardian NET est accessible à partir du submenu *Verification* → *Netlist Extraction*[19].

Guardian NET extrait les dispositifs (MOSFET, BJT, diodes, résistances, etc.) et les informations de connectivité à partir du layout et produit la description du circuit au format Spice netlist. La liste d'interconnexions extraite de la puce conçue peut en outre être

comparée à la liste d'interconnexions produite par le schéma de la conception par l'outil de comparaison entre Guardian LVS layout versus schematic (LVS).

En outre, Guardian NET peut appeler Hipex-RC pour générer une autre netlist SPICE, y compris les résistances et capacités parasites. La netlist extraite peut être utilisée dans un simulateur de circuit, tel que SmartSpice, pour évaluer l'effet de ces RC parasites.

II.9. Comparateur de netlist Guardian LVS (Guardian LVS Netlist Comparator)

Le système de comparaison de netlist de Guardian LVS (LVS) est intégré à CAD. Il peut être exécuté à la fois en tant qu'application autonome et en mode groupe à partir de la ligne de commande du système d'exploitation. L'outil Guardian peut être lancé à partir de l'éditeur de layout de « Expert », comme illustré à la figure II.24.

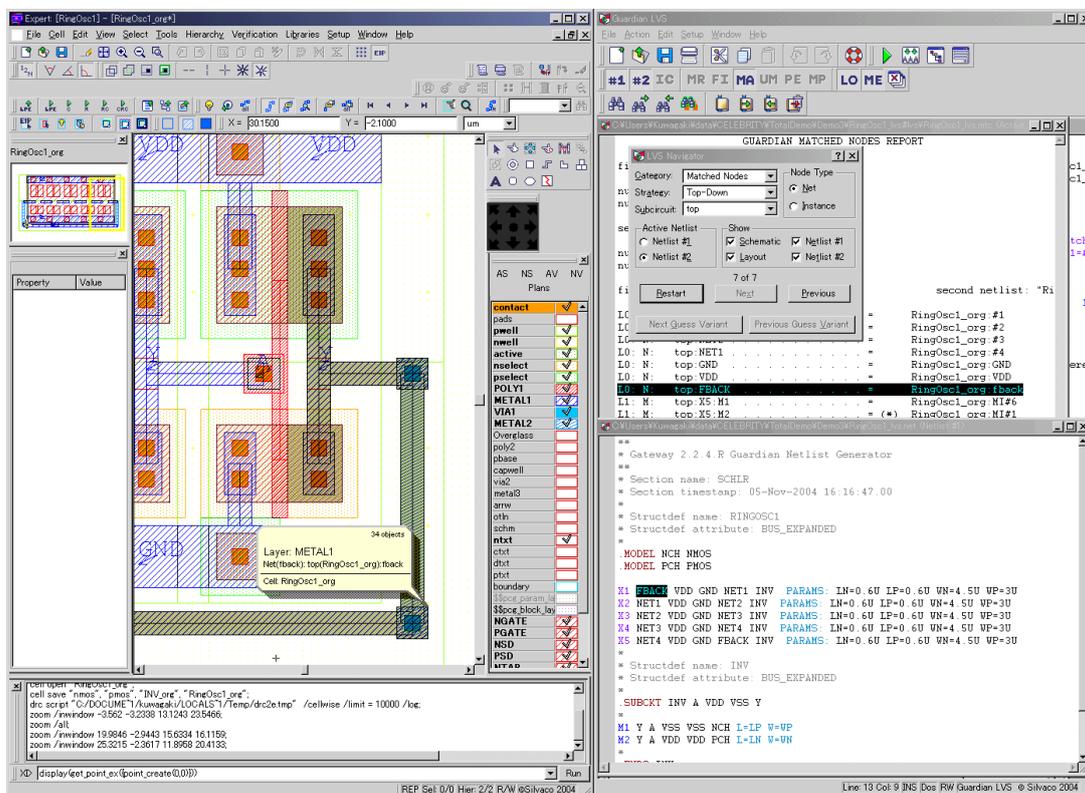


Figure II.24. Croisement entre Expert et Guardian LVS.

Guardian est un outil utilisé pour comparer deux circuits tels que décrits par leurs netlists dans le format standard Spice de netlist. L'une de ces netlists correspond généralement au schéma d'un circuit produit (par exemple, par l'éditeur de schéma Gateway). L'autre netlist est extraite de la configuration du circuit par l'extracteur de netlist Guardian NET. Il représente le layout physique réelle du circuit telle qu'elle est produite (par exemple, par l'éditeur de layout

Expert). Ce type de vérification de circuit est appelé LVS (layout versus schematic comparison).

Guardian utilise le format de netlist Spice à des fins de comparaison. Les netlists Spice décrivent les circuits au niveau de composant (c'est-à-dire en termes de transistors, de diodes, de résistances et de condensateurs), avec une hiérarchie représentée en termes de sous-circuits et de leurs instances.

II.9.1. Capacité et Résistance parasites du Réseau

On peut voir la capacité et la résistance parasites des réseaux extraits par « **Hipex** » :

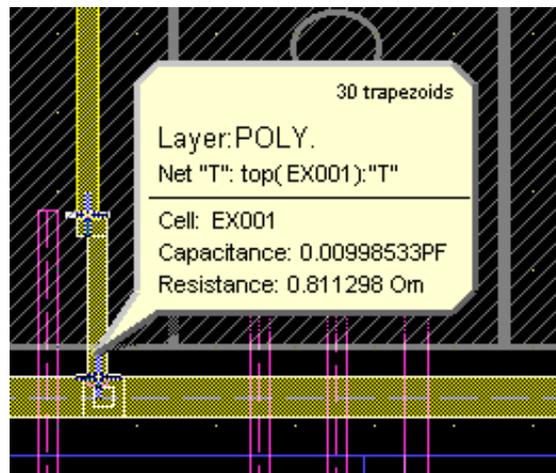


Figure II.25. Exemple de vue de la capacité et de la résistance parasite du réseau

Pour ce faire, on doit effectuer les étapes suivantes:

- Ouvrir la boîte de dialogue de configuration LPE et définir l'option **Netlisting**→**Output DSPF**.
- Exécuter Hipex NET et Hipex RC
- Passer en mode de sondage de nœud (**Verification**→**NodeProbing**→**PickNode**)
- La valeur totale de la capacité nette à la terre est toujours affichée pendant la détection de nœud pour le réseau actuellement en surbrillance, si elle est répertoriée dans le fichier DSPF.
- Pendant que le réseau d'intérêt est en surbrillance, appuyez et maintenez le bouton « Ctrl » et en faisant des clics gauches de la souris sélectionnez deux points entre lesquels vous devez voir la résistance (les points seront marqués

par de petites croix blanches). L'outil trouve 2 sous-nœuds dans le fichier DSPF, le plus proche des points définis par l'utilisateur dans le réseau spécifié et utilise tout le réseau de résistance extrait du réseau actuel pour recalculer la résistance effective d'un sous-réseau à un autre, en utilisant la transformation delta-Y du réseau de résistance.

II.10. Gateway

Gateway est un outil de capture schématique et le point d'entrée du flux de conception de circuits intégrés. On peut utiliser l'outil pour créer, afficher et modifier une conception schématique et générer une netlist SPICE qui décrit la connectivité du circuit[20]. L'outil Guardian LVS est utilisé pour comparer cette netlist avec la netlist extraite du layout physique du circuit afin de déterminer si elles correspondent.

Une fois que LVS a été exécuté via l'application Guardian LVS, on peut lier Expert aux schémas du Gateway. Pour ce faire, effectuez les actions suivantes :

1. Sélectionnez **Verification**→**LVS**→**Launch LVS** pour exécuter Guardian LVS.
2. Exécutez Gateway (Verification→Launch Gateway)
3. Exécutez la comparaison LVS sous Guardian LVS dans l'outil de navigation.

Après cela, vous pouvez inspecter les résultats de la comparaison en mettant en surbrillance les images des composants ou des réseaux (nets) directement dans Gateway et Expert.

II.10.1. Attacher Gateway (Attach Gateway)

La commande de menu **Verification**→**Attach Gateway** affiche la boîte de dialogue **Attach to Gateway** qui vous permet d'attacher/détacher Gateway de la version spécifique à partir Expert.



Figure II.26. Boîte de dialogue Attacher au Gateway

La barre d'état de l'expert affichera une icône de Gateway si une Gateway de n'importe quelle version est connectée (voir figure II.26).

II.10.2. Annoter (Annotate)

Verification→**Annotate**active/désactive le mode **Annotate** spécial de mise en surbrillance des objets et des nets dans l'outil Gateway. Ainsi, lorsqu'on sélectionne des instances dans des cellules générées par NDL, Gateway mettra automatiquement en surbrillance les symboles correspondants dans les schémas.

Chapitre III :

Le Flot de conception des circuits intégrés sous logiciel Gateway et Expert

III.1. Introduction :

Les logiciels de CAO d'Expert permettent la conception du jeu de masques permettant la fabrication d'un circuit intégré à partir d'un schéma électrique. On parle alors de flot de conception[16]. Dans ce chapitre nous allons parcourir ce flot de conception à partir de la description électrique d'un schéma électronique jusqu'à la réalisation de son layout.

Avant de parcourir le flot de conception nous allons rappeler la structure physique d'un circuit et la mettre en correspondance avec son layout, En passant par la vérification DRC, l'extraction des composants parasites et LVS.

Pour préparer le travail de conception, on doit préparer en premier lieu l'élaboration du Design Kit. Il s'agit d'un kit regroupant toutes les informations relatives à la technologie en question :

- La liste des couches (*layers*) utilisés ;
- Des modèles pour effectuer des simulations ;
- Une liste de règles de dessin ;
- Souvent, quelques briques de base.

Grâce à lui, les concepteurs peuvent créer les éléments dans les outils de CAO.

La deuxième étape à suivre est le placement et le routage. Cette étape nous rapproche cette fois de ce que sera le circuit final. Il s'agit d'effectuer les deux opérations suivantes :

- Le placement prend la liste des cellules de base qui font la fonction du circuit, et les répartit géographiquement sur l'empreinte donnée,
- Le routage n'a plus alors qu'à tirer les fils pour interconnecter les entrées et les sorties des cellules.

On obtient à la fin une image de ce que sera le circuit sous la forme d'un fichier au format GDSII.

La troisième étape est la validation, Un certain nombre de vérifications sont faites après le placement et routage pour s'assurer du bon fonctionnement du circuit lorsqu'il sera produit :

- Vérification des règles de dessin (Design Rule Check/DRC).
- Vérification LVS (Layout Versus Schematic)

Si ce test est correct, le circuit est considéré comme bon et il peut être envoyé en production.

III.2. Guardian DRC

L'outil Guardian DRC (Design RuleChecking) est conçu pour effectuer des vérifications géométriques d'un dessin de masques (Layout) sous une technologie VLSI (Very Large ScaleIntegration), cela par rapport à diverses règles de conception fournis par le fondeur. Guardian DRC, permet de traiter le layout de divers types, styles et complexités d'une conception d'un circuit intégré. L'entrée au système Guardian DRC est un dessin de masques (Layout) représentée soit au format ECAD, soit dans d'autres formats (GDSII, CIF et Appliquons). Les règles de conception sont spécifiées soit de manière interactive, soit sous la forme d'un script Guardian DRC. Dans notre cas, on prend comme application de démonstration, le layout dénommé « integration_ex03.eld », la figure III.1 suivant, montre sa localisation de chargement. Il est réalisé sous une technologie CMOS de 50nm[17].

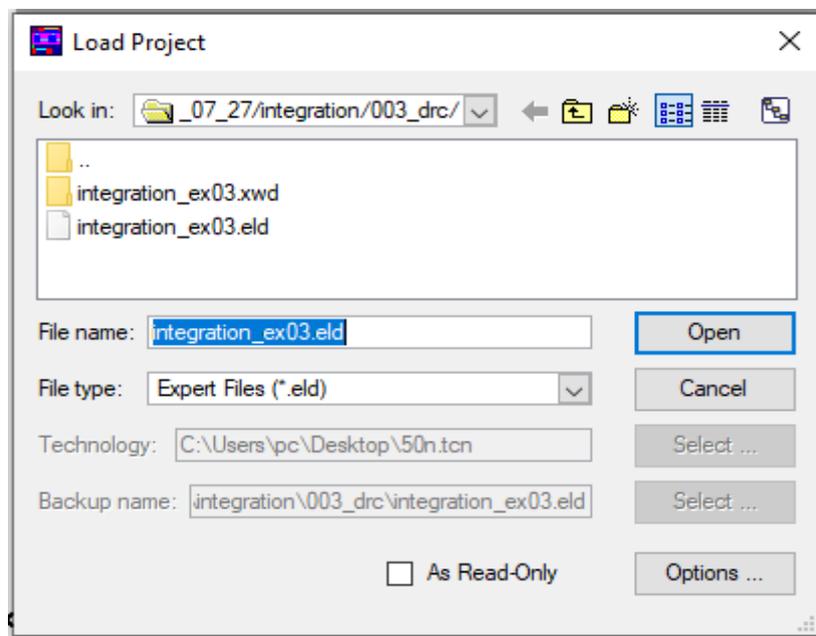


Figure III.1. Chargement de l'exemple DRC « intégration_exo3.eld »

Une fois le dessin de masques de notre exemple « intégration_exo3.eld » est ouvert (voir figure III.2), on entamera par la suite la vérification DRC.

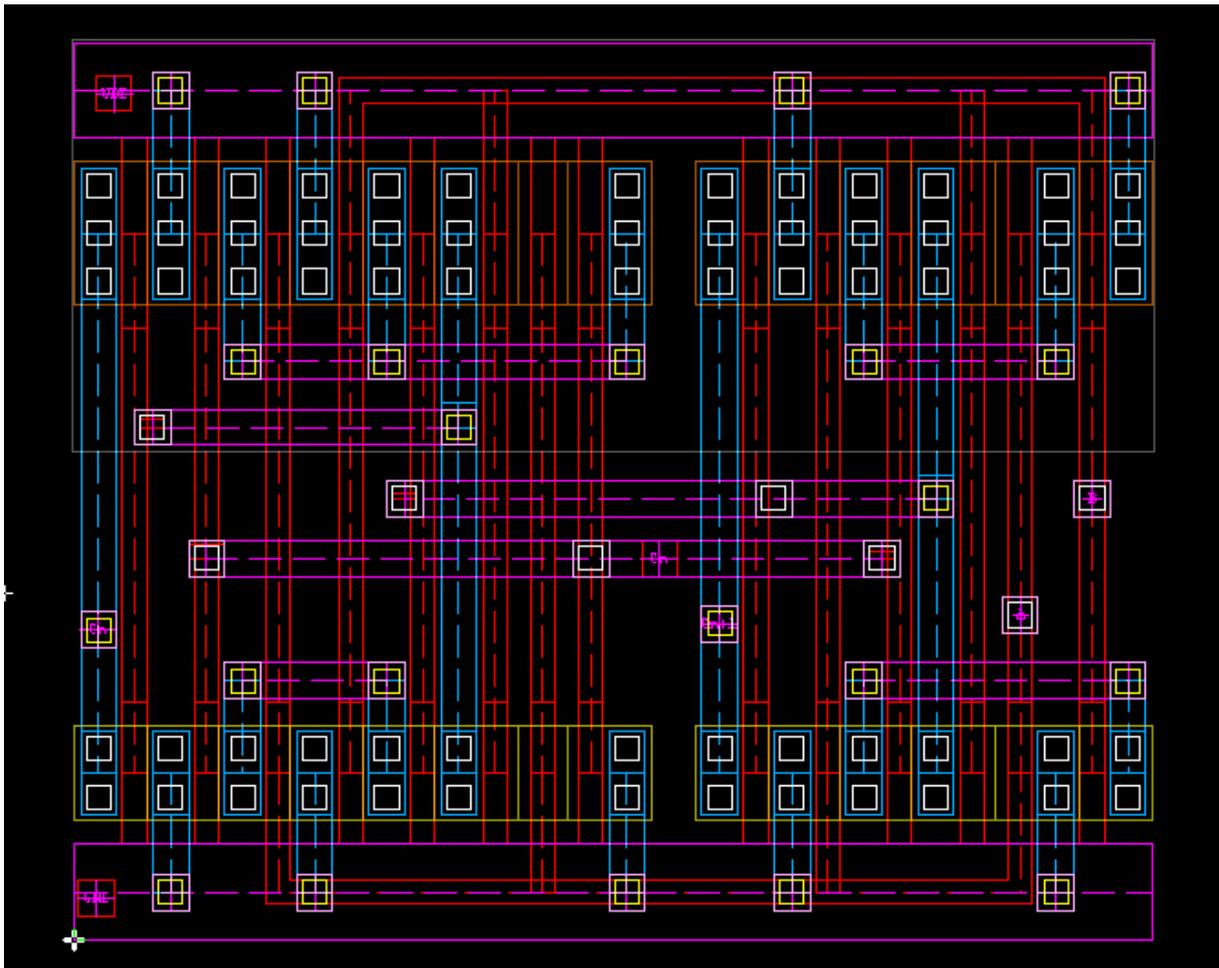


Figure III.2. Dessin de masques de l'exemple « integration_exo3.eld »

Les principales caractéristiques du système Guardian DRC sont :

- La dépendance, qui est presque linéaire entre le temps d'exécution et la taille de dessin de masques.
- La dépendance linéaire entre l'espace mémoire du disque requis et la taille de dessin de masques, cette dernière à traiter n'est limitée que par l'espace disque disponible sur le PC.

Il existe trois modes de fonctionnement pour la vérification DRC (mode interactif, mode en ligne et mode par Lot). On trouve une visualisation graphique des erreurs, une navigation interactive des rapports d'erreurs indiqués directement dans le dessin de masques.

III.3. Rapports d'erreur DRC

Il existe trois endroits où les rapports d'erreurs peuvent être écrits : Base de données d'erreurs, fichier GDSII et Couches d'erreur. Les rapports de la base de données d'erreurs, Guardian DRC peuvent être convertis au format texte.

Pour ouvrir le panel du script, on procède comme suit : (voir figure III.3)

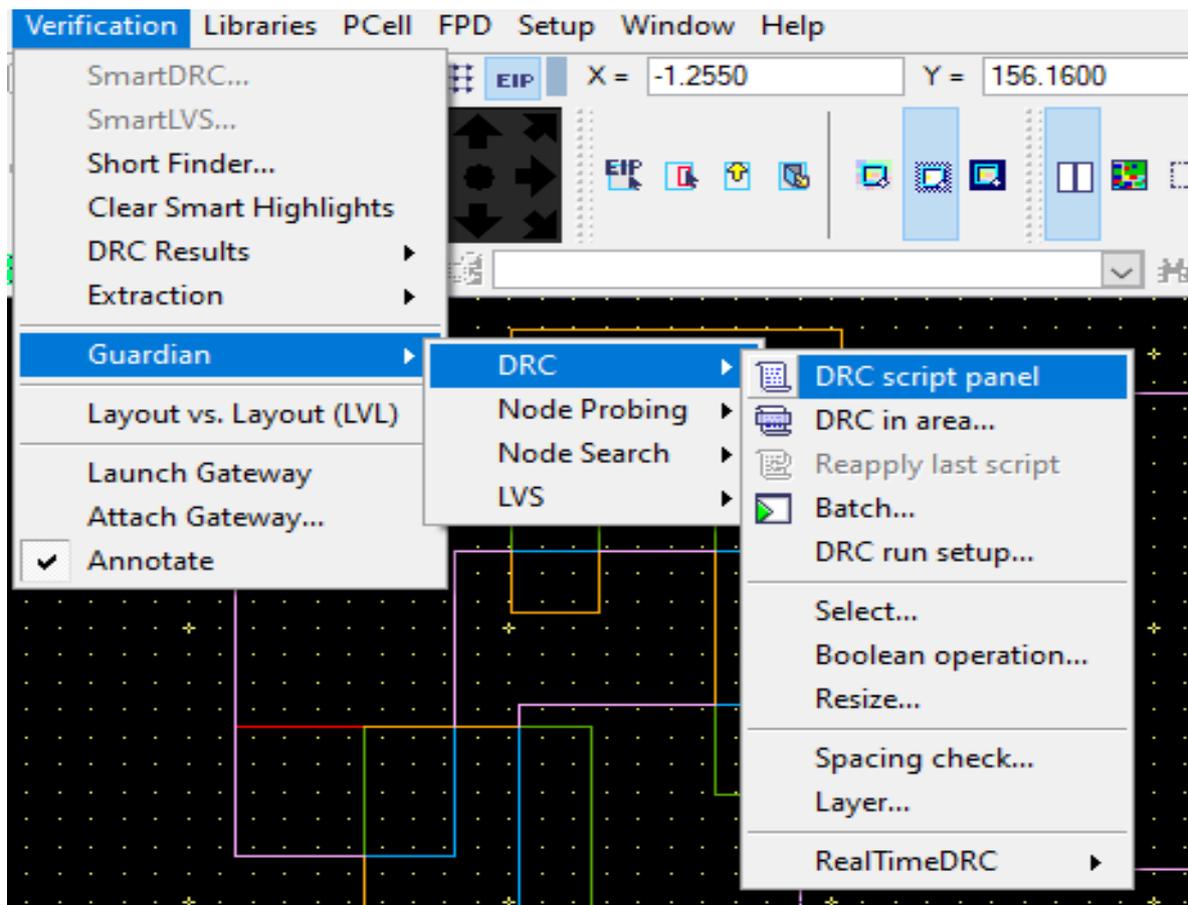


Figure III.3. Élément de l'interface des outils de vérification

La figure III.4 montre l'interface « DRC Script Panel ». A partir de cette fenêtre on peut ouvrir le fichier (integration_exo3.dsf) (voir figure III.5).

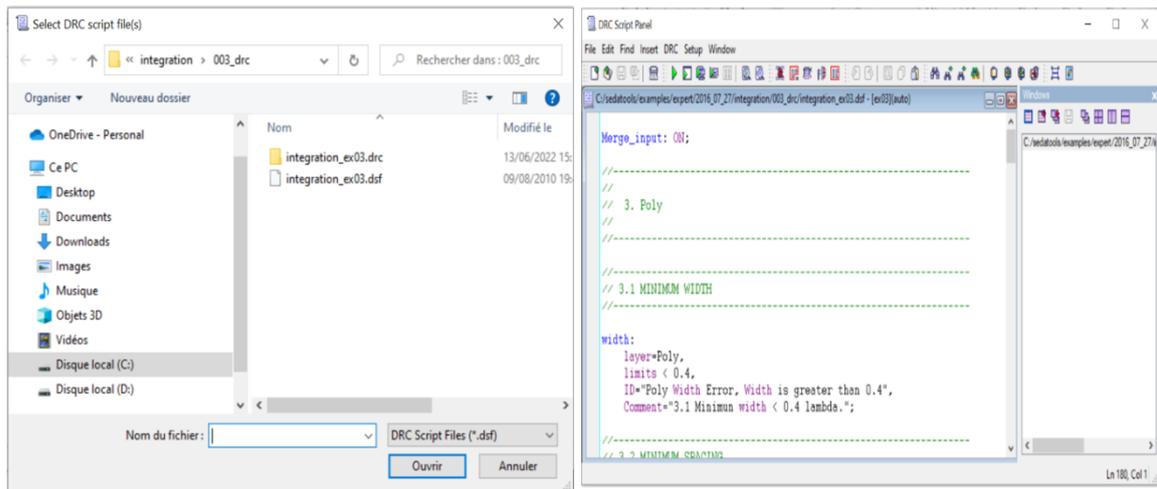


Figure III.4. Interface de DRC script

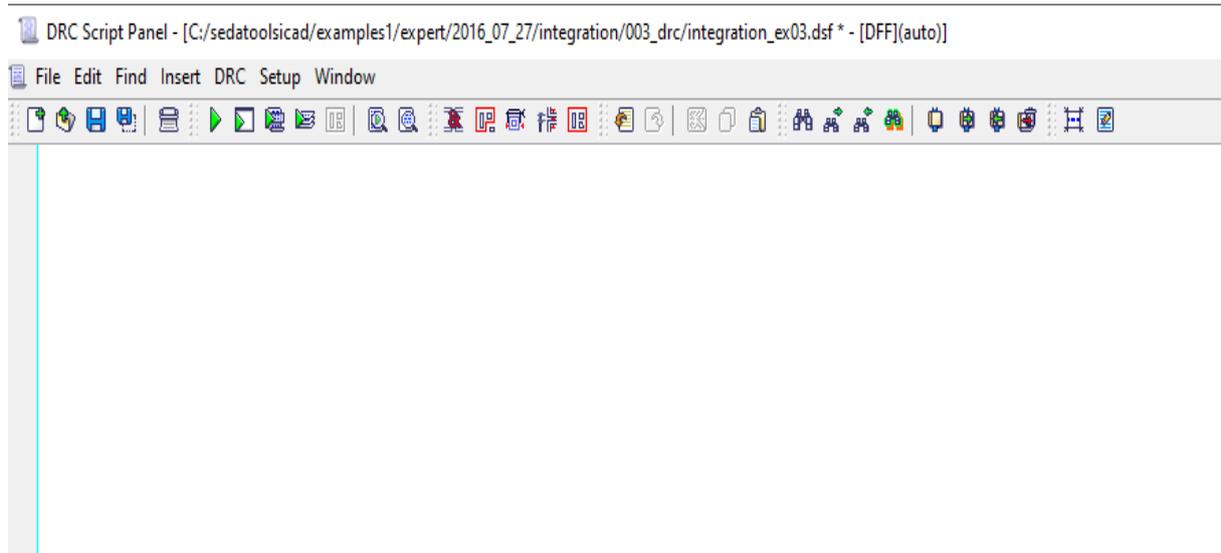


Figure III.5. DRC Script Panel après ouverture du fichier « integration_exo03.dsf »

Le DRC script complet du fichier « integration_exo03.dsf » est donné comme suit :

```
Merge_input: ON;
//-----
// 3. Poly
//-----
//-----
// 3.1 MINIMUM WIDTH
//-----
width:
layer=Poly,
limits< 0.4,
ID="Poly WidthError, Widthisgreaterthan 0.4",
// 3.1 MINIMUM WIDTH
```

```

    Comment="3.1 Minimumwidth< 0.4 lambda.";
//-----
// 3.2 MINIMUM SPACING
//-----
outdistance:
layer=Poly,
options=(N),
limits< 0.4,
    ID="Poly SpacError, Spaceisgreaterthan 0.4",
    Comment="3.2 Minimumspacing< 0.4 lambda.";
//-----
// 5. CONTACT TO POLY
//-----
//-----
// 5.1 EXACT CONTACT SIZE
//-----
width:
layer=Contact,
limits != 0.4,
    ID="Contact WidthError, Widthisgreaterthan 0.4",
    Comment="5.1 Exact contact size < 0.4 lambda.";
//-----

// 5.2 MINIMUM POLY OVERLAP
//-----
indistance:
layer1=Contact,
layer2=Poly,
limits< 0.1,
    ID="Contact OverlapError, Contact isenclosed by Poly < 0.1",
    Comment="5.2 Minimum POLY overlap< 0.1 lambda.";
//-----
// 5.3 MINIMUM CONTACT SPACING
//-----
outdistance:
layer=Contact,
limits< 0.4,
    ID="Contact SpaceError, Spaceisgearterthan 0.4",
    Comment="5.3 Minimum contact spacing< 0.4 lambda.";
//-----
// 7. METAL1
//-----
//-----
// 7.1 MINIMUM WIDTH
//-----
width:
layer=Metal1,
limits< 0.4,
    ID="Metal1 WidthError, Widthisgreaterthan 0.4",
    Comment="7.1 Minimum width< 0.4 lambda.";
//-----

```

```
// 7.2 MINIMUM SPACING
//-----
outdistance:
layer=Metal1,
options=(N),
limits< 0.5,
  ID="Metal1 SpaceError, Spaceisgreaterthan 0.5",
  Comment="7.2 Minimum spacing< 0.5 lambda.";
//-----
// 8. VIA1
//-----
//-----
// 8.1 EXACT SIZE
//-----
width:
layer=Via,
limits != 0.4,
  ID="Via WidthError, Widthisgreaterthan 0.4",
  Comment="8.1 Exact size < 0.4 lambda.";
//-----
// 8.2 MINIMUM VIA1 SPACING
//-----
outdistance:
layer=Via,
limits< 0.4,
  ID="Via SpaceError, Spaceisgreaterthan 0.4",
  Comment="8.2 Minimum via spacing< 0.4 lambda.";
//-----
// 8.3 MINIMUM OVERLAP BY METAL1
//-----
indistance:
layer1=Via,
layer2=Metal1,
limits< 0.1,
  ID="Via Enclose Error, Via isenclosed by Metal1 < 0.1",
  Comment="8.3 Minimum overlap by Metal1 < 0.1 lambda.";
//-----
// 9. METAL2
//-----
//-----
// 9.1 MINIMUM WIDTH
//-----
width:
layer=Metal2,
limits< 0.4,
  ID="Metal2 WidthError, Widthisgreaterthan 0.4",
  Comment="9.1 Minimum width< 0.4 lambda.";
//-----
// 9.2 MINIMUM SPACING
//-----
```

```

outdistance:
layer=Metal2,
options=(N),
limits< 0.5,
  ID="Metal2 SpaceError, Spaceisgreaterthan 0.5",
  Comment="9.2 Minimum spacing< 0.5 lambda.";
//-----
// 9.3 MINIMUM OVERLAP OF VIA
//-----
indistance:
layer1=Via,
layer2=Metal2,
limits< 0.1,
  ID="Via OverlapError, Via isencloded by Metal2 < 0.1",
  Comment="9.3 Minimum overlap of via1 < 0.1 lambda.";
//=====
// End of Script
//=====

```

Après exécution du programme DRC script panel du fichier « integration_exo03.dsf », on entamera le chargement groupé des erreurs sur le dessin de masque par rapport aux règles de dessin fournit par le fondeur, en suivant le chemin suivant:

Vérification -> DRC -> Errors -> Load groupederrors... (voir figure III.6)

La fenêtre (Load DRC errors) de la figure III.7, suivante montre la liste des erreurs commit par le concepteur lors de la réalisation du dessin de masques.

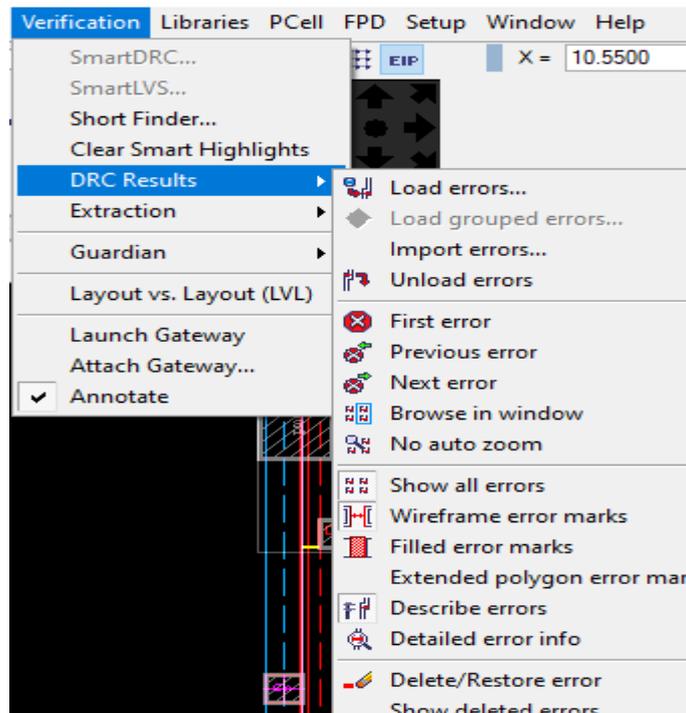


Figure III.6. Chemin suivi pour aboutir aux résultats du DRC

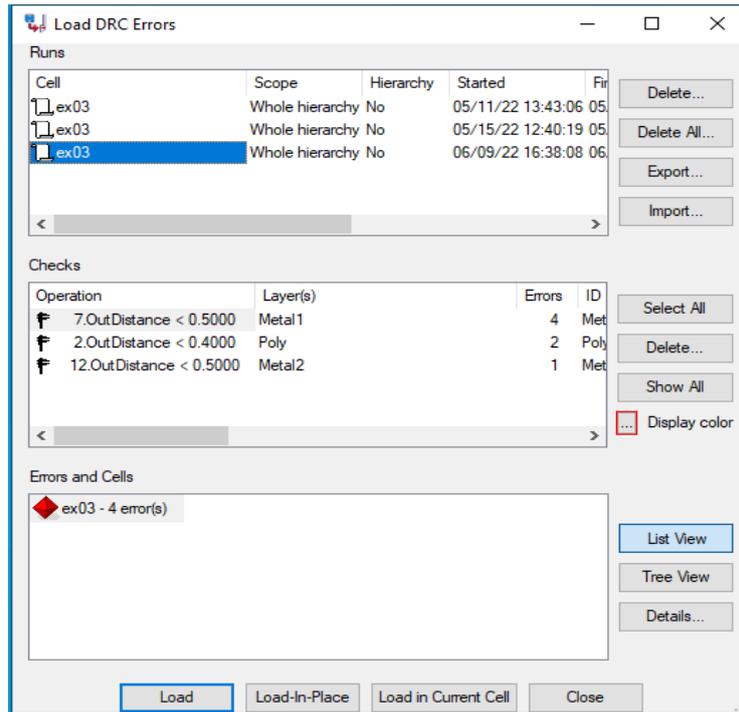


Figure III.7. Boite de dialogue des erreurs

En cliquant sur l'icône **Load** puis sur **erreur**, la fenêtre de la figure III.7 suivante s'ouvre et affiche les erreurs trouvées menus de leurs positions exactes et leurs types dans le dessin de masques lui-même. Une fois la correction de toutes les erreurs sera faite un par un, le fichier sera sauvegardé. Pour bien s'assurer de la bonne démarche de l'opération de correction des erreurs, le processus de chargement des erreurs DRC sera répéter encore pour la dernière fois.

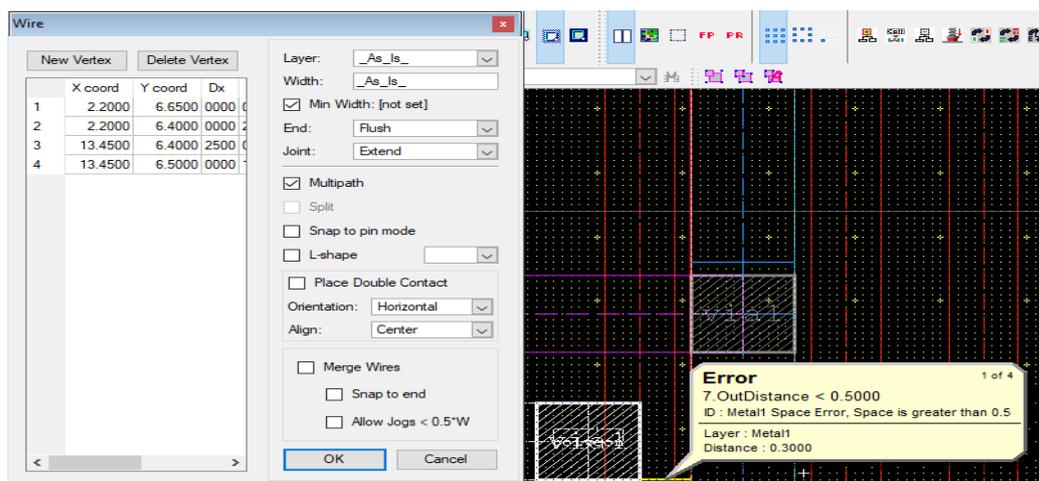


Figure III.8. Affichage de l'erreur un par un sur le dessin de masques

III.4. Extracteur de Netlist Guardian NET

Guardian NET est un outil rapide et économique en mémoire pour extraire la netlist Spice à partir de la disposition du dessin de masques des circuits intégrés.

A partir de la page d'accueil « Expert », la Netlist Extraction est accessible en suivant le sous-menu : **Verification** → **Netlist Extraction**.

Guardian NET extrait la topologie des dispositifs comme (MOSFETS, BJTS, diodes, résistances, etc.), les informations de connectivité du réseau et produit la description complète du circuit réalisé au format Spice netlist. La liste d'interconnexions extraite du dessin de masque conçue à partir de l'outil « Expert » peut en outre être comparée à la liste d'interconnexions produite par le schéma de la conception à l'aide d'un éditeur de schéma comme « Gateway ». L'outil de comparaison entre le dessin de masques et le schéma est Guardian LVS.

En outre, Guardian NET peut appeler l'outil Hipex-RC pour générer une autre netlist SPICE, y compris les résistances et capacités parasites. La netlist extraite peut être utilisée dans un simulateur de circuit, tel que SmartSpice pour évaluer l'effet de ces parasites RC sur le comportement du circuit initialement conçu. Pour extraire le netlist spice, on procède comme suit: **Verification** → **Netlist Extraction** (Voir la figure III.9)

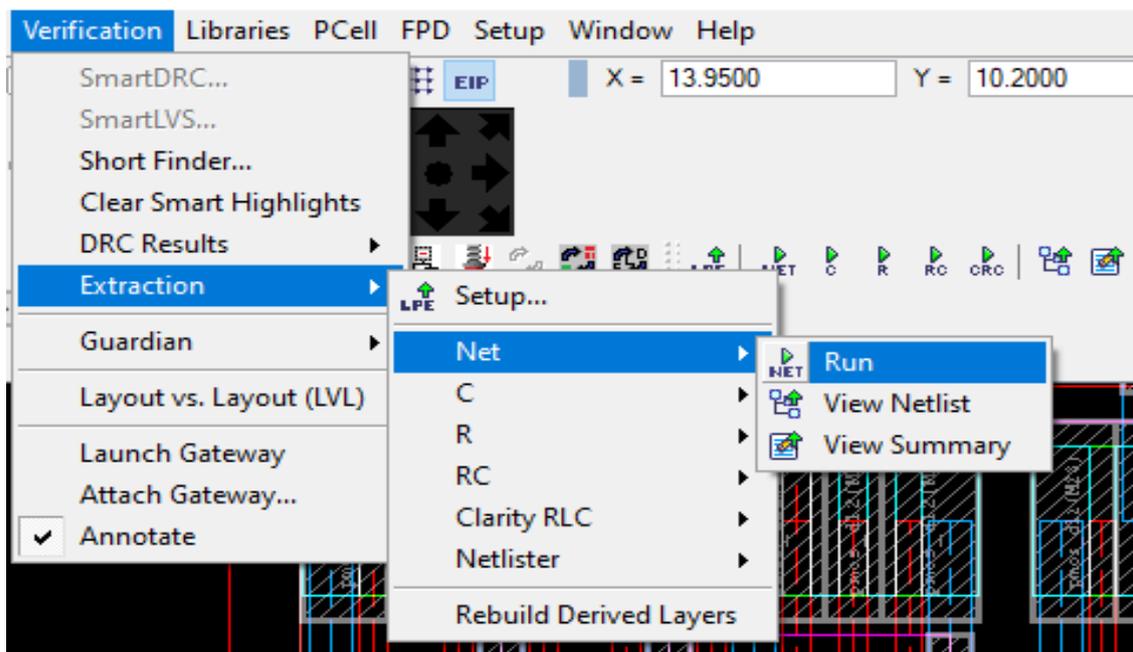


Figure III.9. Procédure pour extraire la netlist Spice à partir du dessin de masques

La fenêtre de dialogue de la figure III.10 suivante, montre que lors de l'opération d'extraction de netlist Spice a été déroulée avec succès.

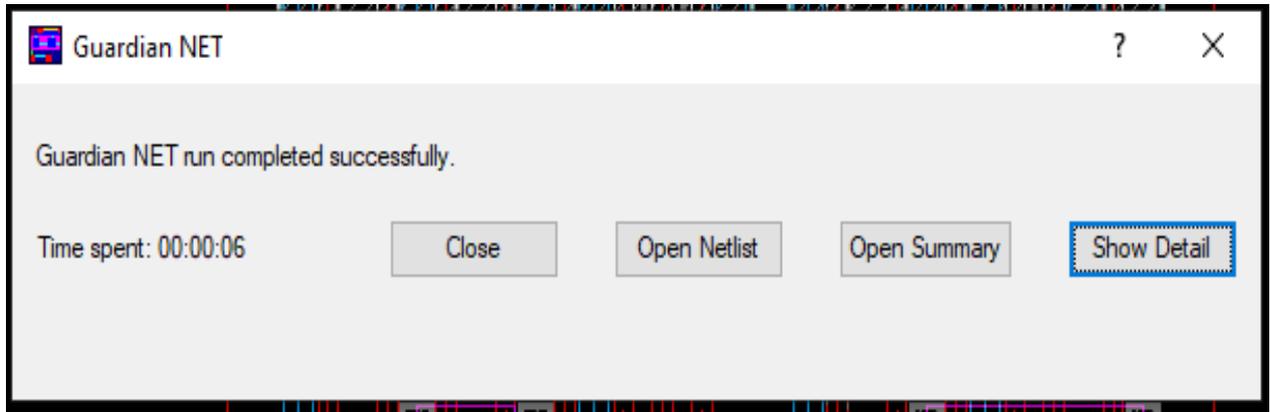


Figure III.10. Fenêtre de dialogue du déroulement de l'opération d'extraction de netlist Spice

En cliquant sur l'icône open netlist, la liste complète du code Space représentant la topologie des dispositifs électroniques ainsi que leurs interconnexions dessinées à l'aide de l'outil Expert apparut dans un éditeur de netlist (voir figure III.11).

```

*****
* Extracted SPICE netlist for top cell ex017
* Created Tue Jun 07 11:39:22 2022 by hipex 3.8.3.R 64-bit (Tue Jul 20, 2021 9:00 PDT) version
*****
MODEL pmos PMS
MODEL nmos NMS

*****
* Sub-Circuit Netlist of : ex017
*****

.subckt ex017 A B Cn Cn+1 GND Ss VDD
M13 VDD B #9 VDD pmos L=0.4U W=2.4U AS=0.96P AD=0.96P PS=3.2U PD=3.2U
M14 #9 B #1 GND nmos L=0.4U W=1.6U AS=0.32P AD=0.64P PS=2U PD=2.4U
M123 GND A #12 GND nmos L=0.4U W=1.6U AS=0.64P AD=0.64P PS=2.4U PD=2.4U
M125 #10 B #6 GND nmos L=0.4U W=1.6U AS=0.32P AD=0.64P PS=2U PD=2.4U
M126 #6 A GND GND nmos L=0.4U W=1.6U AS=0.64P AD=0.32P PS=2.4U PD=2U
M127 GND B #12 GND nmos L=0.4U W=1.6U AS=1.28P AD=0.64P PS=4.8U PD=2.4U
M124 #12 Cn #10 GND nmos L=0.4U W=1.6U AS=0.64P AD=0.64P PS=2.4U PD=2.4U
M121 #5 Cn GND GND nmos L=0.4U W=1.6U AS=1.28P AD=0.32P PS=4.8U PD=2U
M122 Cn+1 #10 GND GND nmos L=0.4U W=1.6U AS=0.64P AD=1.28P PS=2.4U PD=4.8U
M120 #4 A #5 GND nmos L=0.4U W=1.6U AS=0.32P AD=0.32P PS=2U PD=2U
M11 #10 B #1 VDD pmos L=0.4U W=2.4U AS=0.48P AD=0.96P PS=3.2U PD=3.2U
M115 GND Cn #11 GND nmos L=0.4U W=1.6U AS=0.64P AD=0.64P PS=2.4U PD=2.4U
M117 GND B #13 GND nmos L=0.4U W=1.6U AS=0.64P AD=0.64P PS=2.4U PD=2.4U
M118 #13 #10 #7 GND nmos L=0.4U W=1.6U AS=0.64P AD=0.64P PS=2.4U PD=2.4U
M116 #11 A GND GND nmos L=0.4U W=1.6U AS=0.64P AD=0.64P PS=2.4U PD=2.4U
M11 #5 B VDD VDD pmos L=0.4U W=2.4U AS=1.92P AD=0.96P PS=4.8U PD=3.2U
M114 Ss #7 GND GND nmos L=0.4U W=1.6U AS=0.64P AD=1.28P PS=2.4U PD=4.8U
M112 #3 A #9 VDD pmos L=0.4U W=2.4U AS=0.96P AD=0.48P PS=3.2U PD=2.8U
M17 #2 Cn #9 VDD pmos L=0.4U W=2.4U AS=1.92P AD=0.48P PS=4.8U PD=2.8U
M16 VDD A #8 VDD nmos L=0.4U W=2.4U AS=0.96P AD=0.96P PS=3.2U PD=3.2U

```

Figure III.11. Fichier de Netlist (.spice)

III.5. Vérification Guardian LVS

L'outil de comparaison de Netlist Guardian LVS (Layout Versus Schematic) compare deux Netlist SPICE, le système de comparaison de Netlist « Guardian LVS » est intégré à CAD. Il peut être exécuté à la fois en tant qu'application autonome et en mode batch à partir

de la ligne de commande situé dans la barre d’outil. L’outil Guardian peut être lancé à partir de l’éditeur de dessin de masques Expert en sélectionnant VerificationLaunch LVS.

Guardian est un outil utilisé pour comparer deux circuits tels que décrits par leurs Netlist dans le format standard de Netlist de Spice. L’une de ces Netlist correspond généralement au schéma d’un circuit produit (par exemple, par l’éditeur de schéma Gateway). Il représente la logique du circuit. L’autre Netlist est extraite de la configuration du circuit par l’extracteur de Netlist Guardian NET. Il représente la disposition physique réelle du circuit telle qu’elle est produite (par exemple, par l’éditeur de disposition Expert). Ce type de vérification de circuit est appelé LVS (Layout versus schématique). La figure III.12 montre l’organigramme du Flow de comparaison LVS

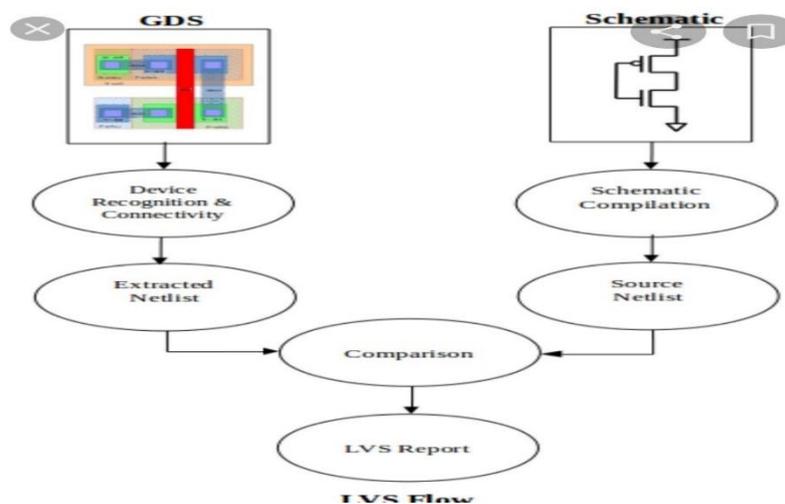


Figure III.12. Flow de comparaison LVS

La figure III.13, montre la fenêtre principale représentant les deux netlists à comparer à l’aide de Guardian LVS, elle représente un exemple de deux netlists issus du fichier schématique et celui du dessin de masques. Pour démarrer Guardian LVS depuis Expert Layout Editor, sélectionnez la commande de menu Verification LVS.

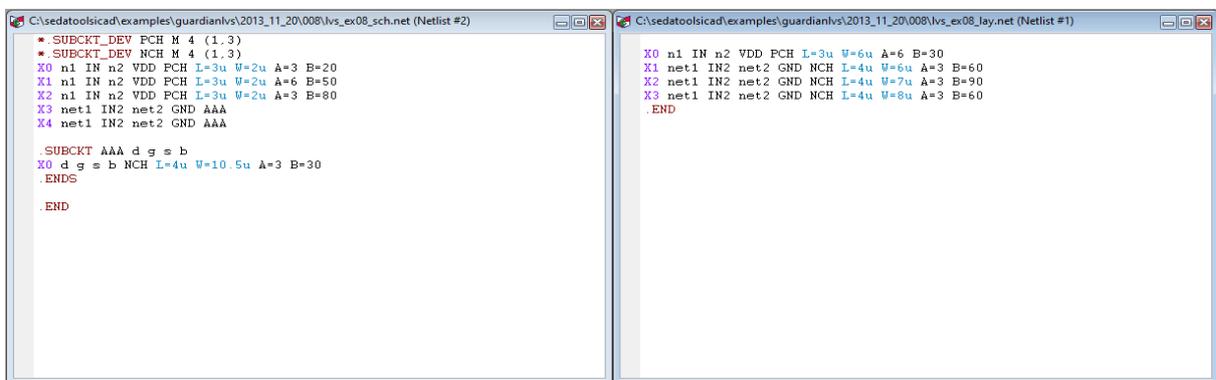


Figure III.13. Fenêtre principale montrant les deux netlists Spice

La fenêtre qui suit représentée par la figure III.14 permet de charger les deux netlists Spice afin de les comparer entre elles en utilisant l'outil guardian LVS.

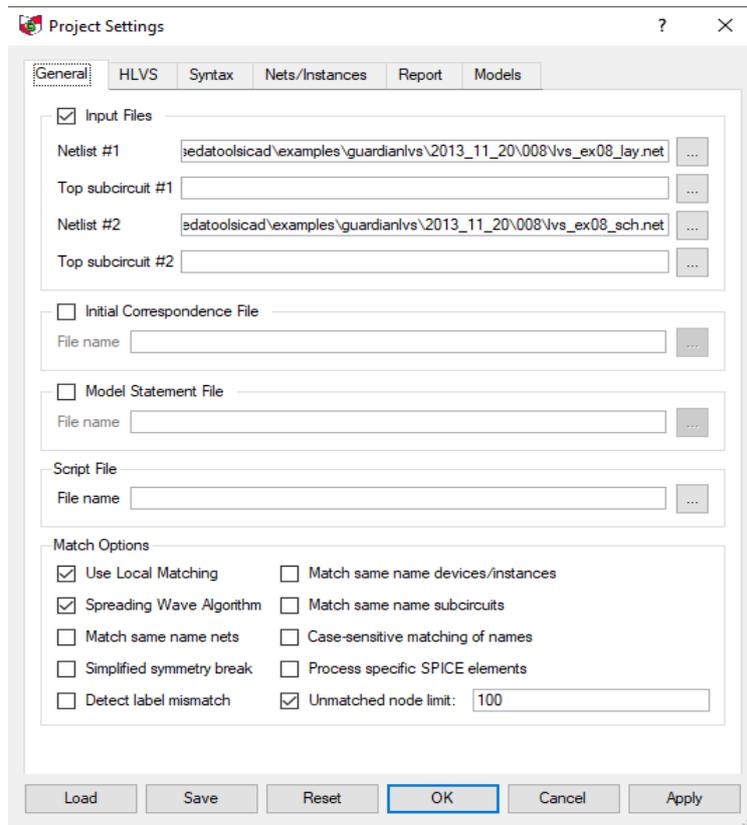


Figure III.14. Panneau de chargement des netlists

L'exécution de ce fichier Project settings, donne le résultat de comparaison LVS représenté dans la figure III.15:

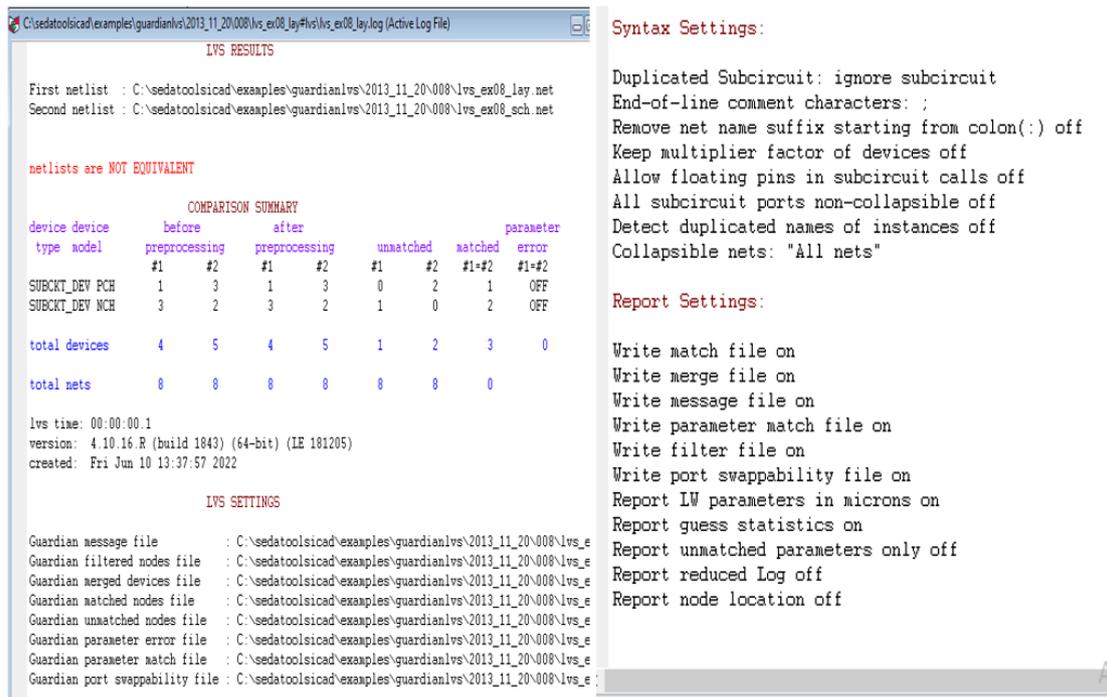


Figure III.15. Panneau de résultats de comparaison

III.6. Navigateur LVS

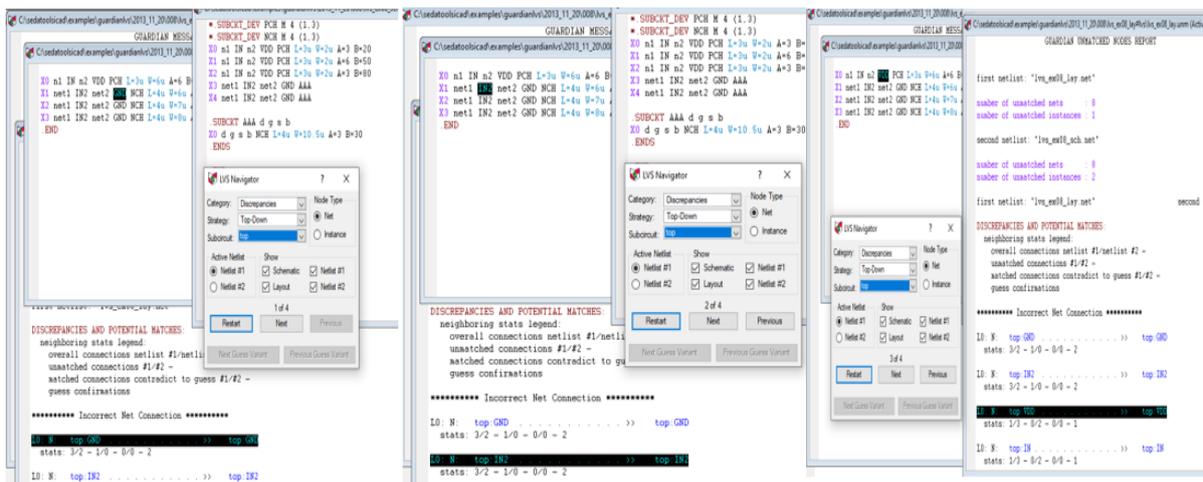


Figure III.16. Vues des non compatibilité des nets dans les netlist Spice

Le navigateur LVS analyse les résultats des exécutions LVS et apporte les corrections nécessaires à la conception. Cet outil permet de rechercher et d'inspecter les nœuds répertoriés dans les rapports LVS directement dans le layout et les vues graphiques

schématiques pour les deux Netlist (extraites du layout et dérivées du schéma) impliquées dans la comparaison.

La figure III.16, montrent la non compatibilité et la différence entre les nets au sein des deux netlist Spice, le navigateur LVS les indique commensant du haut vers le bas en donnant la description exacte des remarques des non compatibilités des nets.

Le navigateur LVS est aussi un outil pratique pour inspecter les résultats LVS. Il indique les noms de nœuds requis dans les rapports LVS et les Netlist, et met simultanément en évidence les images des périphériques ou des netsnon compatibles dans les fenêtres de l'éditeur de layout sous l'outil expert et de l'éditeur de schéma sous l'outil Gateway, afin de les corrigés et les rendre compatibles en intervenant dans l'un de ces deux éditeurs (voir figure III.17)

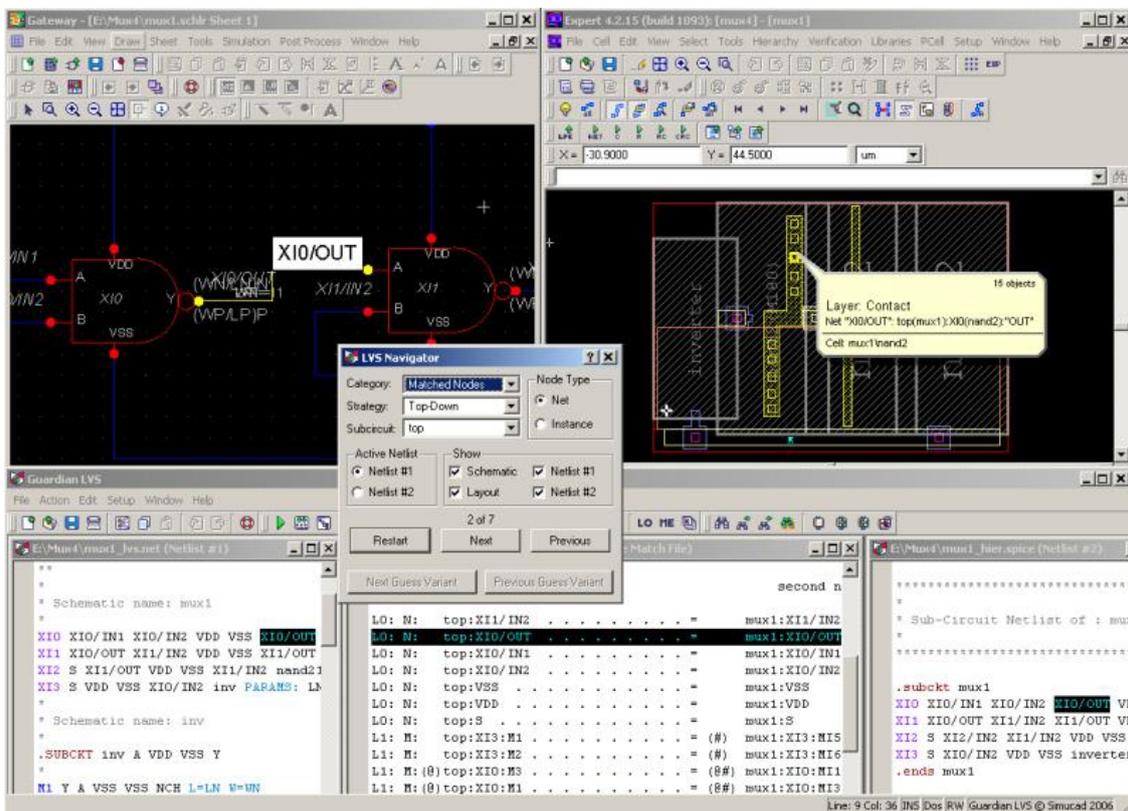


Figure III.17. mise en surbrillance des nœuds dans Gateway et expert de Guardian LVS

III.7. Conclusion

L'objectif dans cette étude pédagogique est de proposer dans l'avenir à des étudiants de niveau Master en Microélectronique un support complet qui leur permettant de se familiariser avec la conception et la fabrication de circuits intégrés analogiques et numériques répondant spécifiquement à un cahier des charges définie préalablement. L'autonomie et la prise d'initiatives sont favorisées par le mode d'Apprentissage Par Projet (APP) et cela vient par expérience. Ce travail vise à placer les étudiants dans un contexte proche d'une situation en milieu professionnel, où ils doivent concevoir, réaliser et tester une solution répondant à un cahier des charges. En maîtrisant les outils de conception clarifiés dans ce chapitre comme:

- Gateway
- Expert
- Gardien DRC
- Guardian NET Netlist Extractor (y compris l'extraction RC parasite par Hipex-RC)
- Vérification Guardian LVS

Les étudiants vont entrer dans le domaine de design des circuits intégrés et être capable de proposer des voies alternatives qui permettraient d'améliorer leurs solutions et se progresser davantage dans leurs métiers d'avenir de conception.

Conclusion générale

Conclusion générale :

La place des circuits intégrés à hautes performances a pris une importance croissante ces dernières années. Travaillant dans ce sens, les outils utilisés dans la conception des systèmes mixtes analogiques et numériques que nous avons appris à manipuler, pas totalement mais au moins 40% de ces capacités, nous a permis de :

- Se familiariser avec certains procédés de fabrication élémentaires de composants intégrés.
- Manipuler un outil de simulation physique qui reproduit, en quelques minutes, des étapes de fabrication longues et nécessitant souvent des équipements lourds,
- Visualiser la répartition de paramètres physiques (champ électrique, concentration de porteurs...).
- Mieux appréhender le fonctionnement du transistor NMOS et PMOS, qui constitue un élément de base dans la fabrication des circuits intégrés, il peut jouer aussi le rôle d'un condensateur ou une résistance.
- Mise en œuvre de l'environnement de conception Gateway et Expert
- Réaliser le dessin de masques (Layout) et sa vérification en utilisant les outils « guardianDRC », « guardian LVS » et « Guardian NET Netlist Extraction » (y compris les extracteurs RC parasite).

Références :

1. AOKI, M., S.-i. OHKAWA, and H.J.I.t.o.e. MASUDA, *SmartSpice/UTMOST III Modeling Manual SmartSpice/UTMOST III Modeling Manual 1, ch. 4*, 2006. 2008. **91**(4): p. 647-654.
2. societe. *simucad design automation*. 2022; Available from: <https://www.societe.com/societe/simucad-design-automation-sas-434272183.html>.
3. Tap, H., et al., *De la conception à la fabrication de circuits intégrés en technologie CMOS*. 2019. **18**: p. 1019.
4. Lao, E., *Placement et routage de circuits mixtes analogiques-numériques CMOS*. 2018, Sorbonne université.
5. Mahdoum, A., *CAO de circuits et de systèmes intégrés*. 2020: ISTE Group.
6. Zhao, J., et al., *Chartstory: Automated partitioning, layout, and captioning of charts into comic-style narratives*. 2021.
7. Lincelles, J., V. Goiffon, and M.J.J.e. Respauda, *Apprentissage de la conception de circuits intégrés: une introduction par la technologie à l'aide d'un logiciel de TCAD*. 2022. **21**: p. 1010.
8. Redouane, M. and A. Samia, *Implémentation physique d'un amplificateur à faible bruit avec la technologie CMOS 0.13 μ m*. 2018, Université Mouloud Mammeri.
9. Stefanovic, D. and M.J.B.S.V. Kayal, *La conception des circuits intégrés analogiques*.**1**(05): p. 27.
10. Colin, D. and P.-F. Calmon, *Nettoyage des masques de photolithographie Notice établie dans le cadre du projet THERMIE: Filière pour la conception et le développement de nouveaux nanomatériaux et nanostructures réactifs pour la fabrication d'initiateurs pyrotechniques sécurisés de nouvelles générations*. 2020.
11. Colin, D. and P.-F. Calmon, *Contrôle qualité des motifs géométriques 2D sur les masques de photolithographie optique*. 2021.
12. Desponds, A., *Développement de résines photosensibles et de procédés de microfabrication 3D à deux photons de matériaux hybrides et céramiques à haut indice*. 2021, Lyon.
13. Albany, F., *Evaluation de la robustesse d'une technologie HEMT GaN normally-off à implantation d'ions fluorures co-intégrée avec une technologie HEMT GaN normally-on*. 2021, Bordeaux.

14. LABALETTE, M., *INTÉGRATION 3D DE MÉMOIRES RÉSISTIVES COMPLÉMENTAIRES DANS LE BACK-END-OF-LINE DU CMOS*. 2018, Université de Sherbrooke.
15. Schneider, L.c., *Etablissement de règles de dessin pour les niveaux VIA du noeud technologique 10 nm avec le procédé d'impression DSA*. 2018, Université Grenoble Alpes (ComUE).
16. Silvaco, *Expert Layout Editor and ExpertViews Layout Viewer User Manua*. 2022.
17. Silvaco, *Guardian DRC User Manual*. 2022.
18. Silvaco, *Guardian LVS User Manual*. 2022.
19. Silvaco, *Guardian NET User Manual*. 2022.
20. Silvaco, *Gateway Users Manual*. 2022.