

RÉPUBLIQUE ALGÉRIENNE DÉMOCRATIQUE ET POPULAIRE
MINISTÈRE DE L'ENSEIGNEMENT SUPÉRIEUR ET DE LA RECHERCHE SCIENTIFIQUE
Université de Mohamed El-Bachir El-Ibrahimi - Bordj Bou Arreridj

Faculté des Sciences et de la technologie

Département d'électronique

Mémoire

Présenté pour Obtenir

LE DIPLOME DE MASTER

FILIÈRE : **Électronique**

Spécialité : Microélectronique

Par

Oussama BECHANE

Aymen BENANIBA

Intitulé

Conception d'un amplificateur à faible bruit à faible tension d'alimentation CMOS 65n

Soutenu le : 15/09/2022

Devant le Jury composée de :*

<i>Nom & Prénom</i>	<i>Grade</i>	<i>Qualité</i>	<i>Etablissement</i>
<i>Mme. Fahima FARES</i>	<i>MCA</i>	<i>Président</i>	<i>Univ-BBA</i>
<i>M. Abdelouahab DJEMOUAI</i>	<i>MCA</i>	<i>Encadreur</i>	<i>Univ-BBA</i>
<i>M. Lyes DIB</i>	<i>MCB</i>	<i>Examineur</i>	<i>Univ-BBA</i>

Année Universitaire 2021/2022

Dédicace

J'exprime ma gratitude,

A mes chères parents que Dieu leurs accorde la santé, le bonheur en toute longue vie,

A mes chères soeurs et mon frère qui m'ont encouragé pour toujours avancer,

A ma belle femme,

Oussama

Dédicace

Ce travail est dédié

*A mes chers parents, pour tous leurs sacrifices, leur amour,
leur tendresse, leur soutien et leurs prières tout au long de mes études,*

A mes chères sœurs : Asma, Chayma et Meriem

pour leurs encouragements permanents, et leur soutien moral,

A mon cher frère : Naim pour leur appui et leur encouragement,

A toute ma famille pour leur soutien tout au long de mon parcours universitaire,

A tout le groupe de microélectronique Master 2

Que ce travail soit l'accomplissement de vos vœux tant allégués,

et le fruit de votre soutien infaillible,

Merci d'être toujours là pour moi.

Aymen

Remerciements

Nous tenons remercier notre encadreur Monsieur Abdelouahab DJEMOUAI, Professeur à la faculté des sciences, pour sa confiance, sa patience et ses conseils, sa disponibilité, sa bienveillance et son suivi permanent durant toute la période du projet.

Nous remercions également les membres du jury Madame. Fahima FARES en qualité de président et Monsieur Lyes DIB en tant qu'examinatrice qui ont sacrifié leur temps pour juger ce modeste travail. Qu'ils trouvent ici l'expression de notre gratitude et tout notre respect. Merci pour la considération accordée.

Nous n'oublions surtout pas de remercier tous les enseignants qui ont contribué à notre formation, en particulier les enseignants de notre département d'électronique de l'université Mohamed El Bachir EL IBRAHIMI de Bordj Bou Arreridj. C'est avec un grand plaisir que nous réservons ces lignes en signe de gratitude et de reconnaissance aux nombreuses personnes qui ont contribué de près ou de loin à la réalisation de ce travail,

Merci BEAUCOUP ET QUE ALLAH VOUS PROTEGE.

Nos vifs remerciements vont à tous nos amis de la promo 2022 qui ont partagé avec nous de bons moments durant le cycle de nos études.

Sommaire

Liste des figures	
Liste des tableaux	
Liste des abréviations et symboles	

Introduction générale

Introduction générale	1
-----------------------	---

Chapitre I : Caractéristiques d'un LNA

1. Introduction	3
2. Chaîne d'émission émetteur-récepteur RF	3
3. Description de l'étage de réception	3
4. Caractéristiques d'un LNA	5
4.1 Adaptation d'impédance	5
4.2 Les différents circuits d'adaptation	6
4.3 Le gain	7
4.4 Facteur de bruit	8
4.5 Linéarité	10
4.6 Stabilité	11
4.7 Isolation	12
5. Conclusion	13

Chapitre II : Architectures d'un LNA

1. Introduction	14
2. Architectures des amplificateurs LNAs	14
2.1 Amplification à terminaison résistive	14
2.2 Amplificateur à contre-réaction résistive	15
2.3 Amplificateur à terminaison en 1/gm	17
2.4 Amplificateur à dégénérescence inductive d'émetteur	18
3. Les techniques mises en œuvres	20
3.1 La réutilisation de courant	20
3.2 La dégénérescence inductive	21
4. Conclusion	22

Chapitre III : Simulations & Résultats

1. Introduction	23
2. Logiciel LTspiceXVII	23
3. Guide de simulation	25
4. Analyse DC Operation Point	25
5. Analyse fréquentielle AC	26
6. Analyse Transitoire	27
7. Bruit	29
8. Conclusion	31

Conclusion générale

Conclusion générale	32
---------------------	----

Liste des figures

Figure I. 1 : Chaîne de transmission RF	3
Figure I. 2 : Spectre dans un système de communication	4
Figure I. 3 : Schéma bloc de réception radio [2]	4
Figure I. 4 : Adaptation d'impédance	5
Figure I. 5 : Adaptation d'impédance d'un bloc dans une chaîne	6
Figure I. 6 : Influence du bruit d'un bloc	9
Figure I. 7 : Système à n étage en cascade	9
Figure I. 8 : Système pour le calcul du bruit	10
Figure I. 9 : Système non linéaire	10
Figure II. 1 : Configurations d'entrée d'amplificateurs faible bruit	14
Figure II. 2 : Amplificateur faible bruit à adaptation résistive (NF=7.5 dB)	15
Figure II. 3 : Amplificateur à contre réaction résistive	15
Figure II. 4 : LNA à contre réaction résistive (puissance dissipée 50 mW) [3]	16
Figure II. 5 : Amplificateur à terminaison en 1/gm	17
Figure II. 6 : LNA à terminaison en 1/gm avec inductances	17
Figure II. 7 : LNA à dégénérescence inductive	18
Figure II. 8 : LNA à dégénérescence inductive symétrique	19
Figure II. 9 : LNA à dégénérescence inductive différentielle	19
Figure II. 10 : Technique de réutilisation du courant	20
Figure II. 11 : Adaptation d'entrée par dégénérescence inductive	21
Figure II. 12 : LNA cascode à un étage, adaptation d'entrée avec inductance série [4]	22
Figure II. 13 : LNA cascode à un étage, adaptation d'entrée avec inductance série [4]	22
Figure III. 1 : Interface générale du logiciel LTSpice	23
Figure III. 2 : Menus Principaux [1]	24
Figure III. 3 : Circuit de base d'un LNA	25
Figure III. 4 : Schéma électrique du point d'opération	26
Figure III. 5 : Point d'opération LNA	26
Figure III. 6 : Schéma électrique équivalent pour l'analyse fréquentielle	27
Figure III. 7 : Réponse fréquentielle	27
Figure III. 8 : Schéma électrique pour l'analyse transitoire	28
Figure III.9 : Réponse transitoire du LNA pour un signal d'entrée sinusoïdale de faible amplitude	28
Figure III. 10 : Simulation Transitoire Pulse	29
Figure III.11 : Réponse transitoire du LNA pour un signal d'entrée carré de faible amplitude	29
Figure III. 12 : Schéma électrique de bruit	30
Figure III. 13 : Réponse IN et OUT de bruit	30
Figure III. 14 : Figure de bruit	31

Liste des tableaux

Tableau. 1 : Caractéristiques du LNA à terminaison en 1/gm	17
Tableau. 2 : Caractéristiques du LNA à dégénérescence inductive symétrique	19
Tableau. 3 : Caractéristiques du LNA à dégénérescence inductive différentielle	19

Résumé

L'objectif de ce mémoire est de simuler une architecture d'amplificateur CMOS 65nm à base tension et à faible bruit qui existe dans une chaîne de réception analogique radio fréquence et opérant dans une large bande soit de 1 MHz à 2 GHz, par la méthode d'adaptation d'entrée avec inductance parallèle dans la grille du transistor d'entrée, ce circuit ainsi conçu affiche des bonnes valeurs de gain 14,7 dB, dans toute la plage de fréquences de fonctionnement, ce qui justifie l'excellente linéarité de cette topologie, aussi nous avons obtenu un très faible facteur de bruit, soit de l'ordre 0,7 dB, tout ceci avec une puissance dissipée acceptable ne dépassant pas 5.6 mW.

Mots clés : Conception, architecture, amplificateur , faible bruit, faible tension, fréquence radio, facteur de bruit, technologie CMOS, fréquence intermédiaire, point de compression, point d'interception, linéarité, isolation.

Abstract

The aim of this thesis is to simulate a 65nm CMOS amplifier architecture at low voltage and low noise which exists in an analog radio frequency reception chain and operating in a wide band from 1 MHz to 2 GHz, by the method of matching input with parallel inductance in the gate of the input transistor, this circuit thus designed displays good gain values of 14.7 dB, throughout the operating frequency range, which justifies the excellent linearity of this topology, also we obtain a very low noise figure, about 0.7 dB, all this with an acceptable dissipated power not exceeding 5.6 mW.

Key words : Design, architecture, amplifier, low noise, low voltage, radio frequency, noise figure, CMOS technology, intermediate frequency, compression point, intercept point, linearity, isolation.

ملخص

الهدف من هذه الأطروحة هو محاكاة مضخمات القدرة الكهربائية من نوع (CMOS 65nm) ذات الجهد المنخفض والضوضاء المنخفضة الموجودة في سلسلة استقبال تردد الراديو والتي تعمل في نطاق عريض من 1 ميجا هرتز إلى 2.4 جيجا هرتز ، من خلال طريقة الانحلال الاستقرائي لمصدر ترانزستور CMOS الأساسي المستخدم ، عن طريق مطابقة الإدخال مع محاثّة متوازية في بوابة ترانزستور الإدخال ، تعرض هذه الدائرة المصممة على هذا النحو قيم كسب جيدة تبلغ 14.7 ديسيبل ، عبر نطاق تردد التشغيل ، مما يبرر الخطية الممتازة لهذا التصميم ، كما حصلنا على معدل ضوضاء منخفض للغاية ، حوالي 0.7 ديسيبل ، كل هذا مع قدرة مبددة مقبولة لا تتجاوز 5.6 ميلي واط.

الكلمات المفتاحية : محاكاة ، تصميم ، مضخمات القدرة الكهربائية، الجهد المنخفض، الانحلال الاستقرائي، الضوضاء المنخفضة، تردد الراديو، تقنية CMOS ، التردد المتوسط، نقطة الضغط، نقطة التقاطع، الخطية، العزل .

Listes d'abréviations et symboles

Abréviations

<i>LNA</i>	<i>Low Noise Amplifier</i>
<i>PDA</i>	<i>Portable Devise Assistant</i>
<i>CMOS</i>	<i>Complementary metal-oxide-semiconductor</i>
<i>RF</i>	<i>Radio Fréquence</i>
<i>SNR</i>	<i>Signal to Noise Ratio</i>
<i>CP</i>	<i>Compression Point</i>
<i>S</i>	<i>Stabilité</i>
<i>GSM</i>	<i>Global System for Mobil Communication</i>
<i>NF</i>	<i>Noise Figure</i>
<i>UMTS</i>	<i>Universal Mobile Telecommunication System</i>
<i>LTSpice</i>	<i>Linear Technology Spice</i>
<i>HDR</i>	<i>Habilitation à diriger des recherches</i>
<i>Equation</i>	<i>éq</i>

Symbols

<i>nm</i>	<i>Nano metre</i>
<i>Z</i>	<i>Impédance</i>
<i>Y</i>	<i>Admittance</i>
<i>C</i>	<i>Capacité</i>
<i>L</i>	<i>Inductance</i>
<i>g_m</i>	<i>Transconductance</i>
<i>in</i>	<i>Entrée</i>
<i>out</i>	<i>Sortie</i>
<i>U_L</i>	<i>Tension</i>
<i>I</i>	<i>Courant</i>
<i>I*</i>	<i>Courant complexe</i>
<i>P_L</i>	<i>Puissance</i>
<i>Ω</i>	<i>Ohm</i>
<i>dB</i>	<i>Decibel</i>
<i>H</i>	<i>Harmonique</i>
<i>R_s</i>	<i>Résistance</i>
<i>rms</i>	<i>Root mean square</i>
<i>G</i>	<i>Gain</i>
<i>G_p</i>	<i>Gain en puissance</i>
<i>Log</i>	<i>Logarithme</i>
<i>F</i>	<i>FRIIS</i>
<i>f</i>	<i>fréquence</i>
<i>A</i>	<i>Amplitude</i>
<i>x(t)</i>	<i>Signal d'entrée</i>
<i>y(t)</i>	<i>Signal de sortie</i>
<i>ω</i>	<i>Pulsation</i>
<i>K</i>	<i>facteur de stabilité de Rollet</i>
<i>Γ_S</i>	<i>Coefficient de réflexion</i>
<i>GHz</i>	<i>Giga Hertz</i>

Introduction
générale

Introduction générale

Aujourd'hui, le développement du domaine de communication sans fil connaît une évolution technologique rapide qui devra répondre à des critères de plus en plus sévères imposés par le besoin du marché. De ce fait, ce dernier demande des équipements radio fréquence comme les smartphones, les tablettes, les smartwatches, les PDA avec des qualités supérieures en termes d'autonomie d'énergie, de réseau et de transfert des données.



Produits multimédia.

Les fournisseurs de ces technologies y compris les centres de recherche et développement, les accélérateurs start-ups, les entreprises de fabrication, sont en concurrence acharnée pour fournir des nouveaux produits et satisfaire les besoins de leurs clients en termes de réduction de consommation d'énergie et de diminution de bruits.

La motivation de ce mémoire s'inscrit dans le cadre d'une conception des architectures simulées numériquement à l'aide du logiciel **LTspiceXVII**, pour un amplificateur à faible consommation d'énergie et à faible bruit de type **65 nm**, qui est le premier bloc d'une chaîne de réception radio fréquence, dont la fonction principale est de fournir un gain suffisant pour surmonter le bruit des blocs ultérieurs, il est choisi pour leurs

caractéristiques de fonctionnement et de performances dans différents régimes, il devrait fournir une bonne linéarité et une faible consommation d'énergie et avoir une bonne isolation inverse.

Ce mémoire est répartie en trois chapitres, les deux premiers chapitres sont des définitions théoriques des caractéristiques de fonctionnement d'un LNA et des architectures possibles pour la conception respectivement, et le troisième chapitre est une simulation numérique de la réponse de chaque architecture.

Chapitre I

Caractéristiques d'un LNA

1. Introduction

Un système d'émission et de réception radiofréquence est déterminé en fonction de ses critères techniques et en terme de coût du produit. En effet, la demande d'application sans fil ne cesse actuellement de croître, ce qui impose un besoin en produits hautement intégrés et des circuits à faible coût pour l'émetteur et récepteur. Egalement le nombre croissant de normes de communication sans fil exige que les émetteurs puissent gérer de multiples bandes de fréquences et des applications diverses. Dans ce chapitre nous avons présenté le positionnement d'un amplificateur dans le bloc de réception d'une chaîne d'émission radio fréquence ainsi que ses caractéristiques.[1]

2. Chaîne d'émission émetteur-récepteur RF

Généralement dans une chaîne de communication radio fréquence (Figure I.1) , il se trouve deux blocs, l'un d'émission en haut et l'autre de réception en bas, dans ce chapitre en focalisant sur le bloc de réception qui constitue l'élément essentiel dans notre étude.

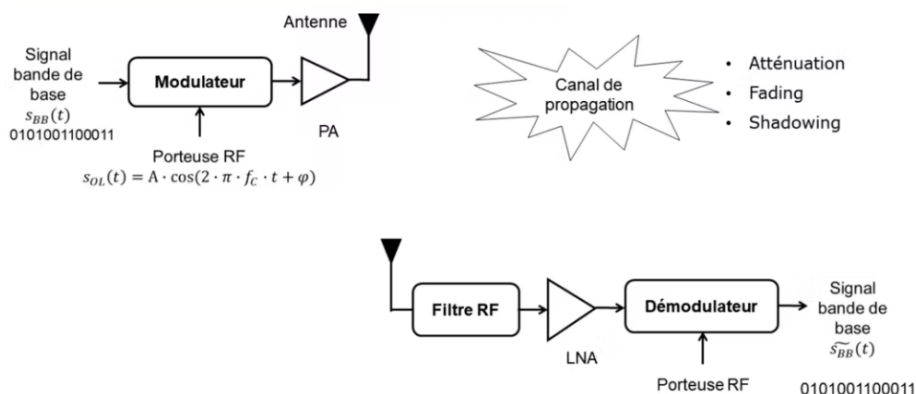


Figure I. 1 : Chaîne de transmission RF

3. Description de l'étage de réception

L'étage de réception est composé d'un circuit analogique permettant de transformer le signal modulé à la fréquence de porteuse à une fréquence intermédiaire ou directement en bande de base, en effet une telle opération est tellement nécessaire car dans l'environnement spectral dans lequel évolue un système de communication sans fil est extrêmement contraignant (Figure I.2) si nous prenons le cas de la norme GSM , les signaux sont transposés à une fréquence proche de 900 MHz et chaque canal ne fait que 200 kHz de largeur. Dans un tel contexte, un filtre accordable de type passe bande ayant un facteur de qualité supérieur à 5000 devrait être utilisé afin de sélectionner le canal désiré et supprimer les brouilleurs. Cependant,

la réalisation d'un tel filtre étant à l'heure actuelle impossible, il convient d'abaisser la fréquence d'opération afin de s'affranchir de ce problème.[1]

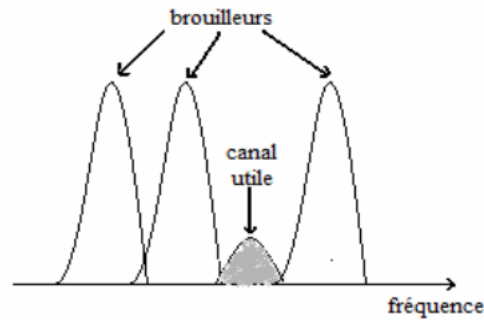


Figure I. 2 : Spectre dans un système de communication

Synoptiquement une chaîne de réception représentée par le schéma de la figure I.3. L'antenne reçoit des signaux en provenance de l'émetteur, le filtre radiofréquence permet la sélection de la bande de réception, l'amplificateur "LNA" amplifie le signal reçu avec un minimum de bruit, la sélection du canal utile se fait à l'aide des filtres passe-bandes analogiques; ce sont en général des filtres externes à ondes de surface possédant des facteurs de qualité très élevés. Ces filtres sont suivis d'un mélangeur assurant la conversion du domaine des radiofréquences vers le domaine des basses fréquences, cette dernière opération s'accomplit en une ou plusieurs étapes.[1]

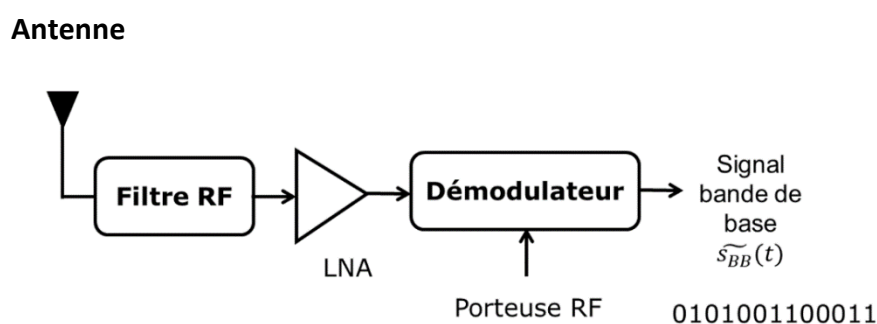


Figure I. 3 : Schéma bloc de réception radio [2]

La bande de base appartenant à la partie analogique assure des fonctions de filtrage et d'amplification, le convertisseur analogique numérique (ADC) réalise la transition entre les deux parties analogique et numérique du récepteur. La partie numérique du récepteur est souvent réduite au seul DSP, néanmoins, elle assure des fonctions telles que le filtrage,

l'amplification et même le mixage pour certaines architectures. Ces dernières fonctions sont souvent, pour des raisons de rapidité, implémentées sur un ASIC (Application-Specific Integrated Circuit). Le nombre important de fonctions à réaliser ainsi que l'étendue de la plage fréquentielle utilisée depuis l'antenne jusqu'à la partie numérique a imposé le recours à différentes technologies de fabrication sur différents substrats à savoir l'GaAs (Arséniure de Gallium), le SiGe (Silicium Germanium) ou le Silicium pur. La partie numérique, quant à elle, fait appel à la technologie CMOS sur Silicium car elle présente le meilleur rapport performance/coût en bande de base. Le coût de tels systèmes multi-technologiques s'avère très élevé et sa réduction est un objectif majeur. C'est dans ce sens que des travaux de recherche ont été menés ces dernières années pour le développement d'architectures de transmission monolithiques en faisant recours essentiellement à la technologie CMOS, technologie à faible coût. De plus, les nouvelles technologies BiCMOS submicroniques avec des fréquences de transition de plusieurs dizaines de Giga-Hertz offrent la possibilité d'intégrer les parties analogique et numérique sur une seule puce (SOC : System On-Chip). Plusieurs architectures de transmission ont été proposées pour des réalisations en technologies CMOS submicroniques, des réalisations ont même été testées.[1]

4. Caractéristiques d'un LNA

4.1 Adaptation d'impédance

La notion de gain est liée à la transmission de puissance et par conséquent à l'adaptation d'impédance. Pour amplifier un signal, considéré comme une onde, il convient de le récupérer correctement en limitant sa réflexion. En prenant l'exemple de la Figure I.4, nous allons définir l'impédance optimale Z_L permettant de recueillir le maximum de puissance fournie par la source V_S , en fonction de son impédance Z_S . [4]

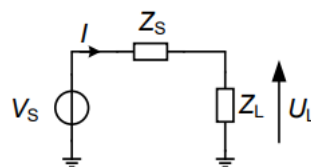


Figure I. 4 : Adaptation d'impédance

La puissance consommée par la charge dépend de la tension au borne de la charge (U_L) et du complexe conjugué du courant (I^*) (équation I.1). En développant cette équation, il est

possible de constater que l'impédance de charge (Z_L) doit être le conjugué de l'impédance de la source (Z_S) pour transférer le maximum de puissance de la source vers la charge (éq. I.2).

La puissance consommée par la charge s'écrit :

$$P_L = U_L \cdot I^* \quad (\text{I.1})$$

Où I^* est le complexe conjugué du courant I .

La dérivée de cette expression (équation I.1), on obtient alors les conditions dites d'adaptation d'impédance assurant un maximum de transfert de puissance de la source vers la charge:

$$Z_S = Z_L^* \quad (\text{I.2})$$

En appliquant ce résultat à un système deux ports (Figure I.5), on obtient les conditions d'adaptations optimales permettant un maximum de transfert de puissance entre deux étages :

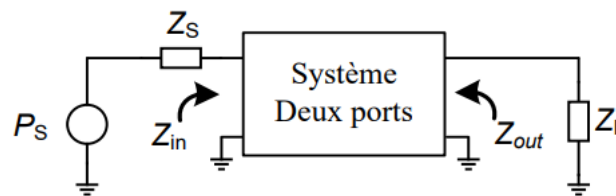


Figure I. 5 : Adaptation d'impédance d'un bloc dans une chaîne.

$$\begin{cases} Z_S = Z_{IN}^* \\ Z_L = Z_{OUT}^* \end{cases} \quad (\text{I.3})$$

Pour transmettre le maximum de signal dans un système à deux ports (Figure I.5), il est nécessaire que les impédances d'entrée (Z_{IN}) et de sortie (Z_{OUT}) soient respectivement les conjugués des impédances de source (Z_S) et de charge (Z_L) (équation I.3).[4]

4.2 Les différents circuits d'adaptation

Les réseaux d'adaptation prennent généralement la forme de filtres passe-bas ou passe-bande, et permettent donc d'effectuer une sélection en fréquence. Cependant, leur rôle premier est bien de réaliser l'adaptation d'impédance, afin d'assurer un transfert maximum d'énergie entre l'entrée et la sortie de l'amplificateur. En réalité, on parle d'adaptation d'impédance sur l'entrée de l'amplificateur, mais pour le circuit inter-étage et le circuit de sortie, on parlera plus facilement de transformation d'impédance, transformation qui va dépendre essentiellement de la puissance requise. [3]

Adaptation d'entrée

Le circuit d'adaptation d'entrée a pour rôle d'adapter l'entrée du (ou des) transistors du premier étage sur l'impédance interne du générateur, ou sur un standard d'impédance pour la connexion avec un autre circuit (généralement 50Ω). Il doit permettre d'obtenir un bon coefficient de réflexion fort signal mais aussi petit signal ($< -10\text{dB}$) tout en présentant un minimum de pertes d'insertion. [3]

Adaptation inter-étage

Le circuit d'adaptation inter-étage a pour rôle de transférer le maximum d'énergie d'un étage amplificateur à l'autre. La réalisation de ce circuit est plus complexe, car il s'agit d'effectuer une transformation d'impédance entre deux impédances complexes, et souvent très différentes l'une de l'autre. En effet, l'impédance optimale de sortie d'un étage est généralement très éloignée de l'impédance optimale d'entrée de l'étage suivant. Du fait de la complexité de ce type de circuit, d'autant plus lorsque l'on veut travailler sur une bande de fréquence large, celui-ci entraîne des pertes qui dépendent de la technologie des passifs utilisés, du rapport de transformation d'impédances et de la fréquence. [3]

Adaptation de sortie

Le circuit d'adaptation de sortie doit permettre de présenter au transistor son impédance de charge fort signal optimale, c'est-à-dire réaliser la transformation d'impédance de cette impédance optimale à partir de l'impédance de charge de l'amplificateur (classiquement 50Ω). De plus, ce circuit doit présenter le minimum de pertes, ces pertes étant cruciales en sortie de l'amplificateur pour les performances en rendement et en puissance. [3]

4.3 Le gain

L'adaptation d'impédance va par conséquence conditionner les performances du gain en puissance du système. On considère le gain en puissance G_P du système à deux ports, P_o est la puissance de sortie et P_i est la puissance d'entrée. Si le système est parfaitement adapté, il est possible d'écrire dans l'équation I.4 que le gain en puissance dépend de la tension de sortie en valeur efficace V_{o_rms} (ou rms : root mean square), de la tension d'entrée en valeur efficace V_{i_rms} , des résistances de source (R_S) et de charge (R_L). [4]

$$G_P = \frac{P_o}{P_i} = \frac{V_{o_rms}}{V_{i_rms}} \quad (I.4)$$

Si l'on considère que la résistance de source est égale à la résistance de charge ($R_S=R_L$), ce qui est souvent le cas pour les systèmes RF (typiquement 50 ohm), il est possible de définir dans l'équation I.5 que le gain en puissance G_P est égal au gain en tension G_V . Cependant, cette égalité n'est valable qu'à condition que l'adaptation d'impédance soit parfaite, ce qui n'est jamais totalement le cas mais souvent sous-entendu. [4]

$$\begin{cases} G_V = \frac{V_o}{V_i} \Rightarrow (G_V)_{dB} = 20 \cdot \log\left(\frac{V_o}{V_i}\right) \\ G_P = \left(\frac{V_o}{V_i}\right)^2 \cdot 1 \Rightarrow (G_P)_{dB} = 10 \cdot \log\left(\frac{V_o}{V_i}\right)^2 = 20 \cdot \log\left(\frac{V_o}{V_i}\right) \end{cases} \quad (I.5)$$

4.4 Facteur de bruit

En radiofréquence, la quantification pure du bruit (N) n'est pas considérée mais plutôt son niveau par rapport au signal utile (S). Le bruit d'un circuit est déterminé par le facteur de bruit (ou NF : noise figure), défini à partir du facteur de bruit F (équation I.6).

$$NF = 10 \cdot \log(F) = 10 \cdot \log \left(\frac{(S/N)_{IN}}{(S/N)_{OUT}} \right) \quad (I.6)$$

Le signal reçu à l'antenne présente généralement une amplitude très faible, au point que la différence entre l'amplitude du signal et celle du plancher de bruit de l'environnement peut être faible. Cette différence s'exprime comme le rapport signal à bruit. Pour que l'information transmise par les ondes soit traitée correctement par la partie numérique (ou signal processing), il faut que l'amplitude du signal comme le rapport signal sur bruit restent suffisants. Dès l'entrée du signal dans l'antenne, le bruit et l'information utile sont considérés comme un seul signal dans le système. Il n'est pas possible de dissocier ces deux types de signaux au niveau électronique. Lorsque le signal utile traverse un bloc analogique, l'information et le bruit sont amplifiés par le même gain (G). Il se rajoute à ce signal le bruit intrinsèque des composants constituant le circuit. Ainsi le rapport signal sur bruit en sortie $(SNR)_{IN}$ d'un bloc est plus faible que le rapport signal sur bruit d'entrée $(SNR)_{OUT}$ comme l'illustre la Figure I.6. Cette dégradation du rapport signal sur bruit est quantifiée par le facteur de bruit défini dans (équation I.7). [4]

$$F = \frac{(SNR)_{IN}}{(SNR)_{OUT}} \quad (I.7)$$

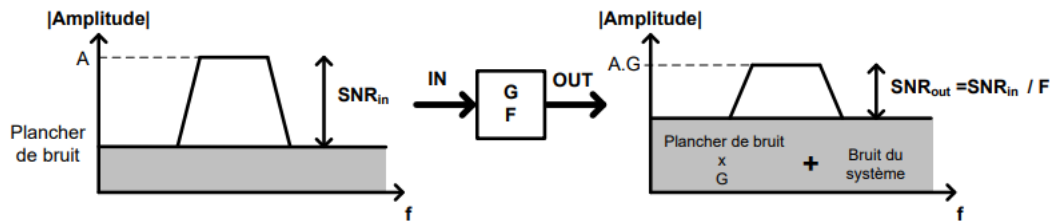


Figure I. 6 : Influence du bruit d'un bloc

Pour des systèmes en cascades de gain G_i et de facteur de bruit (Figure I-4), l'étude du bruit menée par FRIIS a permis de mettre en avant (équation I.8) que les premiers blocs sont prépondérants dans le calcul du bruit d'un système. Pour diminuer le bruit d'un système, il est nécessaire que le ou les premiers blocs disposent d'un fort gain et d'un faible facteur de bruit. En pratique si le gain des premiers blocs est important, à partir du deuxième bloc la dynamique du signal est suffisamment grande pour que le bruit intrinsèque des composants n'ait quasiment plus d'influence. Pour cette raison le premier bloc d'une chaîne de réception radiofréquence est toujours un amplificateur faible bruit (LNA). [4]

$$F_{tot} = F_1 + \frac{F_2 - 1}{G_1} + \frac{F_3 - 1}{G_1 \cdot G_2} + \dots + \frac{F_n - 1}{G_1 \cdot G_2 \dots G_{n-1}} \quad (I.8)$$

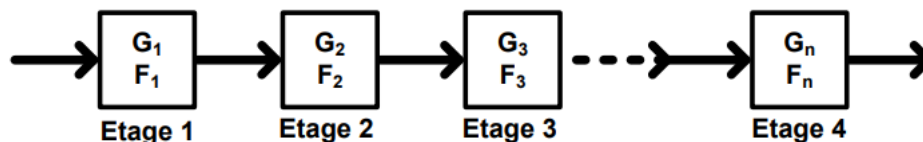


Figure I. 7 : Système à n étage en cascade

Pour un circuit considéré comme un système à deux ports (Figure I.8), on utilise la méthode de calcul du facteur de bruit de Friis (équation I.8). Cette analyse ramène à l'entrée les différentes sources de bruit du système. On obtient alors les sources I_N et V_N correspondantes au bruit en courant et en tension du système. L'impédance de la source est représentée avec son admittance Y_S . A partir de ces sources de bruit, la formule de Friis (équation I.9) permet d'obtenir directement le facteur de bruit du système. Cette présentation du calcul du facteur de bruit reste générale; en première approximation il est possible de considérer que les sources I_N et V_N ne soient pas corrélées, ce qui n'est pas le cas dans la réalité.[5]

$$F = \frac{\text{Bruit en puissance en sortie}}{\text{Bruit en sortie de la source}} \quad (\text{I.9})$$

$$F = 1 + \frac{\overline{i_N^2 + Y_S^2 \cdot V_N^2}}{I_S^2} \quad (\text{I.10})$$

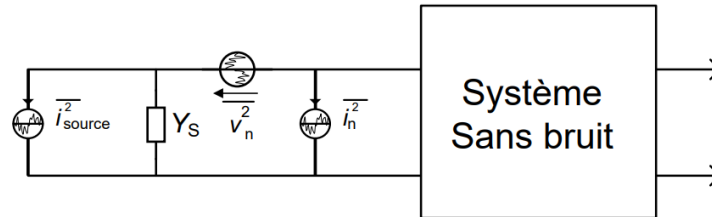


Figure I. 8 : Système pour le calcul du bruit

4.5 Linéarité

Les circuits électroniques sont des dispositifs physiques, par conséquent ils ne sont jamais parfaitement linéaires. En appliquant un signal $x(t)$ à l'entrée d'un système (Figure I.9), la sortie $y(t)$ s'écrit génériquement sous la forme proposée dans l'équation I.11 dans laquelle les coefficients α_n et dérivées n^{ième} décrivent le caractère non linéaire de la fonction de transfert.

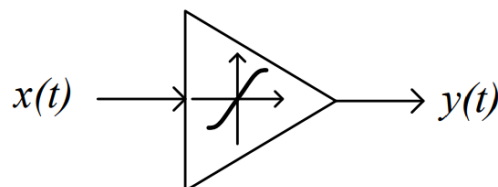


Figure I. 9 : Système non linéaire

$$y(t) = \alpha_1 x(t) + \alpha_2 x^2(t) + \alpha_3 x^3(t) + \dots \quad (\text{I.11})$$

Suivant la forme du signal d'entrée $x(t)$, le signal de sortie $y(t)$ peut faire apparaître différents phénomènes non linéaires :

- Distorsion du signal : la saturation des composants actifs provoque une compression du gain.
- Distorsion d'harmonique : caractérisée par la génération d'harmoniques du signal d'entrée présentes dans le signal de sortie.

- Distorsion d'intermodulation : la combinaison des signaux d'entrées de différentes fréquences produit des parasites à des fréquences différentes des harmoniques.

Chacune de ces non linéarités est quantifiée par une caractéristique. Elles vont être par la suite définies et analysées.[3]

4.6 Stabilité

La stabilité d'un transistor est sa résistance à l'oscillation dans la bande de fréquence étudiée. L'étude de la stabilité d'un amplificateur est important afin d'éviter toute oscillation de l'étage, pouvant entraîner le dysfonctionnement de celui-ci. L'analyse de la stabilisation d'un transistor est un point essentiel pour la conception d'un amplificateur. En effet le bon fonctionnement d'un circuit peut être perturbé par la présence d'oscillations. Ces oscillations sont d'autant plus gênantes qu'elles peuvent apparaître en dehors de la bande de fonctionnement de l'amplificateur c'est pourquoi il est nécessaire de le rendre stable à toutes les fréquences. Il arrive fréquemment qu'un dispositif amplificateur oscille en hyperfréquence lorsque l'on cherche à en optimiser le gain.

Une propriété importante des réseaux à deux ports est qu'ils ne doivent pas être sensibles aux oscillations indésirables. Cela signifie que la résistance d'entrée et de sortie du réseau à deux ports ne doit jamais être négative en présence de valeurs différentes pour l'impédance de source et de charge. La stabilité d'un réseau à deux ports peut être déterminée à partir de ses paramètres S et des impédances de charge et de source. Pour qu'un réseau à deux ports soit inconditionnellement stable, les quatre conditions suivantes doivent être satisfaites :

$$|\Gamma_S| < 1 \quad (\text{I.17})$$

$$|\Gamma_L| < 1 \quad (\text{I.18})$$

$$|\Gamma_{IN}| < 1 \quad (\text{I.19})$$

$$|\Gamma_{OUT}| < 1 \quad (\text{I.20})$$

où Γ_{IN} et Γ_{OUT} sont des coefficient de réflexion sont des métriques qui mesurent la stabilité d'un réseau à deux ports peut être dérivée. Le résultat est le facteur de stabilité de Rollet, K , et la stabilité inconditionnelle est satisfaite dans les deux conditions suivantes :

$$K > 1 \quad (I.21)$$

$$\Delta < 1 \quad (I.22)$$

$$K = \frac{1 - |S_{11}|^2 - |S_{22}|^2 + |\Delta|^2}{2|S_{12}S_{21}|^2} \quad (I.23)$$

$$\Delta = S_{11}S_{22} - S_{12}S_{21} \quad (I.24)$$

Cependant, K seul est généralement assez bon pour tester la stabilité puisque la plupart des transistors seront soit inconditionnellement stables, soit conditionnellement stables avec $K < 1$ et $|\Delta| < 1$ [10]. Si un réseau à deux ports est potentiellement instable avec $0 < K < 1$, alors la majeure partie du diagramme de Smith est stable, alors que si $K < 0$, alors la majeure partie du diagramme de Smith est instable.[3]

4.7 Isolation

L'isolation permet de mesurer le niveau de fuites de puissances couplée d'un port à un autre des différents éléments d'une chaîne RF.

Les fuites dégradent le signal reçu, néanmoins l'isolation LO/IF peut aisément être atténuée par un filtre passe bas, ce pendant la fréquence LO apparaissant sur le port IF est très loin de celle de IF. Ce qui n'est pas le cas lorsque la fréquence LO fuit sur le port RF parce que ces deux fréquences sont proches. Cette fuite est plus préoccupante parce qu'elle permet une réémission par l'antenne de la fréquence LO si le mélangeur est utilisé dans le premier étage de mélange dans un récepteur sans fil. Dans un mélangeur, il est possible d'améliorer l'isolation en utilisant des structures différentielles grâce auxquelles l'annulation des signaux indésirable est possible. En effet la propriété utilisée est que deux signaux de même amplitude s'annulent lorsqu'ils sont ajoutés en opposition de phase.

5. Conclusion

Dans ce chapitre, des généralités des caractéristiques d'un amplificateur à faible bruit sont décrit qui ont utilisé comme des facteurs et propriétés lors de l'interprétation des résultats obtenus dans le chapitre 3 de simulation.

Références bibliographiques

- [1] *"Khalid Faitah, Conception d'un Mélangeur de Fréquences à 1,9 GHz en Technologie CMOS 0,18 μm et d'un Amplificateur Faible Bruit Large Bande en CMOS 65 nm dédiés à des applications sans fil, Thèse Habilitation à diriger des recherches, Cadi Ayyad University, (2009)".*
- [2] *"Florin Doru Hutu, Les principaux parametres d'une transmission radio, cours online, openclassrooms.com (2021)".*
- [3] *"Zahra HAMAIZIA, Conception d'un amplificateur faible bruit LNA à base d'un transistor à effet de champ à hétérojonction pHEMT, Thèse Doctorat en Science, Université Mohamed Khider Biskra, (2011)".*
- [4] *"François Fadhuile Crepy, « Méthodologie de conception de circuits analogiques pour des applications radiofréquence à faible consommation de puissance, Thèse Doctorat en Science, Université de Bordeaux, (2015)".*
- [5] *"Richard Lu, CMOS Low Noise Amplifier Design for Wireless Sensor Networks, Thèse Master of Science, University of California at Berkeley, (2015)".*

Chapitre II

Architectures d'un LNA

1. Introduction

L'amplificateur faible bruit est un élément clef des chaînes de réception puisqu'il doit amener le signal utile à un niveau tel qu'il puisse être correctement traité par l'architecture en aval "sans" lui ajouter de bruit. On peut classer ces amplificateurs faible bruit suivant quatre familles, définies chacune par le type d'impédance d'entrée que présente le bloc. En effet, le compromis figure de bruit-gain est essentiellement réglé par l'adaptation d'impédance en entrée de la structure. La figure II.1 rassemble les différents types de structures couramment rencontrées dans la littérature.[1]

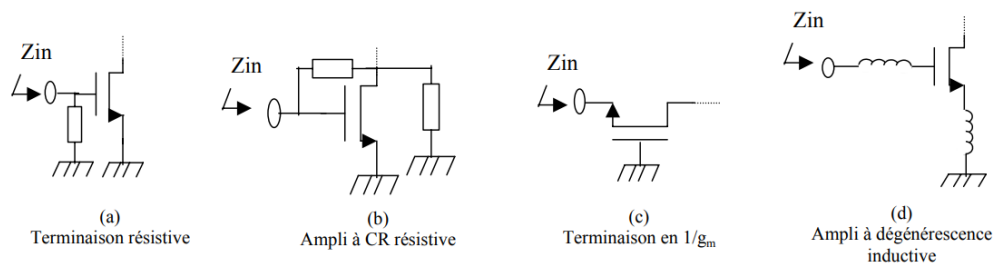


Figure II. 1 : Configurations d'entrée d'amplificateurs faible bruit

2. Architectures des amplificateurs LNAs

2.1 Amplification à terminaison résistive

L'amplification à terminaison résistive réalise son adaptation d'impédance d'entrée (généralement 50Ω) par l'intermédiaire d'une résistance. Il est alors nécessaire de travailler à des fréquences telles que la capacité d'entrée C_{gs} des transistors MOS et bipolaire respectivement ait une influence négligeable. Ceci est une première grosse limitation ($f < 1$ GHz) pour une technologie CMOS de $0,25\mu m$). D'autre part en récupérant un maximum de puissance par l'intermédiaire de l'adaptation d'impédance d'entrée résistive, un bruit thermique issu de cette résistance va lourdement contribuer à la dégradation de la figure de bruit de cet amplificateur. Ainsi la figure de bruit sera d'autant plus mauvaise que l'impédance vue par le transistor ($50\Omega/2 = 25\Omega$) ne correspond pas non plus à l'impédance de bruit optimale. Il apparaît que cette structure est loin d'être la meilleure candidate à l'amplification faible bruit, ce qui est confirmé par les résultats de la publication de Chang où la figure de bruit atteint 6 dB pour une fréquence de fonctionnement de 750 MHz.

Cette parution date, certes, de 1993, mais il n'y a pas eu depuis d'autres utilisations de ce type de circuit en tant que LNA, confirmant, par-là même, la faiblesse de son architecture. La figure II.2 propose un LNA à trois étages : un premier cascodé permettant de réduire l'effet

Miller donc d'augmenter la bande passante, un second à charge active pour donner du gain et un troisième avec self de choc servant d'étage d'accord. L'adaptation d'entrée de ce circuit se fait grâce à la résistance de drain r_{ds} du transistor M_1 . [1]

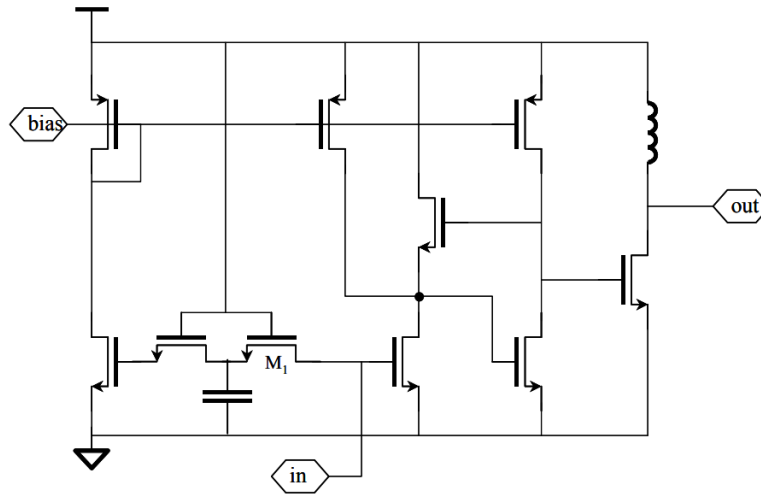


Figure II. 2 : Amplificateur faible bruit à adaptation résistive (NF=7.5 dB)

Ce circuit comportant peu de composants passifs (même pour son adaptation d'impédance d'entrée résistive) s'appuie parfaitement sur l'intégration microélectronique moderne, mais son principe tire son origine de l'électronique discrète qui n'est pas connue pour la prise en compte de l'optimisation de ce genre de caractéristique. Ainsi la figure de bruit 7,5 dB, plutôt faible, témoigne de la non-aptitude de la 'termination résistive' à pourvoir l'une des tâches principale d'un LNA : produire peu de bruit. [1]

2.2 Amplificateur à contre-réaction résistive

Voici en figure II.3 la modélisation d'entrée d'un amplificateur faible bruit à contre-réaction résistive. C_{gs} et C_{ds} sont les capacités parasites associées au transistor NMOS et R_1 et R_2 sont les résistances externes de la contre-réaction.

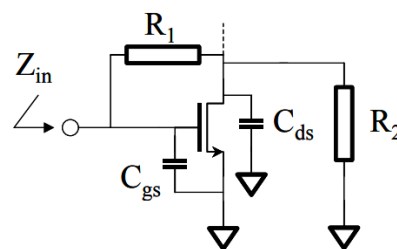


Figure II. 3 : Amplificateur à contre réaction résistive

La contre-réaction résistive de tension est une architecture plus souple (d'un point de vue impédance) que la précédente. L'impédance d'entrée est ajustée grâce au gain de l'amplificateur, favorisant ainsi une meilleure récupération du signal. Cependant, du point de vue de la figure de bruit, la topologie, elle-même, présente de fortes carences :

- amplificateur large bande qui intègre le bruit sur une grande bande de fréquence,
- les résistances ajoutent leur propre bruit,
- la contre-réaction ramène en entrée le bruit de sortie,

De par ces trois aspects, ce type de circuit est « bruyant » comme le montre les 7,5 dB de figure de bruit de (figure II.4). D'autre part, le gain large bande, induit par la charge résistive du circuit, s'accompagne d'une consommation importante ne permettant pas à l'architecture de répondre aux attentes du marché des systèmes embarqués. Enfin, la résistance R_1 de contre-réaction associée à la capacité C_d présente un pôle de coupure qui réduit fortement la fréquence de fonctionnement. Dans les standards de communication se situant au-delà de 5 GHz, cette configuration en filtre « RC » est une limitation supplémentaire non négligeable.[1]

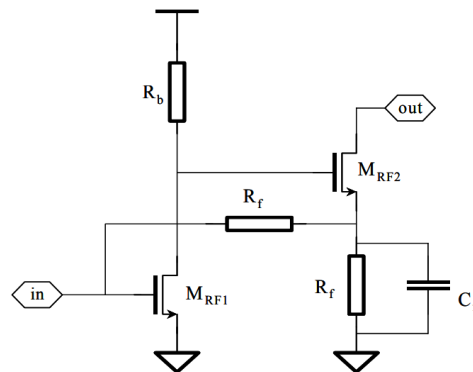


Figure II. 4 : LNA à contre réaction résistive (puissance dissipée 50 mW) [3]

Toutefois on peut dire que même si l'amplificateur à CR résistive n'est pas, à proprement parler, une architecture de type LNA, elle contribue largement à édifier certaines d'entre elle. Placée comme second étage, elle offre des caractéristiques (gain, impédance d'entrée et de sortie indépendantes et ajustables) très précieuses.

2.3 Amplificateur à terminaison en $1/g_m$

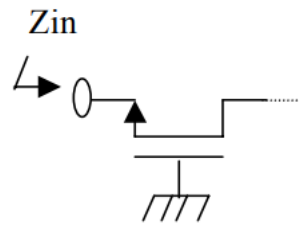


Figure II. 5 : Amplificateur à terminaison en $1/g_m$

L'amplificateur à terminaison résistive en $1/g_m$ est la topologie la mieux adaptée à l'intégration puisqu'elle réalise effectivement son adaptation d'impédance d'entrée à 50Ω par l'intermédiaire de la transconductance g_m : $1/g_m = 50\Omega \Rightarrow g_m = 20 \text{ mS}$ au premier ordre. Cet aspect de l'architecture peut cependant s'avérer être un inconvénient puisque par le biais de cette impédance d'entrée on fixe, d'une part, la consommation, ce qui peut être restrictif, d'autre part, on enlève un important degré de liberté d'optimisation de la linéarité. La figure II.6 présente un LNA accompagné de ses résultats de mesure (Tableau 1), les inductances d'entrée, sont utilisées afin d'annuler la capacité du plot d'accès et, celles de sortie, sont associées aux capacités parasites pour former une charge accordée.

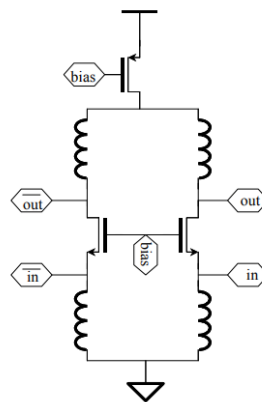


Figure II. 6 : LNA à terminaison en $1/g_m$ avec inductances

Tableau. 1 : Caractéristiques du LNA à terminaison en $1/g_m$

Fréquence RF	1 GHz
Gain	22 dB
Figure de bruit	3,2 dB
IIP3	+8 dB
Consommation	5 mA

De ce fait l'argument de l'intégration n'est pas réellement mis en valeur ici, à cause de l'application bande étroite du circuit. Il n'en reste pas moins que les spécifications relatives à cet amplificateur à 'terminaison en 1/gm' présentées dans (le Tableau 1) témoignent de l'aptitude 'amplificateur faible bruit' de ce circuit.

2.4 Amplificateur à dégénérescence inductive d'émetteur

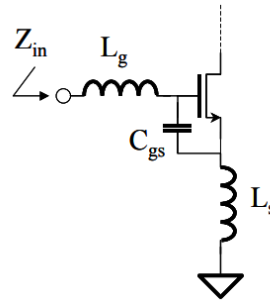


Figure II. 7 : LNA à dégénérescence inductive.

L'inductance L_g vient annuler la capacité C_{gs} à la fréquence du signal radiofréquence. L_s , vue comme une impédance réelle grâce à l'effet transistor, est calculée pour être adaptée à 50Ω . Le coefficient de surtension Q du circuit (L_g , C_{gs} , L_s) permet d'augmenter la transconductance du transistor, donc d'avoir un meilleur gain en tension ; mais ce coefficient de surtension est avant tout optimisé pour diminuer la figure de bruit qui peut être très faible, les inductances employées étaient discrètes et très volumineuses au regard des fréquences de travail (plus la fréquence est élevée plus la valeur de l'inductance est faible) ; d'autre part, l'optimisation, très sensible, de la technique de dégénérescence inductive, n'était pas compatible avec une adaptation externe de la puce. Actuellement, on peut mesurer toute la qualité de ce genre de circuit au travers de publications telles que celles auxquelles font référence les circuits présentés en figure II.8 et II.9 accompagnés de leurs résultats (tableau 2 et 3) :

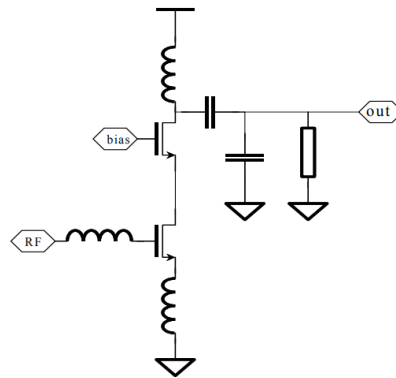


Figure II. 8 : LNA à dégénérescence inductive symétrique

Tableau. 2 : Caractéristiques du LNA à dégénérescence inductive symétrique

Fréquence RF	1,2 GHz
Gain	20 dB
Figure de bruit	0,8 dB
IIP3	-11 dBm
Consommation	6 mA

Cette topologie est de loin la plus prometteuse puisque, outre son excellente aptitude à fournir des LNA de grande qualité, elle s'adapte parfaitement aux futures contraintes de conception basse tension-faible consommation. Il y a cependant un gros point négatif : les inductances employées sont très volumineuses, donc d'un coût élevé ; on touche ici, actuellement, aux limites de l'adéquation de ce concept avec le marché des réseaux sans fil dont la réussite tient essentiellement à son faible coût de revient.

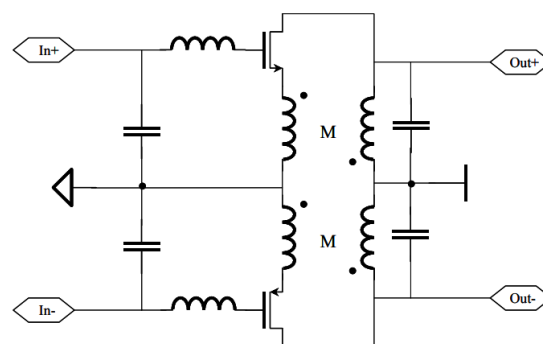


Figure II. 9 : LNA à dégénérescence inductive différentielle

Tableau. 3 : Caractéristiques du LNA à dégénérescence inductive différentielle

Fréquence RF	5,75 GHz
Tension d'alimentation	1 V
Gain	14 dB
Figure de bruit	0,9 dB
ICP1	-9,1 dB

IIP3	0,9 dB
Consommation	16 mA

3. Les techniques mises en œuvres

Les deux amplificateurs faible bruit développés durant cette thèse sont basés sur les mêmes techniques : la réutilisation du courant ('reuse') et 'la dégénérescence inductive'. C'est en conjuguant ces méthodes de conception que d'excellents résultats ont pu être atteints.

3.1 La réutilisation de courant

La technique de réutilisation de courant ou 'reuse' permet par une configuration particulière de maintenir la transconductance g_m d'une structure tout en divisant son courant de consommation par deux. Celle ci est explicitée en figure II.10 [1] [3]

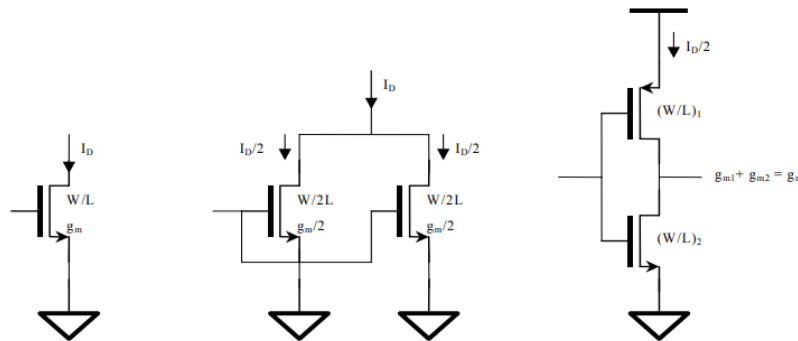


Figure II. 10 : Technique de réutilisation du courant

Ainsi en prenant un transistor NMOS de dimension W/L , et de transconductance g_m , (premier cas) on peut diviser ce dernier en deux transistors NMOS de dimension moitié $W/2L$, et de transconductance $g_m/2$, (deuxième cas) consommant le même courant que le transistor d'origine. Enfin en remplaçant un de ces derniers par un transistor PMOS on se trouve alors dans la configuration du 'reuse' ou le transistor PMOS et NMOS sont en cascade l'un sur l'autre, connectés l'un à l'autre par le drain, consommant un courant moitié tout en présentant une transconductance g_m égale à la première lorsque l'on additionne leurs transconductances respectives g_{m1} et g_{m2} . [1] [3]

Cette structure est bien connue en électronique numérique pour faire des inverseurs mais dans ce cas, les transistors sont utilisés en commutation et ne donnent pas de gain. Ici c'est une configuration analogique dans laquelle les deux transistors sont en mode saturé permettant ainsi de produire un grand gain analogique grâce aux hautes impédances de drain mutuelles qu'ils présentent. A ce titre, deux problèmes vont se poser : tout d'abord l'instabilité du point de

polarisation des drains en regard va nécessiter une contre réaction afin de maintenir les caractéristiques du circuit, et d'autre part les capacités C_{dg} vont venir perturber le circuit à cause de l'effet Miller. [1] [3]

3.2 La dégénérescence inductive

La dégénérescence est une technique basée sur l'effet transistor permettant de réaliser à la fois une adaptation d'impédance d'entrée à 50Ω ainsi qu'une adaptation d'entrée au bruit. Nous allons ici rappeler les étapes importantes du calcul développé dans l'annexe 4. Tout d'abord on s'intéresse à l'adaptation de l'impédance d'entrée classique à 50Ω permettant de récolter un maximum de puissance donc d'optimiser le gain. Voici ce que l'on voit en entrée du transistor MOS lors d'une configuration en dégénérescence inductive (cf figure II.11): [1] [3] [4]

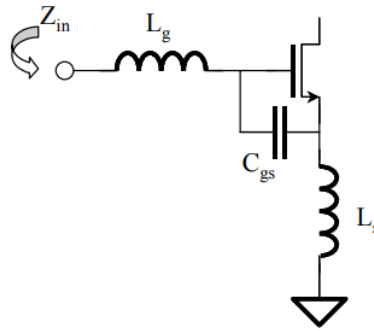


Figure II. 11 : Adaptation d'entrée par dégénérescence inductive

$$Z_{in} = jL_g \omega + \frac{1}{jC_{gs} \omega} + \omega_T L_S \Rightarrow Z_{in} = j\left(L_g \omega - \frac{1}{C_{gs} \omega}\right) + \omega_T L_S \quad (II.1)$$

$$\text{Avec } \omega_T = \frac{g_m}{C_{gs}}$$

A la fréquence de fonctionnement ω_0 , Z_{in} doit être égale à 50Ω donc :

$$\left\{ \begin{array}{l} (L_g \omega - \frac{1}{jC_{gs} \omega}) = 0 \\ \omega_T L_S = 50 \Omega \end{array} \right. \Rightarrow L_g = \frac{1}{jC_{gs} \omega^2} \quad (II.3)$$

$$\Rightarrow L_S = 50 \frac{C_{gs}}{g_m} \quad (II.4)$$

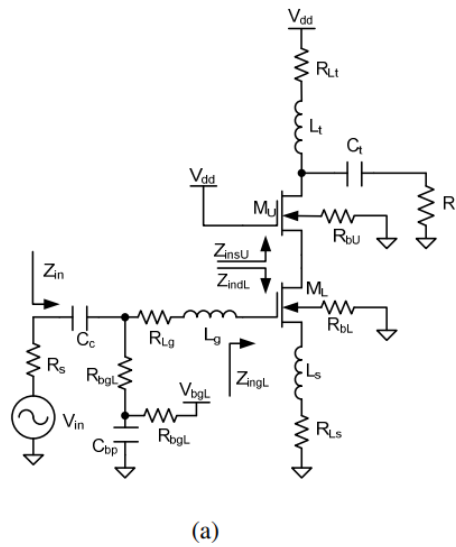


Figure II. 12 : LNA cascode à un étage, adaptation d'entrée avec inductance série [4]

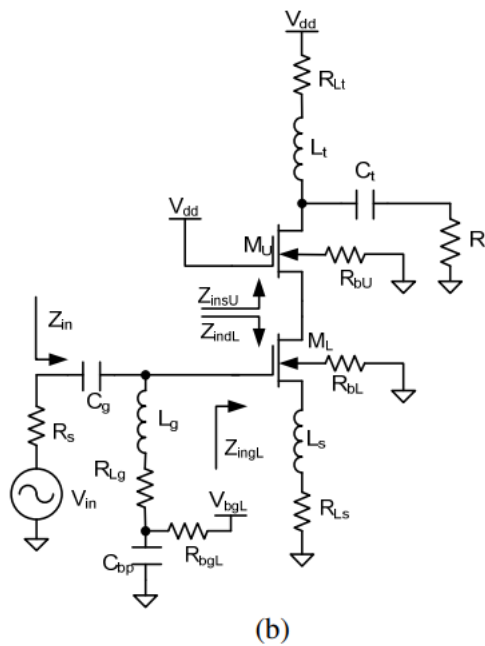


Figure II. 13 : LNA cascode à un étage, adaptation d'entrée avec inductance série [4]

4. Conclusion

Dans ce chapitre ; nous sommes justifiés le choix d'un amplificateur CMOS et arrivés à l'architecture la plus stable qui peut répondre sur le besoin de notre étude, c'est LNA cascode avec adaptation d'entrée avec inductance parallèle qui est montrée dans le dernier chapitre de simulation.

Références bibliographiques

- [1] *"Thierry Taris, Conception de circuit radiofréquences en Technologie CMOS : Amplificateurs RF , Livre, Editions universitaires europeennes, (2018)".*

- [2] *" Richard Lue, CMOS Low Noise Amplifier Design for Wireless Sensor Networks, Master of Science, Department of Electrical Engineering and Computer Sciences, University of California at Berkeley,2009".*

- [3] *"R Benton et al., "GaAs MMICs for an integrated GPS front-end", in GaAs IC symp. Dig. The. papers, 1992"*

- [4] *"J. Yavand Hasani, Design of a Radiofrequency Front-End module for "Smart Dust" sensor network, Condensed Matter. Université Joseph-Fourier - Grenoble I, (2008).".*

Chapitre III

Simulation et Résultats

1. Introduction

Dans ce chapitre, on présente et discute les résultats de simulation Spice de LNA conçu en technologie CMOS 65 nm opérant avec une tension 1,2 V. La caractérisation de LNA est effectuée par le simulateur libre LTSpice. Les simulations effectuées concernent les points d'opération, l'analyse fréquentielle, la simulation transitoire et finalement la détermination du bruit et du facteur de bruit.

2. Logiciel LTspiceXVII

LTspice est un simulateur de circuit basé sur le programme de simulation SPICE 3 de Berkeley. C'est un simulateur libre qu'on peut le trouver du site Web de la compagnie 'Linear Technology <http://www.linear.com>. [1]

Ce logiciel permet de simuler et modéliser les composants électroniques à l'aide des modèles Spice qui représentent les bibliothèques suivantes.

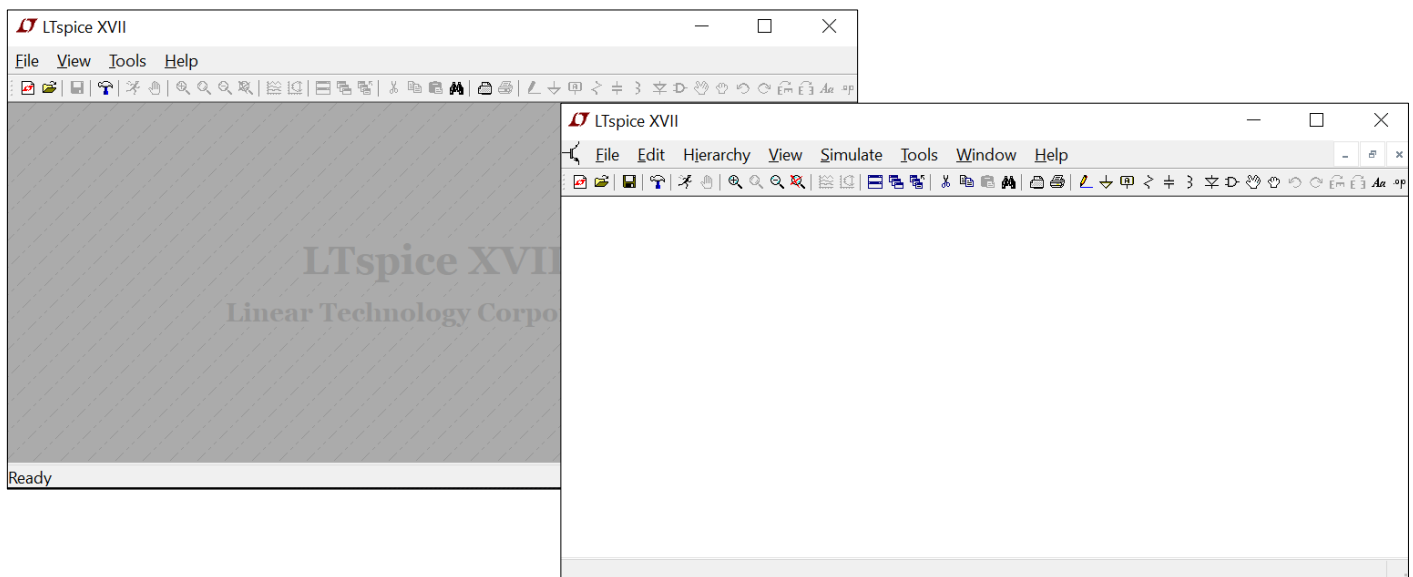


Figure III. 1 : Interface générale du logiciel LTSpice

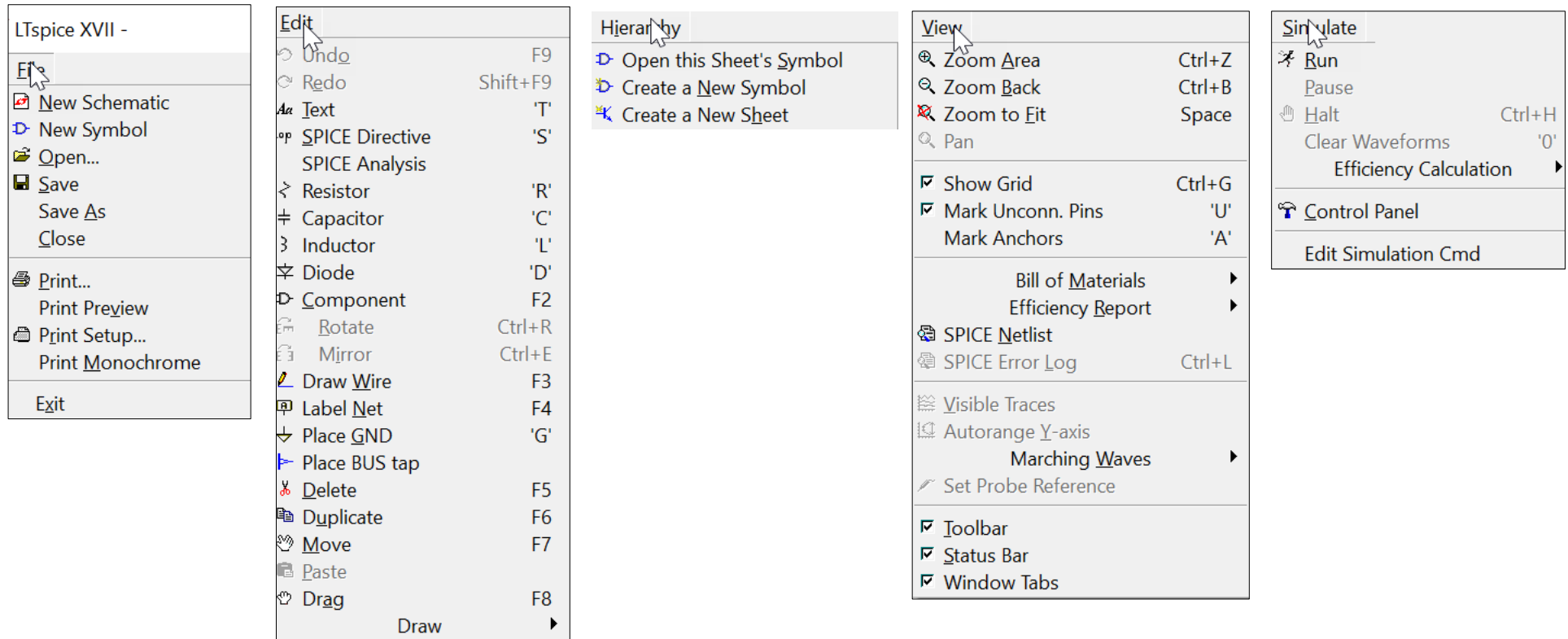


Figure III. 2 : Menus Principaux [1]

3. Guide de simulation

1. Placer une copie du fichier des modèles Spice des composants (nominal_L65n1.lib) dans le répertoire du travail du projet.
2. Placer et connecter les composants de circuits dans la feuille de dessin.
3. Sélectionner la librairie des modèles de composants CMOS de la technologie 65n.
4. A partir du schéma dessiné ; créer leur symbole modélisé. (Figure III.3)

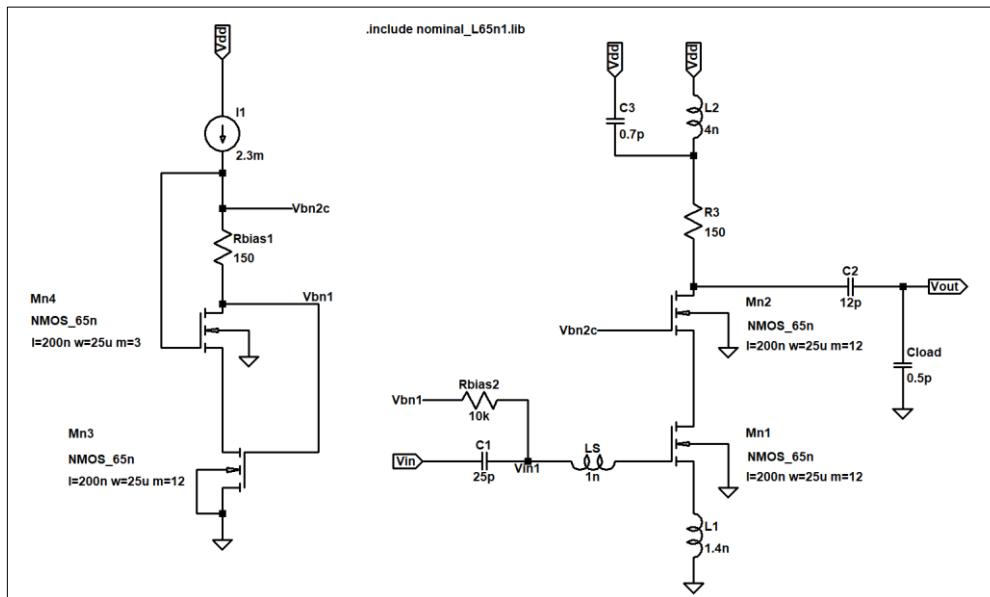


Figure III. 3 : Circuit de base d'un LNA

4. Analyse DC Operation Point

L'analyse DC des points d'opération est une étape nécessaire dans la conception de tout circuit analogique au niveau transistor. Il s'agit, en effet, de déterminer les points de polarisation des différents transistors du circuit d'intérêt, soit le LNA dans le cas présent, pour garantir que ces différents transistors opèrent dans leurs régimes désignés. Les résultats de la simulation du LNA de la Figure III. 4, sont données dans le tableau reporté sur la Figure III.

5. En examinant ces données, on constate que les deux transistors d'intérêt du LNA sont polarisés dans le régime désigné, le régime de saturation.

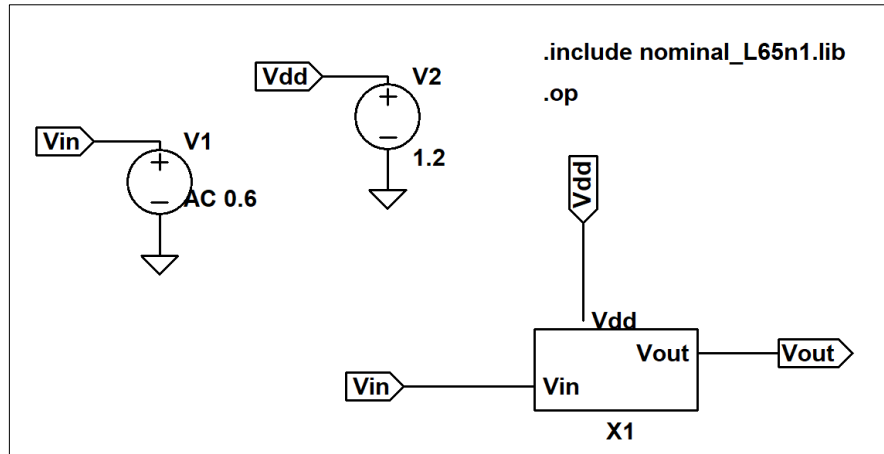


Figure III. 4 : Schéma électrique du point d’opération

L’amplificateur Mn1 est en mode de saturation ($|V_{ds}| > |V_{dsat}|$) , la tension de drain source ($|V_{ds}|$) du transistor NMOS est supérieure à la tension de saturation $|V_{dsat}|$.

SPICE Error Log: C:\Users\DELL\Desktop\UBBA_CIAN_LTspice_Software1\These\op.log

```

Semiconductor Device Operating Points:
--- BSIM4 MOSFETS ---
Name:      m:x1:n3      m:x1:n4      m:x1:n1      m:x1:n2
Model:    x1:nmos_65n  x1:nmos_65n  x1:nmos_65n  x1:nmos_65n
Id:       -2.30e-03    2.30e-03     2.32e-03     2.32e-03
Vgs:      2.34e-01    5.79e-01     4.35e-01     4.96e-01
Vds:      -2.02e-01    2.34e-01     2.85e-01     5.68e-01
Vbs:      -2.02e-01   -2.02e-01    -2.32e-06    -2.85e-01
Vth:      4.23e-01    4.66e-01     4.23e-01     4.81e-01
Vdsat:    7.65e-02    1.30e-01     7.64e-02     7.83e-02
Gm:       3.92e-02    2.58e-02     3.95e-02     3.94e-02
Gds:      4.74e-04    5.51e-04     3.10e-04     2.30e-04
Gmb:      9.09e-03    5.66e-03     9.17e-03     8.20e-03
Cbd:      1.50e-13    3.33e-14     1.38e-13     1.22e-13
Cbs:      2.26e-13    5.65e-14     2.40e-13     2.21e-13
    
```

Figure III. 5 : Point d’opération LNA

5. Analyse fréquentielle AC

L'analyse fréquentielle AC de LTspice est nécessaire pour déterminer la réponse fréquentielle du LNA basée sur son modèle linéaire de petits signaux. Cette analyse permet de déterminer la variation du gain du circuit en fonction de la fréquence, la bande passante à la fréquence de coupure de - 3 dB et la fréquence correspondant au gain unitaire. Le schémat de la Figure III. 6 donne la configuration utilisée pour effectuer cette analyse par simulation LTspice. Les résultats de simulation de cette analyse AC, gain et phase, sont reportés sur la Figure III.7. D'après ces résultats, le gain du LNA est de 14.7 dB et sa bande passante s'étend de 1 MHz à 2 GHz.

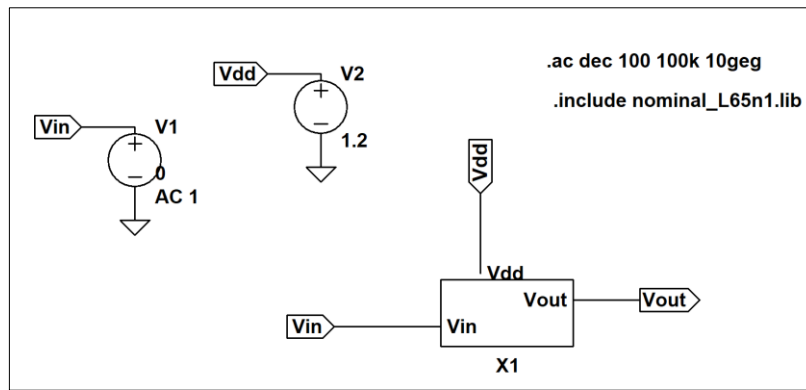


Figure III. 6 : Schéma électrique équivalent pour l'analyse fréquentielle

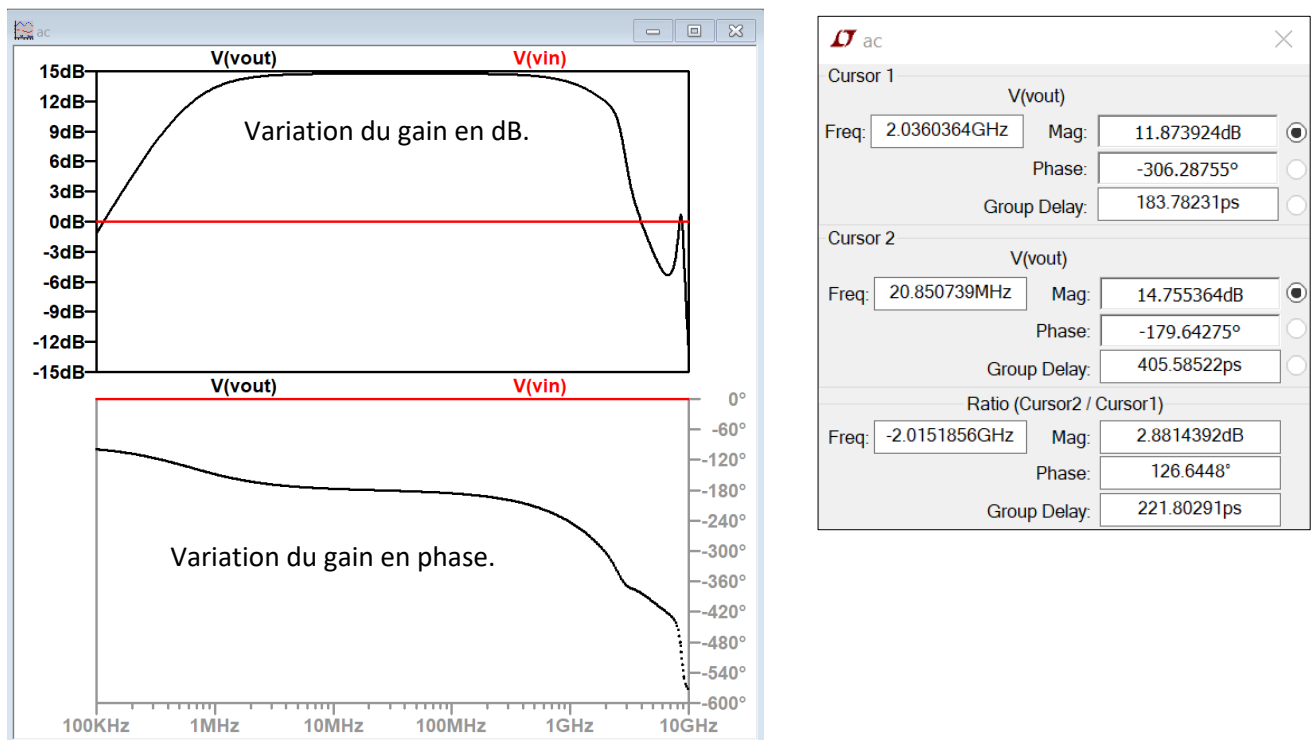


Figure III. 7 : Réponse fréquentielle

6. Analyse Transitoire

La simulation transitoire est nécessaire pour démontrer la stabilité LNA et pour prouver aussi que ce circuit fonctionne correctement sur toute la plage fréquentielle de la bande passante d'intérêt. Le montage utilisé pour effectuer une première simulation est reportée par la Figure III.8. Le signal d'entrée de forme sinusoïdale et de faible amplitude. Les résultats obtenus sont donnés dans la Figure III. 9.

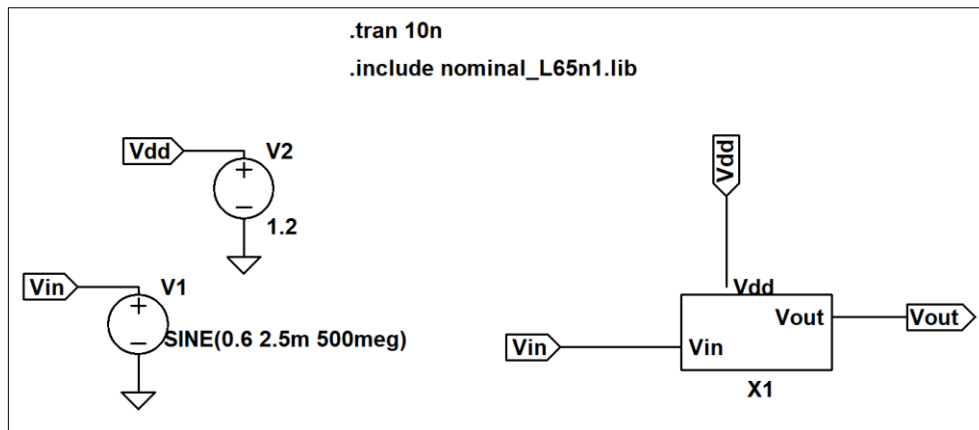


Figure III. 8 : Schéma électrique pour l'analyse transitoire

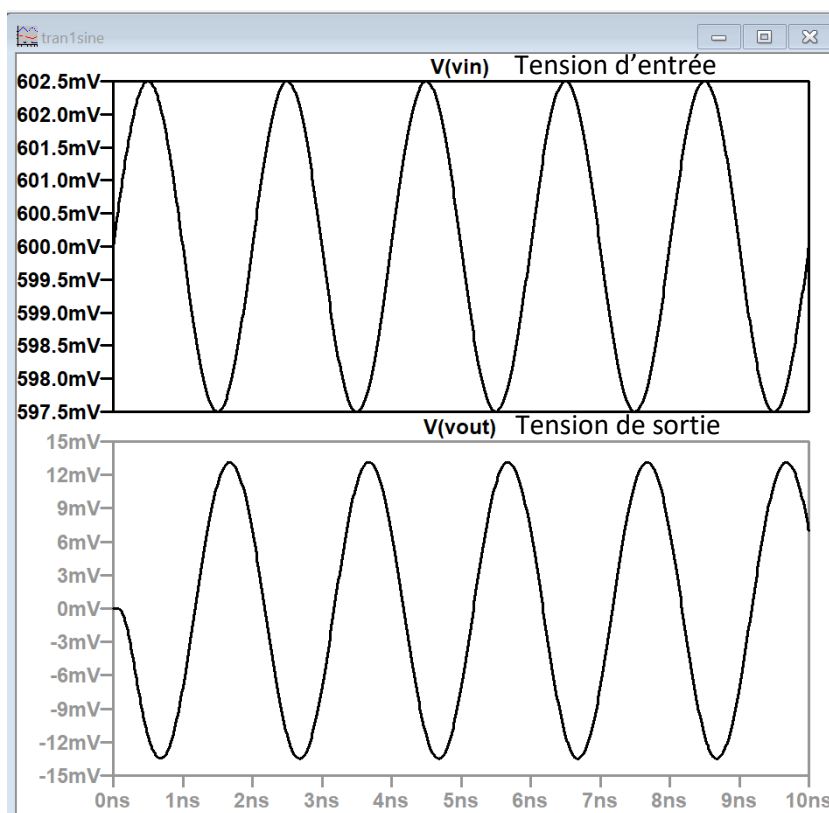


Figure III.9 : Réponse transitoire du LNA pour un signal d'entrée sinusoïdale de faible amplitude.

La deuxième simulation figure III.10 est effectuée avec un signal carré de faible amplitude de 2,5 mV et fréquence de 500 MHz. Les résultats de simulation LTspice montrant les signaux d'entrée et de sortie du LNA sont donnés dans la figure III.11.

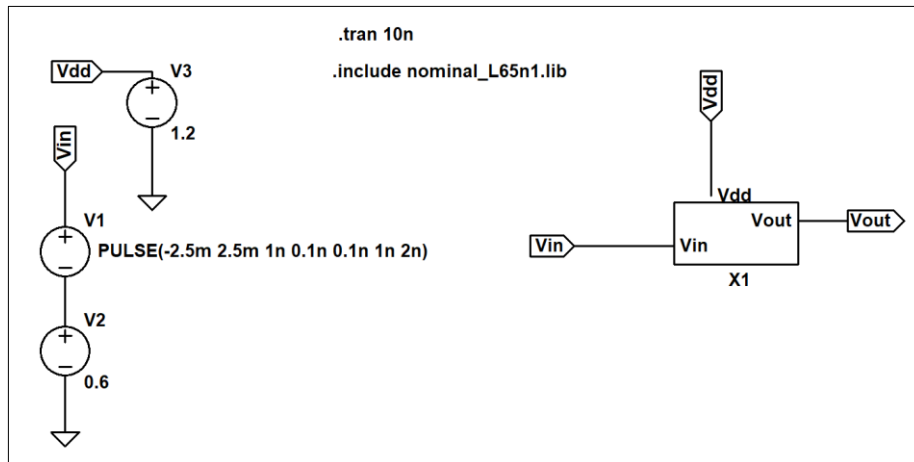


Figure III. 10 : Simulation Transitoire Pulse

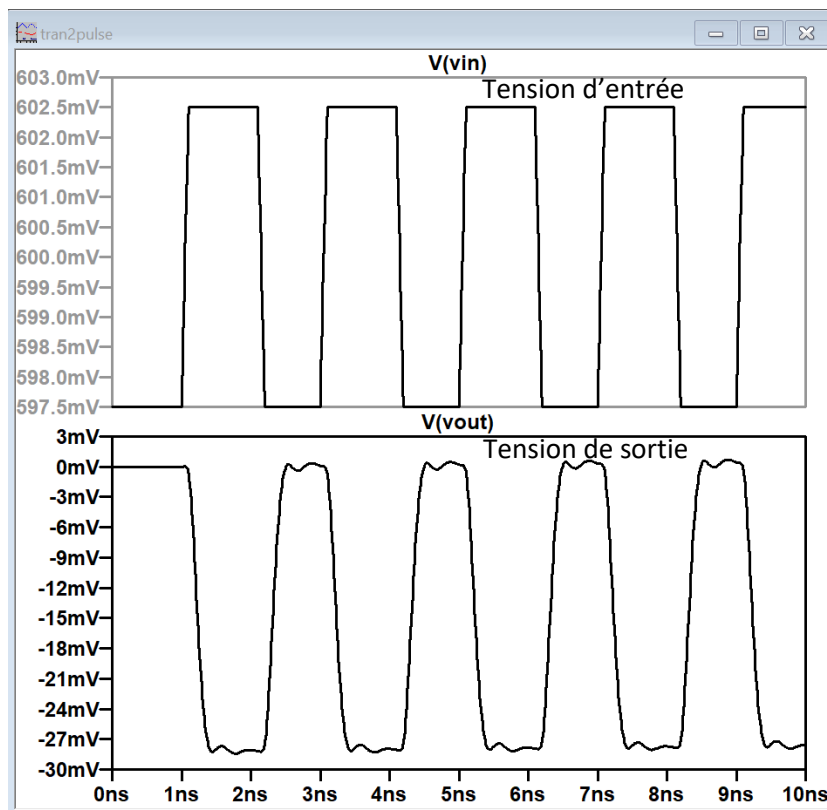


Figure III.11 : Réponse transitoire du LNA pour un signal d'entrée carré de faible amplitude

7. Bruit

Pour déterminer les caractéristiques du LNA en terme de bruit, il faut réaliser une simulation LTAspic permettant d'obtenir les puissances du bruit en entrée et à la sortie puis déterminer le facteur de bruit. La configuration utilisée pour effectuer cette simulation est illustrée sur le schéma de la Figure III.12. Les résultats obtenus pour le bruit d'entrée et pour

le bruit de sortie sont reportés sur la Figure III.13. Pour le cas du figure de bruit, le résultat est montrée dans la Figure III.14.

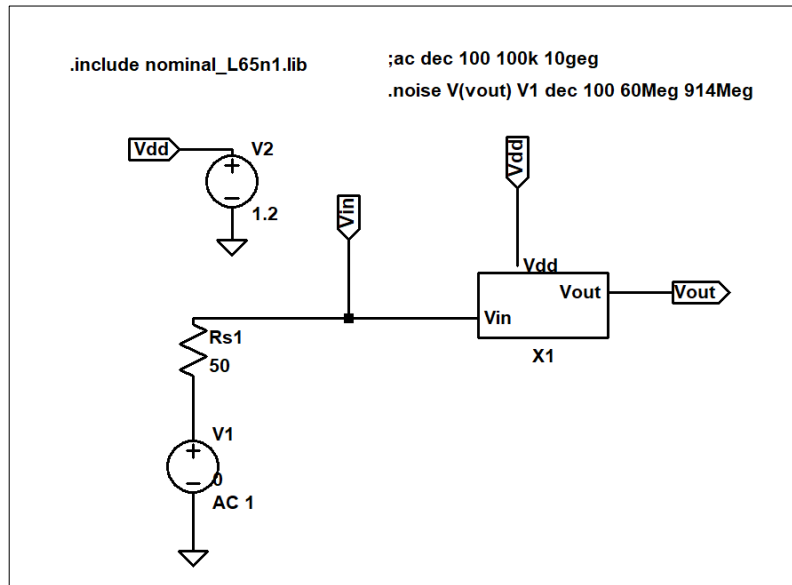


Figure III. 12 : Schéma électrique de bruit

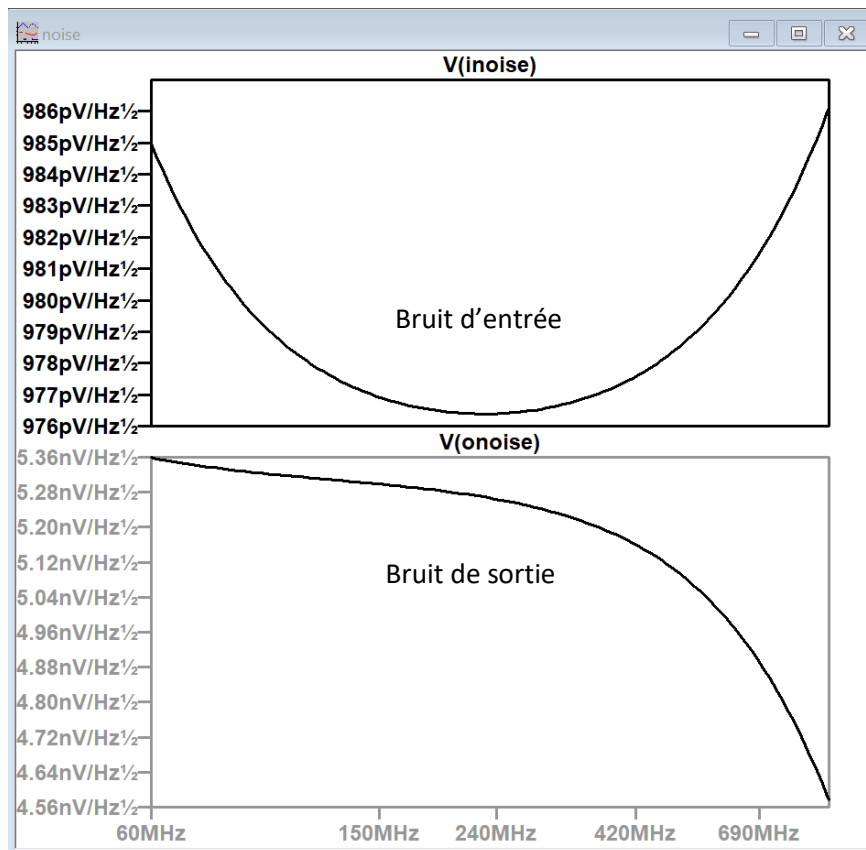


Figure III. 13 : Réponse IN et OUT de bruit

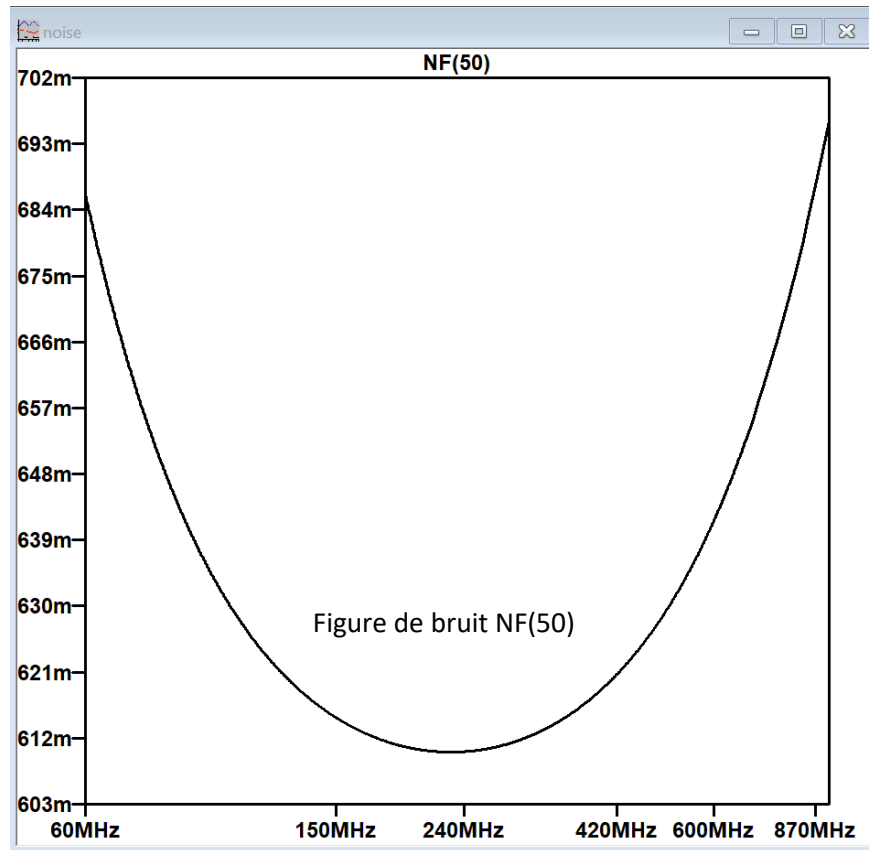


Figure III. 14 : Figure de bruit à 50

8. Conclusion

Les résultats obtenus du LNA étudié dans ce travail présentent des performances très admissibles dans une large bande de fréquences, ce circuit ainsi conçu affiche en effet des bonnes valeurs de gain, 14,7 dB, sur toute la bande passante. Les résultats de simulation transitoire obtenus avec une onde carrée de faible amplitude dans la bande de fréquence d'intérêt justifie la stabilité du LNA. Aussi nous avons obtenu un très faible figure de bruit de l'ordre 0,7 dB, tout ceci avec une puissance dissipée acceptable ne dépassant pas la la tension d'entrée V_{dd} multipliée fois le courant I_{dd} ($1,2 \text{ V} * 4,6 \text{ mA}$).

Conclusion Générale

Conclusion générale

Le travail qui nous a été confié dans ce mémoire, nous a permis de faire une simulation numérique d'un LNA CMOS de type 65 nm à l'aide du logiciel LTspice pour étudier leur réponse en termes de gain et de bruit.

Le dimensionnement des composants de ce type d'un LNA CMOS 65n est effectué en exploitant différentes architectures ; à contre-réaction résistive, à terminaison résistive, à terminaison 1/gm (grille commune) ainsi qu'une architecture à source commune à dégénération inductive qui est la plus stable grâce à son bon gain pour une faible consommation. Où l'enjeu majeur dans cette dernière architecture est de réduire vers éliminer l'impact des inductances sur sa performance.

Les résultats obtenus du LNA suite à la simulation effectuée présentent des performances que nous considérons très admissibles dans une large bande de fréquences, ce circuit ainsi conçu affiche en effet des bonnes valeurs de gain, 14,7 dB, sur toute la bande passante. Les résultats de simulation transitoire obtenus avec une onde carrée de faible amplitude dans la bande de fréquence d'intérêt justifie la stabilité du LNA. Aussi nous avons obtenu un très faible figure de bruit de l'ordre 0,7 dB, tout ceci avec une puissance dissipée acceptable ne dépassant pas la la tension d'entrée V_{dd} multipliée fois le courant I_{dd} ($1,2 \text{ V} * 4,6 \text{ mA}$).