

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTRE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE
SCIENTIFIQUE

Université de Mohamed El-Bachir El-Ibrahimi - Bordj Bou Arreridj

Faculté des Sciences et de la technologie

Département d'Electronique

Mémoire

Présenté pour obtenir

LE DIPLOME DE MASTER

FILIERE : ELECTRONIQUE

Spécialité : Microélectronique

Par

Brahimi Abdelhalim

Saidani Okba

Intitulé

*Etude et conception d'un convertisseur analogique numérique pipeliné
en technologie CMOS 0.18 μm*

Soutenu le : 03/07/2018

Devant Les Jury :

- | | | |
|------------------------|-----------|--------------------------------|
| • MESSAI Zitouni | Président | MCB - U. de Bordj Bou Arreridj |
| • DJEMOUAI Abdelouahab | Encadreur | MCB- U. de Bordj Bou Arreridj |
| • BIOUD Nadhira | Examineur | MCB- U. de Bordj Bou Arreridj |

Année Universitaire 2017/2018

REMERCIEMENT

Au terme de ce mémoire, nous tenons à exprimer nos remerciements au bon « DIEU » qui nous a donné la force, la santé et la volonté pour mener à bien ce modeste travail.

Nous tenons également à exprimer nos vifs remerciements à notre encadreur monsieur Dr. DJEMOUAI pour avoir d'abord proposée ce thème, pour ses conseils et son aide quotidienne pour faire avancer notre travail.

Nous tenons à remercier vivement toutes personnes qui nous ont aidés à élaborer et réaliser ce mémoire, ainsi à tous ceux qui nous ont aidés de près ou de loin à accomplir ce travail.

Nos remerciements vont aussi à tous les enseignants et le chef de département d'Electronique Mme. LAOUAMRI qui a contribué à notre formation par ailleurs, et plus particulièrement remercie Dr. MESSAI, Dr. SARA, Dr. DIB, Mr. BOUKARMA, Mme. KHARAT, Dr. KHALED, et Dr. FARES. Nos remerciements à tous les membres du jury qui ont accepté de juger notre travail.

En fin, nous tenons à exprimer notre reconnaissance à tous nos amis et collègues pour le soutien moral et matériel.

Abdelhalim et Okba

DEDICACE

C'est avec un immense plaisir que je dédie ce modeste travail à :

Mes très chers parents

*Aux supports de mon âme, vous mes très chers frères : Hichem, Aymen et
Abderrazak*

et ma sœur :Kenza

et à mes amies : Anouar, Mahdi, Louniss, AbdelGhani et tous mes Amies

Et c'est sur groupe de microélectronique master 2 : Aymen, Saber....

Et tout groupe microélectronique.

Et toute ma Famille

*Et bien sûr à mon collègue BRAHIMI ABDELHALIM qui m'accompagné pendant
le long de cette période pour réaliser ce modeste travail.*

*A Tous les enseignants qui m'ont aidé de proche ou de loin pour être un jour un
master en électronique.*

*A tous les étudiants de microélectronique et d'électronique de l'université de Bordj
Bou Arrridj et surtout les étudiants de deuxième Année Master promo 2017
/2018.*

Je vous remercie tous

Saidani Okba.



DEDICACE

C'est avec un immense plaisir que je dédie ce modeste travail à :

Mes très chers parents

Aux supports de mon âme, vous mes très chères frères : Kamel, sa femme Fairouz et ses fils Youssef, Mariem et la petite Hadjer , Nadjib et sa femme Safia qui attendent leur premier bébé ,Fares, et Raafet.

et mes sœurs : Fairouz et son mari ElBachir et ses fils Tarek, Monsif et sa belle-fille Alaae, Faiza et Nawel.

A mes amies : Ramdhan, Hamza, Yaakoub et tous mes Amies

Et c'est sur le groupe de microélectronique master 2 : Aymen, Chawki, Sido...

Et tout groupe microélectronique.

Et toute ma Famille

*Et bien sûr à mon collègue **SAIDANI OKBA** qui m'accompagné pendant le long de cette période pour réaliser ce modeste travail.*

A Tous les enseignants qui m'ont aidé de proche ou de loin pour être un jour un master en électronique.

A tous les étudiants de microélectronique et d'électronique de l'université de Bordj Bou Arreridj et surtout les étudiants de deuxième Année Master promo 2017 /2018.

Je vous remercie tous

Brahimi Abdelhalim.




Table de Matières

Table des illustrations

Liste des abréviations

INTRODUCTION GÉNÉRALE:	1
CHAPITRE 1: Généralités sur des convertisseurs analogiques numériques	4
1. Introduction:	4
2. Théorie sur la conversion :	4
2.1 Théorie de l'échantillonnage:	4
2.2 La conversion analogique-numérique :	5
2.2.1 L'échantillonnage :	5
2.2.2 La quantification :	6
3. Les spécifications des convertisseurs analogiques numériques :	8
3.1 La bande passante du signal ou la fréquence d'échantillonnage :	8
3.2 La résolution :	8
3.3 La distorsion :	8
3.4 La gamme dynamique :	8
3.5 La puissance :	9
3.6 La surface :	9
3.7 L'immunité au bruit :	9
3.8 La latence :	9
4. Les caractéristiques des convertisseurs A/N :	9
4.1 Caractéristiques statiques des CANs :	9
4.1.1 Erreur de quantification:	9
4.1.2 Erreur offset:	10
4.1.3 Erreur de gain :	11
4.1.4 Erreur de linéarité différentielle(NLD) :	11
4.1.5 Erreur de linéarité intégrale(NLI) :	12
4.2 Caractéristiques dynamiques des CANs :	12
4.2.1 Le rapport signal sur bruit (SNR) :	12
4.2.2 La distorsion harmonique totale (THD) :	13
4.2.3 Le rapport signal sur bruit et distorsion (SINAD) :	13
4.2.4 La dynamique sans fréquence parasite (SFDR) :	13
4.2.5 Le nombre effectif de bits (ENOB) :	14
5. Architectures de convertisseurs A/N:	14

Table de Matières

5.1	Architecture Flash :	15
5.2	Architecture Demi-flash :	16
5.3	Convertisseur cyclique :	16
5.4	Architecture Wilkinson :	17
5.5	Architecture à approximations successives :	18
5.6	Architecture Sigma-Delta :	19
5.7	Architecture Pipeline :	20
6.	Bilan des convertisseurs analogiques-numériques :	22
7.	Conclusion:	25
CHAPITRE 2 : Conception du convertisseur analogique numérique pipeline		28
1.	Introduction:	28
2.	Architecture des CANs pipeline :	28
3.	Principe de fonctionnement de CAN pipeline :	29
3.1	Fonctionnement d'un étage à 1,5 bits :	30
4.	Les blocs de construction clés d'un CAN Pipeline :	33
4.1	Le générateur d'horologe:	33
4.2	Les Amplificateurs Opérationnels :	33
4.3	Les comparateurs :	39
4.4	Échantillonneur-bloqueur :	39
4.5	L'étage « MDAC » :	41
4.5.1	Sous-CAN :	42
4.5.2	CAN flash à 2-bits:	43
4.6	L'étage de correction logique :	44
5.	Le gain fini en boucle ouverte de l'amplificateur opérationnel :	46
6.	Les avantages et les inconvénients des convertisseurs pipeline :	47
6.1	Les avantages :	47
6.2	Les inconvénients :	47
7.	Conclusion :	50
CHAPITRE 3 : Modélisation du CAN pipeline		53
1.	Introduction :	53
2.	Logiciel de simulation :	53
2.1	Définition :	53
2.2	Les avantages de LTSPICE:	53

Table de Matières

2.3	Principe de fonctionnement de LTSPICE :	54
3.	Modèle comportemental du CAN pipeline :	54
3.1	Le générateur d'horloge :	54
3.2	Les comparateurs :	56
3.3	Sous-CAN à 1.5-bit :	56
3.4	Sous CNA à 1.5 bit :	59
3.5	Le circuit convertisseur numérique analogique multiplicateur (MDAC) :	60
3.6	L'amplificateur opérationnel :	61
3.7	Un étage pipeline :	64
3.8	Dernier étage :	66
3.9	L'étage de correction logique :	65
3.9.1	L'étage de retard :	67
3.9.2	L'étage de correction :	69
3.10	CAN pipeline complet :	70
4.	Conclusion :	72
	Conclusion générale :	74

Table des illustrations

Chapitre 1

Figure 1. 1:Les étapes nécessaires pour la conversion	_____
Figure 1. 2:Échantillonnage d'un signal	_____
Figure 1. 3:Fonction de transfert théorique d'un convertisseur analogique-numérique	_____
Figure 1. 4:Erreur de quantification	_____
Figure 1. 5:Erreur de décalage	_____
Figure 1. 6:Erreur de gain	_____
Figure 1. 7:Erreur de linéarité différentielle	_____
Figure 1. 8:Erreur de linéarité intégrale	_____
Figure 1. 9:Mesure du SFDR dans un convertisseur analogique numérique	_____
Figure 1. 10:Architecture de CAN flash 3 bits à échelle de résistance	_____
Figure 1. 11:CAN Demi-flash	_____
Figure 1. 12: Architecture CAN cyclique	_____
Figure 1. 13: Architecture de CAN Wilkinson	_____
Figure 1. 14:ADC SAR (Successive approximation register)	_____
Figure 1. 15:Schéma de principe d'un CAN sigma-delta	_____
Figure 1. 16:Architecture de CAN pipeline	_____
Figure 1. 17:Architecture d'un étage "MDAC"	_____
Figure 1. 18:Hiérarchie des différents Convertisseurs Analogiques-Numériques	_____

Chapitre 2 :

Figure 2. 1:Structure générale d'une ADC pipeliné	_____
Figure 2. 2:Les étages d'une ADC pipeliné	_____
Figure 2. 3:Organigramme d'opération d'un étage	_____
Figure 2. 4:Structure schématique d'un étage classique single-ended de 1,5 bits d'un CAN pipeline	_____
Figure 2. 5:Fonction de transfert idéale d'un étage 1,5 bits	_____
Figure 2. 6:Générateur d'horloge	_____
Figure 2. 7:Amplificateur opérationnel à deux étages	_____
Figure 2. 8:Amplificateur opérationnel symétrique	_____
Figure 2. 9:Amplificateur opérationnel télescopique	_____
Figure 2. 10:Amplificateur opérationnel cascode replié	_____
Figure 2. 11:Symbole d'un comparateur	_____
Figure 2. 12:Schéma de principe d'un échantillonneur-bloqueur élémentaire	_____
Figure 2. 13:Allure du signal de sortie durant les phases d'échantillonnage et de blocage	_____
Figure 2. 14:MDAC dans un étage d'un ADC pipeline	_____
Figure 2. 15:Schéma du sous-ADC 1,5 bit	_____
Figure 2. 16:Configuration du circuit de sous -CAN dans le dernier étage	_____
Figure 2. 17:Schéma fonctionnel d'un convertisseur analogique-numérique à pipeline de 8 bits comprenant un étage de correction numérique.	_____
Figure 2. 18:Schéma de circuit d'un ADC flash 2 bits.	_____
Figure 2. 19:Schéma fonctionnel pour l'étape de correction numérique	_____
Figure 2. 20:La participation chaque étage pipeline à la non-linéarité intégrale de l'ensemble	_____
Figure 2. 21:La latence des données au démarrage	_____

Table des illustrations

Chapitre 3 :

Figure 3.1:Principe de fonctionnement de LTSPICE	_____
Figure 3.2:Le schéma d'un générateur d'horloge	_____
Figure 3.3:Les résultats de la simulation d'un générateur d'horloge	_____
Figure 3.4:Les résultats de la simulation d'un générateur d'horloge)	_____
Figure 3.5:Le schéma d'un comparateur	_____
Figure 3.6:Le schéma des deux comparateurs	_____
Figure 3.7:Les résultats de la simulation des deux comparateurs	_____
Figure 3.8:Le schéma d'un décodeur	_____
Figure 3.9:Les résultats de la simulation d'un décodeur	_____
Figure 3.10:Le schéma d'un sous CAN à 1.5 bit	_____
Figure 3.11:Les résultats de la simulation d'un sous CAN à 1.5 bit	_____
Figure 3.12:Le schéma d'un multiplexeur	_____
Figure 3.13:Les résultats de la simulation d'un sous CNA à 1.5 bit	_____
Figure 3.14:Le schéma d'un étage MDAC	_____
Figure 3.15:Les résultats de la simulation d'un étage MDAC	_____
Figure 3.16:Le schéma d'un amplificateur opérationnel	_____
Figure 3.17:Simulation AC sweep d'un amplificateur opérationnel	_____
Figure 3.18:Analyse DC sweep d'un amplificateur opérationnel	_____
Figure 3.19:Les résultats de simulation plusieurs valeurs de capacités	_____
Figure 3.20:Le schéma d'un étage pipeline	_____
Figure 3.21:Les résultats de la simulation d'un étage pipeline	_____
Figure 3.22:Le schéma d'un CAN flash à 2 bits	_____
Figure 3.23:Le schéma d'une bascule D	_____
Figure 3.24:Les résultats de la simulation d'une bascule D	_____
Figure 3.25:Le schéma d'un étage de retard	_____
Figure 3.26:Les résultats de la simulation d'un étage de retard	_____
Figure 3.27:Le schéma d'un additionneur complet	_____
Figure 3.28:Les résultats de la simulation d'un additionneur complet	_____
Figure 3.29:Le schéma d'un étage de correction	_____
Figure 3.30:Le schéma d'un CAN pipeline complet	_____
Figure 3.31:Les résultats de la simulation d'un CAN pipeline complet	_____

Liste des abréviations

fb	Fréquence de bande du signal échantillonné
fs	Fréquence d'échantillonnage
CAN	Convertisseur analogique numérique
X(t)	Signal analogique
$\delta_{T_e}(t)$	Peigne de Dirac
$x_e(t)$	Signal échantillonné
T_e	Période d'échantillonnage
q	Quantum: pas de quantification
V _{in} (t)	Signal d'origine
e(t)	Bruit de quantification
EQ	Amplitude maximale du bruit de quantification
PQ	Puissance moyenne du bruit de quantification
V _{num}	Tension numérique
V _{analog}	Tension analogique
LSB	Least Significant bit : bit de poids faible
N	Nombre de bit du convertisseur
CMOS	Complementary Metal Oxide Semiconductor
VLSI	Very-Large-Scale Integration: intégration à très grande échelle
EMI	Interférence électromagnétique
NLD	Non linéarité différentielle
q_i	Largeur réelle du pas de quantification
NLI	Non linéarité intégrale
i	Code binaire
SNR	Signal to Noise Ratio: rapport signal sur bruit
B_q	Valeur efficace du bruit

Liste des abréviations

V_{eff}	Valeur efficace du signal sinusoïdal
THD	Total Harmonic Distorsion : distorsion harmonique totale
A	Amplitude de la composante fondamentale du signal reconstitué en sortie pour un signal d'entrée sinusoïdal
A_2, A_3, A_4, \dots	Amplitudes du même signal reconstitué mais aux harmoniques d'ordres supérieures
SINAD	Signal to Noise and Distortion Ratio : rapport signal sur bruit et distorsion
SFDR	Spurious Free Dynamic Range : dynamique sans fréquence parasite
A_i	Amplitude de la $i^{\text{ème}}$ raie
ENOB	Effective Number of Bits: nombre effectif de bits
SAR	Successive Approximation Register
V_{ref}	Tension de référence
DAC	Digital to Analog Converter
MSB	Most Significant Bit : bit de poids fort
ADC	Analog to Digital Converter
CNA	Convertisseur numérique analogique
INL	Integral Non-Linearity
DNL	Differential Non-Linearity
E/B	Échantillonneur / bloqueur
MDAC	Multiplying Digital-to-Analog Converter
S / H	Sample / Hold
C_s	Capacité d'échantillonnage
C_f	Capacité de retour
V_{in}	Tension d'entrée
V_{out}	Tension de sortie
ϕ_1 et ϕ_2	Les deux signaux d'horloge non-chevauchés

Liste des abréviations

ϕ_{1p} et ϕ_{2p}	Autres signaux d'horloge avancée légèrement que ϕ_1 et ϕ_2
amp-op	Amplificateur opérationnel
DC	Direct Current
A/N	Analogique / Numérique
CMRR	Common Mode Rejection Ratio : taux de rejet du mode commun
A_v	Le gain de l'amplificateur opérationnel
w_u	Le produit gain bande passante de l'amplificateur
SR	La vitesse de balayage
OTA	Operational Transconductance Amplifier
MOSFET	Metal Oxide Semiconductor Field Effect Transistor
out_i	Le signal de sortie du MDAC
G_i	Le gain du MDAC
in_i	Le signal d'entrée analogique
DAC_i	Le signal de sortie du DAC
HA	Half adder : demi-additionneur
FA	Full adder : additionneur complet
A_0	Le gain en boucle ouverte d'un amplificateur opérationnel
ϵ_{totA_0}	L'erreur totale de A_0
FFT	Fast Fourier Transform : transformée de Fourier rapide
DFT	Discret Fourier Transform : transformée de Fourier discrète
CPU	Central Processing Unit : unité centrale de traitement
SPICE	Simulation Program with Integrated Circuit Emphasis
LTSPICE	Linear Technology SPICE

INTRODUCTION GÉNÉRALE :

Au cours des dernières décennies, nous avons assisté à un énorme développement de la consommation électronique. Ce qui a été considéré comme de la fiction il y a 50 ans est aujourd'hui de l'ordre de l'habituel et est à la portée de tout le monde.

Ces dernières années, le domaine de la microélectronique a connu une évolution technologique exceptionnelle, l'intégration est devenue de plus en plus élevée, grâce à la miniaturisation de circuits sur un même support appelé puce électronique. La miniaturisation de ces composants permet d'en réduire la consommation électrique par unité de calcul et de prix, alors que la vitesse de calcul, le rendement et la fiabilité augmentent également. D'où la microélectronique représente un pilier des activités industrielles.

La prolifération de l'informatique et du traitement du signal dans les systèmes électroniques est souvent décrite comme le monde devient de plus en plus numérique avec le temps. La principale attraction vers le numérique provient du fait que les circuits numériques sont moins sensibles au bruit et présentent un haut degré de robustesse aux variations d'approvisionnement et de traitement. Le facteur qui a fait dominer les circuits et les processeurs numériques dans notre vie quotidienne est son extensibilité. Ceci a permis aux circuits numériques d'atteindre une vitesse plus élevée, une dissipation de puissance plus faible et un coût réduit avec la facilité d'intégration qui favorise l'avantage de fonctionnalité par puce.

Le domaine numérique est maintenant prédominant. Il s'est beaucoup développé grâce aux progrès faits par les microprocesseurs. Beaucoup de signaux naguère traités de façon analogiques sont aujourd'hui par programmation de microprocesseurs.

Le gros avantage apporté par la numérisation des signaux est la possibilité de stockage, de transformation et de restitution des données sans qu'elles ne soient altérées.

Le traitement des données par programmation introduit aussi une souplesse dans la conception de produits à base d'électronique : un même circuit électronique à base de microprocesseur pourra traiter des signaux différents ; seul le programme va changer. Cela permet de réduire les coûts par standardisation, la même carte étant utilisée pour plusieurs fonctions

différentes. L'électronique analogique nécessitait au mieux un changement des composants, au pire, la conception d'une nouvelle carte.

Mais, à la base, les signaux ont toujours une nature analogique. Il faut donc les amplifier et éventuellement les extraire de signaux parasites. Le domaine analogique va donc toujours exister au moins en amont de toute chaîne de traitement.

Les signaux encore naturels dans le monde sont analogiques et pour pouvoir interfacer des processeurs numériques avec le monde analogique, des circuits d'acquisition de données doivent être utilisés. Pour faire l'opération de passage du monde analogique au monde numérique, il nous faut un système mixte qui relie les deux mondes, c'est le convertisseur analogique numérique qui est capable de faire cette opération.

Comme le monde réel est de nature analogique et donc la nécessité des circuits analogiques reste assez importante, un convertisseur analogique-numérique (CAN) est alors nécessaire pour le traitement ultérieur du signal dans le domaine numérique en utilisant un processeur de signal numérique (DSP). La seule façon d'interagir avec le système analogique est de convertir le signal analogique en numérique à l'aide d'un CAN.

Les convertisseurs analogiques numériques sont de plus en plus utilisés dans de nombreuses applications différentes, et les exigences seront donc très différentes. Tout au long de l'évolution de la technologie des transistors, la conception des CANs a changé en conséquence.

Ce manuscrit est divisé en trois chapitres :

- Le chapitre I fournit une brève introduction à la conversion analogique-numérique. On va donner un bref aperçu des principes fondamentaux de convertisseur analogique-numérique. Par la suite, on va présenter les caractéristiques et les performances des convertisseurs analogiques numériques (A/N) afin de faire un bilan des convertisseurs analogiques-numériques.
- Le chapitre II se concentre sur les convertisseurs analogiques numériques de type pipeline. Nous aborderons la notion de principe de fonctionnement du CAN pipeline. Par la suite, on va détailler les blocs de construction clés d'un convertisseur analogique numérique de

type Pipeline ainsi que présenter les avantages et les inconvénients de ce type de convertisseur.

- Le chapitre III détaille les différents éléments de notre modélisation que nous avons réalisé en utilisant la technologie CMOS 0.18 μm sous LTspice et présente les résultats de simulation de chaque bloc élémentaire et ensuite les résultats obtenus du convertisseur complet afin de les discuter et comprendre les avantages de modélisation.

CHAPITRE 1

Généralités sur les convertisseurs analogiques numériques

1. Introduction:

Les phénomènes du monde macroscopique qui nous entourent sont de nature analogique, Ce sont des phénomènes continus variant dans le temps ainsi que dans l'espace. L'analogique est née avec le début de l'électricité et il a monopolisé le marché pendant longtemps.

Mais depuis la moitié du siècle passé, avec l'ère de l'informatique et lorsque le numérique a occupé une place de plus en plus importante dans le monde électronique, l'homme a pu mettre en évidence les avantages de prélever des échantillons d'un signal analogique et de le quantifier. D'où la nécessité d'un dispositif électronique qui permet de convertir une grandeur analogique en une valeur numérique. Le dispositif permettant la numérisation est appelé convertisseur analogique-numérique.

Ce chapitre fournit une brève introduction à la conversion analogique-numérique. On va donner un bref aperçu des principes fondamentaux de convertisseur analogique-numérique. Par la suite, on va présenter les caractéristiques et les performances des convertisseurs analogiques numériques (A/N) afin de faire un bilan des convertisseurs analogiques-numériques.

2. Théorie sur la conversion :

2.1 Théorie de l'échantillonnage:

Le processus d'échantillonnage convertit un signal continu dans le temps en un signal discret dans le temps. Selon le théorème de Nyquist, si le signal est à une bande limitée de certaine fréquence f_b , et les échantillons sont prélevés à une fréquence d'échantillonnage f_s au moins deux fois la largeur de bande du signal f_b , c'est-à-dire :

$$f_b \geq 2 \cdot f_s \quad (1.1)$$

Le signal est déterminé de façon unique. Par conséquent, le signal analogique peut être reconstruit à partir de ces échantillons sans perte d'information. Le convertisseur dans lequel la fréquence d'échantillonnage utilisée est le double de la largeur de bande du signal est connu sous

Le nom de convertisseur de Nyquist. Les convertisseurs pipeline sont en fait des convertisseurs de Nyquist. [1]

2.2 La conversion analogique-numérique :

Un convertisseur analogique numérique (CAN) est un système qui permet de prélever périodiquement des échantillons d'un signal analogique provenant du monde qui nous entoure, et de le quantifier, cette quantification permet un traitement ultérieur numérique des données recueillies.

Pour faire une conversion analogique numérique, on est donc ramené à faire deux opérations principales qui sont : l'échantillonnage et la quantification. [5]

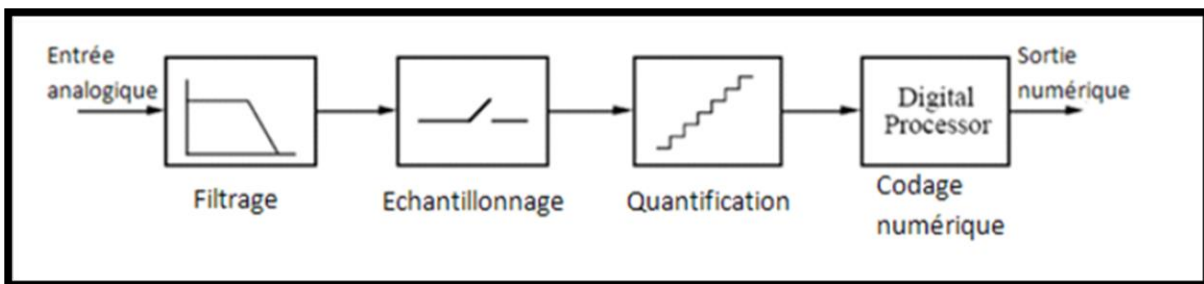


Figure 1. 1 : Les étapes nécessaires pour la conversion

2.2.1 L'échantillonnage :

Le processus de transfert d'un signal continu dans le temps à un signal de temps discret s'appelle l'échantillonnage. Quand le signal est échantillonné, des informations sont perdues, puisque le signal n'est plus représenté par une valeur à chaque instant. La quantité de l'information qui est perdue dépend du choix de la fréquence d'échantillonnage, en relation avec la fréquence du signal échantillonné. [4]

Le procédé d'échantillonnage peut seulement traiter l'information de processus qui est jusqu'à la moitié de la fréquence d'échantillonnage, appelé la fréquence de Nyquist. S'il y a contenu de fréquence dans le signal qui est plus haut que la fréquence de Nyquist elle devrait être filtrée avec un filtre passe-bas, afin d'éviter le phénomène de repliement. Comme illustré sur la figure (1.2), on peut considérer que le processus d'échantillonnage revient mathématiquement à multiplier le signal analogique $X(t)$ par une suite d'impulsions de Dirac $\delta_{T_e}(t)$ de période T_e , appelé

"peigne de Dirac". C'est à dire un train d'impulsions placées aux instants d'échantillonnage. Le signal échantillonné $x_e(t)$ peut alors être représenté par l'expression :

$$X_e(t) = X(t)\delta_{T_e}(t) = \sum X(t_n)\delta(t - T_e n) \quad (1.2)$$

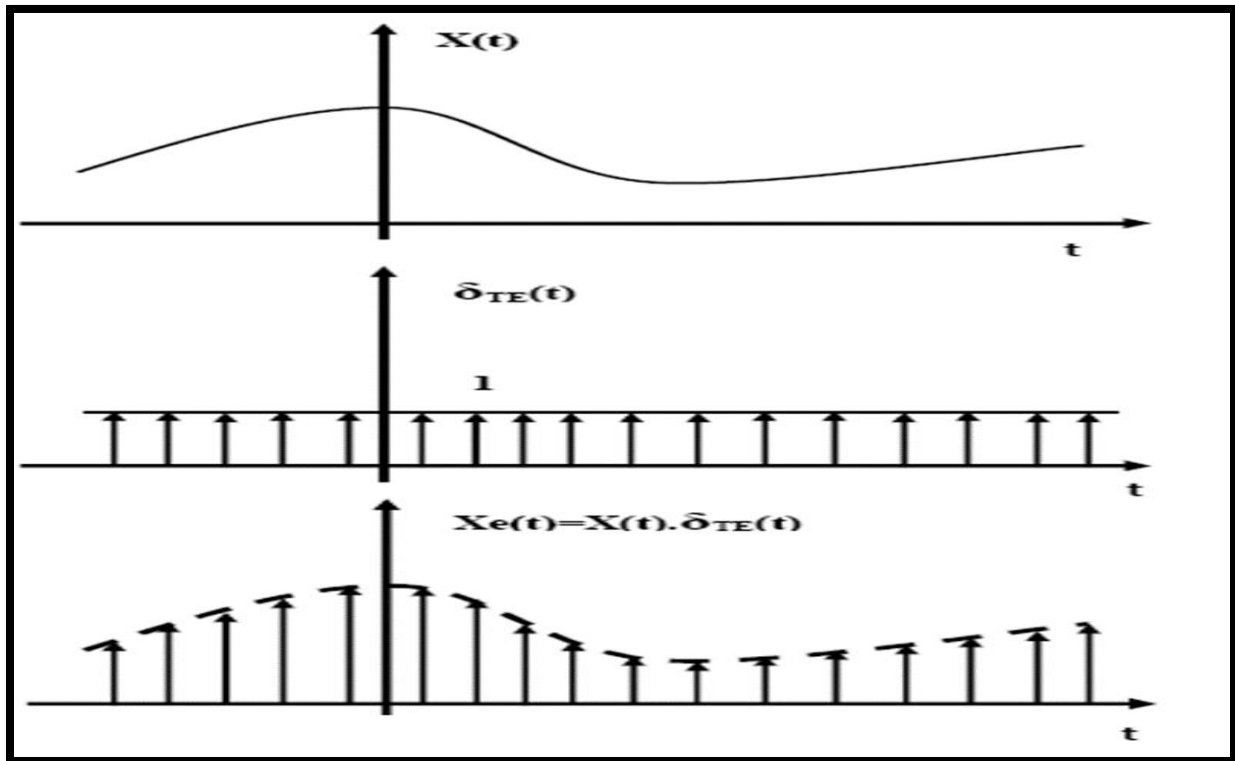


Figure 1. 2 : Échantillonnage d'un signal

2.2.2 La quantification :

Le convertisseur A/N effectue la numérisation d'un signal analogique après échantillonnage et délivre des séquences numériques codées avec un pas de quantification q dépendant du nombre de bits du convertisseur comme on a vu dans le paragraphe précédent.

Nous venons de voir que l'opération de quantification remplace chaque valeur du signal prélevé à l'instant T_e par une approximation. C'est une opération non linéaire qui s'accompagne nécessairement d'une perte d'information et l'effet de cette approximation revient mathématiquement à superposer au signal d'origine $V_{in}(t)$ un signal d'erreur $e(t)$ que l'on appelle le bruit de quantification [4]. L'amplitude maximale de ce signal d'erreur est $E_Q = Q/2$, sa puissance moyenne du bruit de quantification, P_Q , est donné par :

$$PQ = \frac{1}{\Delta t} \int_{-\frac{\Delta t}{2}}^{+\frac{\Delta t}{2}} e^2(t) dt = \frac{1}{\Delta t} \left(\frac{Q}{\Delta t} \right)^2 \times \frac{1}{3} \times 2 \times \left(\frac{\Delta t}{2} \right)^3 \quad (1.3)$$

Ce qui donne finalement le résultat bien connu :

$$PQ = \frac{EQ^2}{3} = \frac{Q^2}{12} \quad (1.4)$$

La fonction de transfert d'un convertisseur analogique numérique est simplement le tracé de la tension numérique V_{num} en fonction de la tension analogique V_{analog} . Celle-ci est donnée en figure (1.3) dans le cadre d'un CAN de résolution 3-bits. [11]

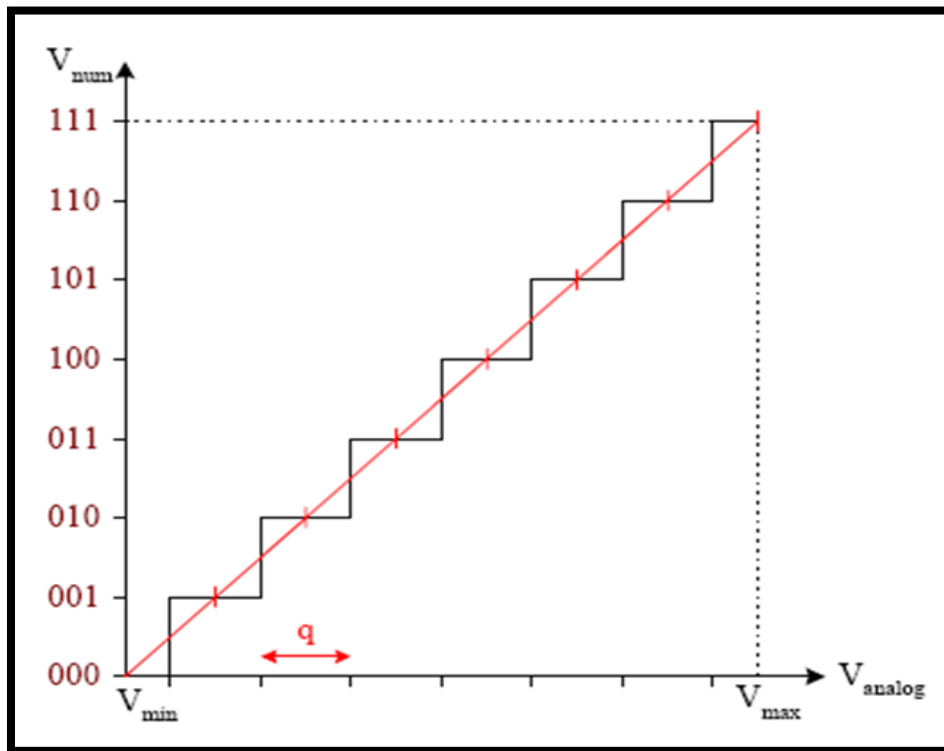


Figure 1. 3 : Fonction de transfert théorique d'un convertisseur analogique-numérique

3. Les spécifications des convertisseurs analogiques numériques :

Il y a plusieurs exigences de conception lors de la sélection d'une topologie CAN et la mise en œuvre de ses circuits qui sont : la bande passante du signal ou le taux d'échantillonnage, la résolution, la distorsion, la puissance, la surface, l'immunité au bruit, la plage dynamique et la latence [10]. Chacune de ces spécifications sera décrite séparément dans les paragraphes qui suivent :

3.1 La bande passante du signal ou le taux d'échantillonnage :

La bande passante du signal d'un CAN est généralement définie comme la gamme de fréquences sur laquelle le CAN conservera sa résolution spécifiée. La bande passante du signal et la fréquence de l'horloge d'échantillonnage du CAN sont reliées par le critère de Nyquist. En d'autres termes, la fréquence d'échantillonnage est au moins deux fois de la bande passante du signal.

3.2 La résolution :

La résolution d'un CAN est une mesure avec précision dans laquelle la sortie numérique représentera l'entrée analogique. Elle peut être définie comme la plus petite modification de l'entrée analogique qui provoque un changement LSB dans le code de la sortie numérique. La résolution est souvent exprimée en nombre de bit N de la sortie numérique. Par conséquent, il y a 2^N possibilités de la sortie numériques, en d'autres termes la résolution du CAN en bit détermine le nombre de valeurs disponibles pour coder le signal d'entrée.

3.3 La distorsion :

La non-linéarité des dispositifs semi-conducteurs et le mésappariement entre les composants identiques du circuit peuvent provoquer une distorsion dans la sortie d'un CAN.

3.4 La gamme dynamique :

Comme la technologie CMOS émergeant à réduire l'échelle, l'épaisseur d'oxyde de la grille du transistor est réduite ce qui force la tension d'alimentation à diminuer. Par conséquent, la région de fonctionnement linéaire d'un circuit à transistor est diminuée ce qui réduit l'oscillation utilisable du signal de la tension d'entrée d'un CAN. La plage dynamique d'un CAN est plus ou moins définie comme étant la plage d'amplitudes d'entrée qui est plus grande que le bruit et la distorsion du système.

3.5 La puissance :

Un but important dans n'importe quelle conception d'un circuit est de réduire au minimum sa puissance. Dans les grands systèmes VLSI où des composants analogiques, numériques, et mixtes qui sont intégrés ensemble, la dissipation de la puissance maximum est souvent stipulée et régie par des issues de fiabilité de circuit et les restrictions de la tension d'alimentation (par exemple dispositifs à piles). Même, un budget de puissance est assigné à un CAN. Le contrôle de la dissipation de puissance est réalisé avec une sélection architecturale et des techniques de conception des circuits.

3.6 La surface :

Quand une conception est présentée en technologie basée sur le silicium, elle occupe inévitablement une surface. Le coût de silicium se développe proportionnellement avec la surface. D'ailleurs, les processus CMOS sont sujets à des défauts dans la technologie. Statistiquement la densité de ces défauts affectera un grand nombre de circuits. Par conséquent, la minimisation de la surface réduira le coût et diminuera la probabilité qu'un circuit échoue en raison des défauts.

3.7 L'immunité au bruit :

Tous les circuits électroniques sont soumis aux sources de bruit environnementales, aléatoires et extérieures comme le bruit thermique, le bruit de scintillation (flicker), la diaphonie (cross talk), le bruit de la tension d'alimentation, le clock jitter, et l'interférence électromagnétique (EMI).

3.8 La latence :

La latence dans les CANs se rapporte au nombre de cycles d'horloge entre l'échantillonnage du signal d'entrée analogique et l'instant quand les données numériques sont présentées à la sortie du CAN. La latence est une considération importante de la conception pour les systèmes de conversion de données en temps réel.

4. Les caractéristiques des convertisseurs A/N :

4.1 Caractéristiques statiques des CANs :

4.1.1 Erreur de quantification:

Si on définit le pas de quantification «q» comme étant à l'intervalle de valeur de signal d'entrée qui a pour image le même code numérique de sortie, alors on peut dire que l'on connaît

la valeur d'un signal numérisé avec une résolution de $\pm q/2$. En outre c'est l'écart entre la tension que l'on convertit (entrée du CAN) et la tension correspondant au code que l'on obtient (sortie du CAN) [5].

C'est une caractéristique en dent de scie à une valeur moyenne nulle de manière à minimiser son influence. Elle évolue entre $\pm q/2$, comme le montre la figure (1.4).

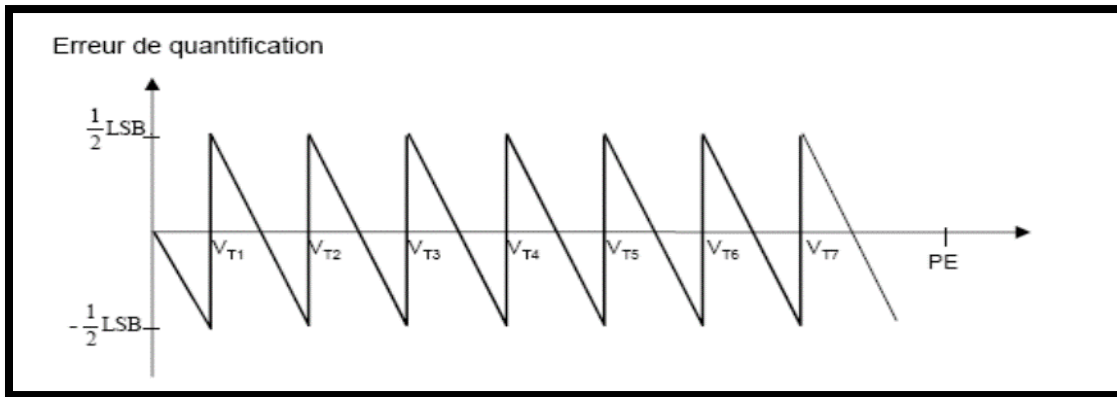


Figure 1. 4 : Erreur de quantification

4.1.2 Erreur d'offset:

L'erreur d'offset est définie comme l'erreur sur le zéro analogique commune à toutes les transitions de code, par rapport à la fonction de transfert d'un CAN parfait. C'est un décalage en tension introduit par le convertisseur sur l'ensemble du signal Figure (1.5).

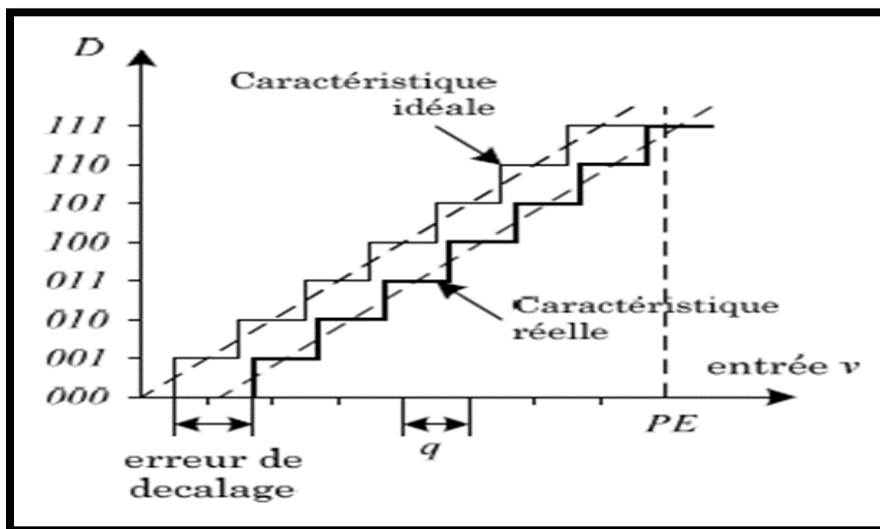


Figure 1. 5: Erreur de décalage

4.1.3 Erreur de gain :

L'erreur de gain correspond à la différence, en pourcentage de la valeur analogique ou en LSB de la pleine échelle de conversion, entre les courbes de transfert théorique et effective, l'erreur d'offset ayant été corrigé Figure (1.6). Une erreur de gain change la pleine échelle effective du convertisseur et, donc, la largeur du quantum. [9]

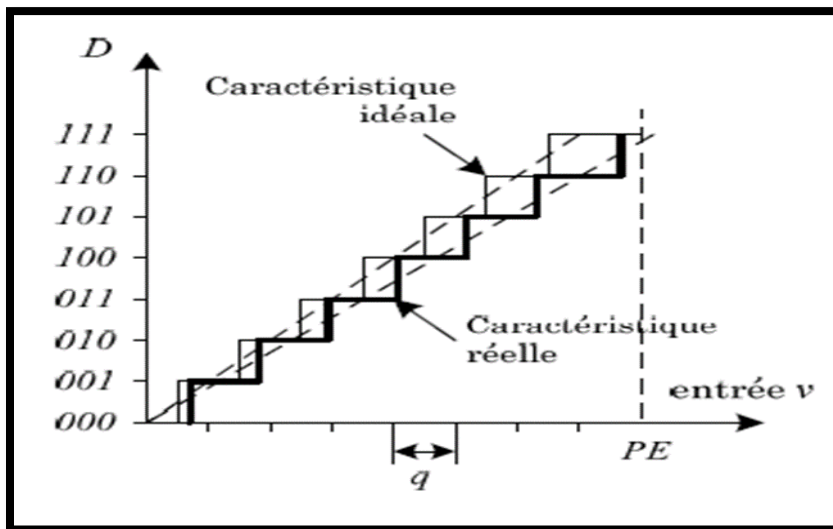


Figure 1. 6 : Erreur de gain

4.1.4 Erreur de linéarité différentielle(NLD) :

Pour un code i , la non linéarité différentielle (NLD) correspond à l'écart relatif entre la largeur réelle de la marche associée à ce code, q_i et la largeur théorique, q de la fonction de transfert ; le tout est divisé par q . Elle est exprimée en LSB Figure (1.7).

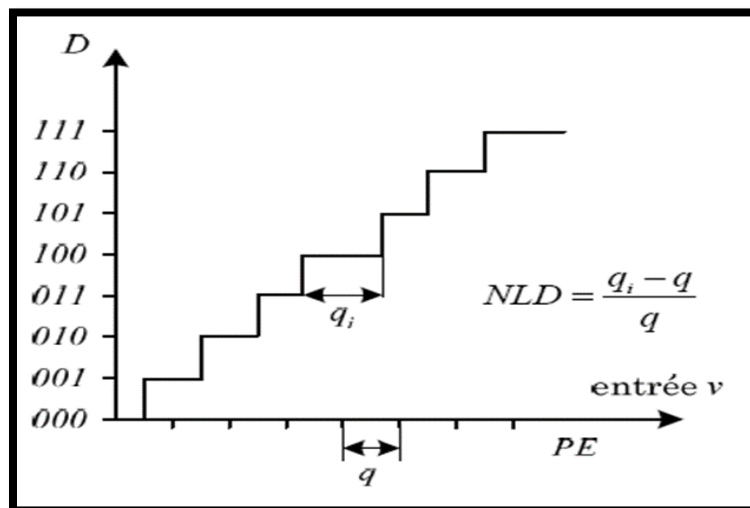


Figure 1. 7 : Erreur de linéarité différentielle

4.1.5 Erreur de linéarité intégrale (NLI) :

La non linéarité intégrale (NLI) traduit, au niveau de chaque code i , l'écart entre la courbe de conversion passant par le milieu de chaque transition de code, et la droite de conversion idéale. Elle est alors la somme des écarts relatifs pour tous les codes précédents, c'est à dire la somme des erreurs de linéarité différentielle des codes inférieurs à i Figure (1.8). [9]

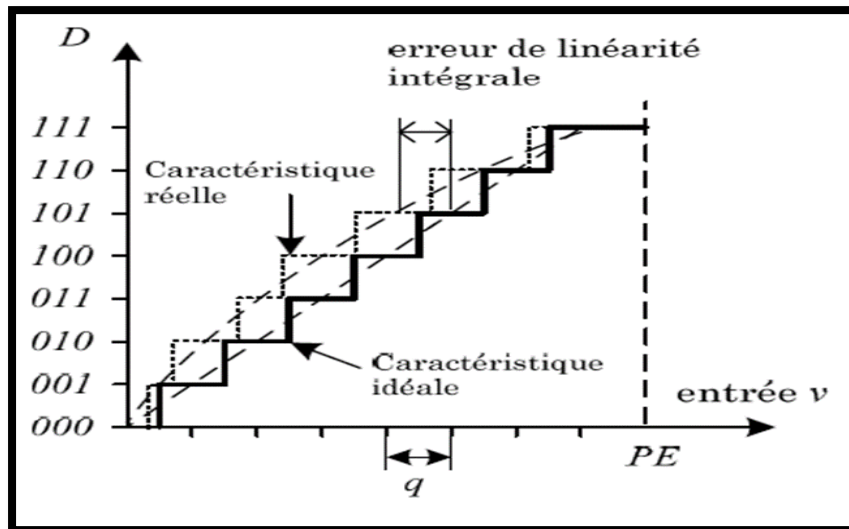


Figure 1. 8 : Erreur de linéarité intégrale

4.2 Caractéristiques dynamiques des CANs :

4.2.1 Le rapport signal sur bruit (SNR) :

Ce paramètre permet d'évaluer la performance d'un convertisseur analogique numérique ; en considérant que le bruit de quantification est la seule erreur introduite lors de la conversion analogique numérique, pour un signal de forme sinusoïdale, sa valeur sera comprise dans l'intervalle $[-0,5q, 0,5q]$, q étant le quantum ; la valeur efficace de ce bruit est donnée par :

$$B_q = \frac{1}{\sqrt{12}} \quad (1.5)$$

Si le CAN est de résolution N , la valeur efficace du signal sinusoïdal dont l'amplitude est égale à la valeur pleine échelle de convertisseur est donnée par :

$$V_{eff} = \frac{2^N}{2\sqrt{2}} \quad (1.6)$$

Le SNR en décibel (dB) est défini par le rapport des équations (1.5) et (1.6) :

$$\begin{aligned} SNR_{dB} &= 20 \log \left(\frac{V_{eff}}{B_q} \right) \\ &= 20 \log \left(\frac{2^N \sqrt{12}}{2\sqrt{2}} \right) = 6,02N + 1,76(dB) \quad (1.7) \end{aligned}$$

4.2.2 La distorsion harmonique totale (THD) :

Cette distorsion est due aux phénomènes non linéaires qui peuvent apparaître dans le CAN.

Elle est définie par :

$$THD = 20 \cdot \log \left(\frac{\sqrt{A_2^2 + A_3^2 + A_4^2 + \dots}}{A} \right) \quad (1.8)$$

Où A est l'amplitude de la composante fondamentale du signal reconstitué en sortie pour un signal d'entrée sinusoïdal et A_2, A_3, A_4, \dots représentent les amplitudes du même signal reconstitué mais aux harmoniques d'ordres supérieures.

4.2.3 Le rapport signal sur bruit et distorsion (SINAD) :

Il est défini par :

$$SINAD = 10 \log \left(\frac{V_{inms}^2}{\text{Bruit}_{dequantification}^2 + \text{Bruit}_{d'échantillonnage}^2 + \text{Distorsion}^2} \right) \quad (1.9)$$

4.2.4 La dynamique sans fréquence parasite (SFDR) :

Le SFDR (Spurious Free Dynamic Range) [6] représente la différence entre la puissance d'une sinusoïde numérisée en pleine échelle et la puissance calculée à la fréquence parasite la plus élevée figure (1.9) ; son expression est donnée par :

$$(SFDR)_{dB} = -20 \log \left(\frac{\max(A_i)}{A} \right) \quad (1.10)$$

Où A est l'amplitude du signal au fondamental et A_i est l'amplitude de la $i^{\text{ème}}$ raie.

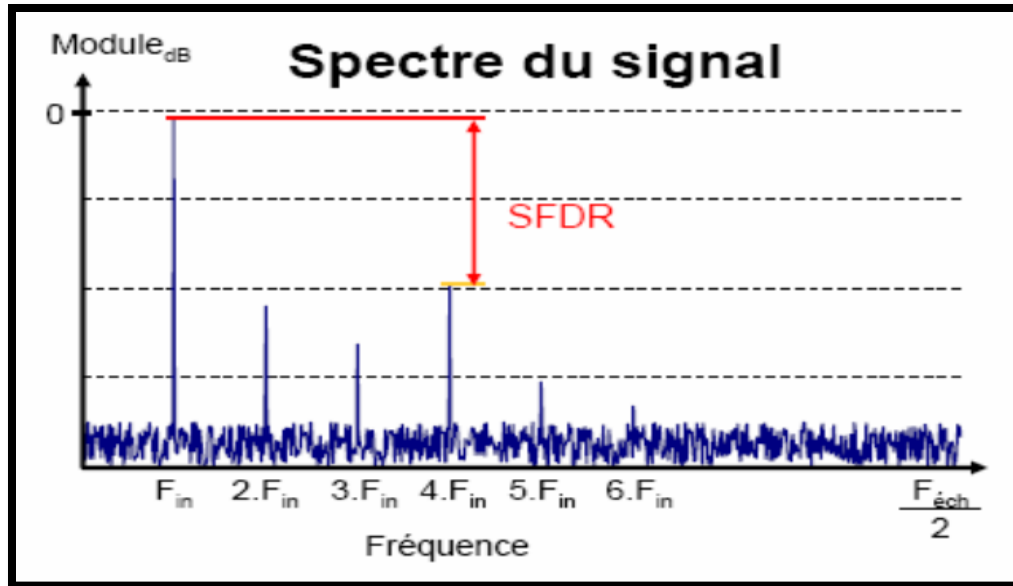


Figure 1. 9 : Mesure du SFDR dans un convertisseur analogique numérique

4.2.5 Le nombre effectif de bits (ENOB) :

Il représente le nombre de bits significatifs du CAN comparé au nombre de bits physiquement disponibles en sortie du composant ;[6] le SNR étant mesuré avec les conditions ci-dessus mentionnées, l'expression du nombre effectif de bits du convertisseur est donnée par :

$$ENOB = \frac{SNR_{dB} - 1.76}{6.02} \quad (1.11)$$

5. Architectures de convertisseurs A/N:

On peut définir sept grandes familles de convertisseurs analogiques numériques, présentant chacune une philosophie de fonctionnement particulière :[6]

- CAN Flash
- Architecture Demi-flash
- Convertisseur cyclique
- CAN Sigma Delta
- CAN Pipeline
- CAN à Approximation successive (SAR)
- CAN Wilkinson (rampe)

5.1 Architecture Flash :

Aussi appelé convertisseur analogique numérique parallèle. Il est constitué d'une série de comparateurs, chacun d'eux comparant son signal d'entrée à une tension unique de référence. Les sorties des comparateurs sont connectées à un encodeur de priorité, celui-ci renvoie une combinaison binaire image de la tension d'entrée V_{in} . La Figure (1.10) montre un CAN flash 3 bits. [3]

Dès que la tension d'entrée analogique (V_{in}) dépasse la tension de référence (V_{ref}) de chaque comparateur, les sorties des comparateurs vont passer à un état haut de manière séquentielle. Plus la valeur de V_{in} est proche de V_{ref} plus le nombre de 1 logique délivrée par les comparateurs sera élevé. L'encodeur génère alors un code binaire basé sur la combinaison renvoyée par les comparateurs. Ce type de CAN nécessite l'intégration de 2^N-1 (avec N le nombre de bit du convertisseur) comparateurs. L'architecture flash permet la mise en œuvre de CAN rapide mais présentant une dissipation de puissance élevée. [3]

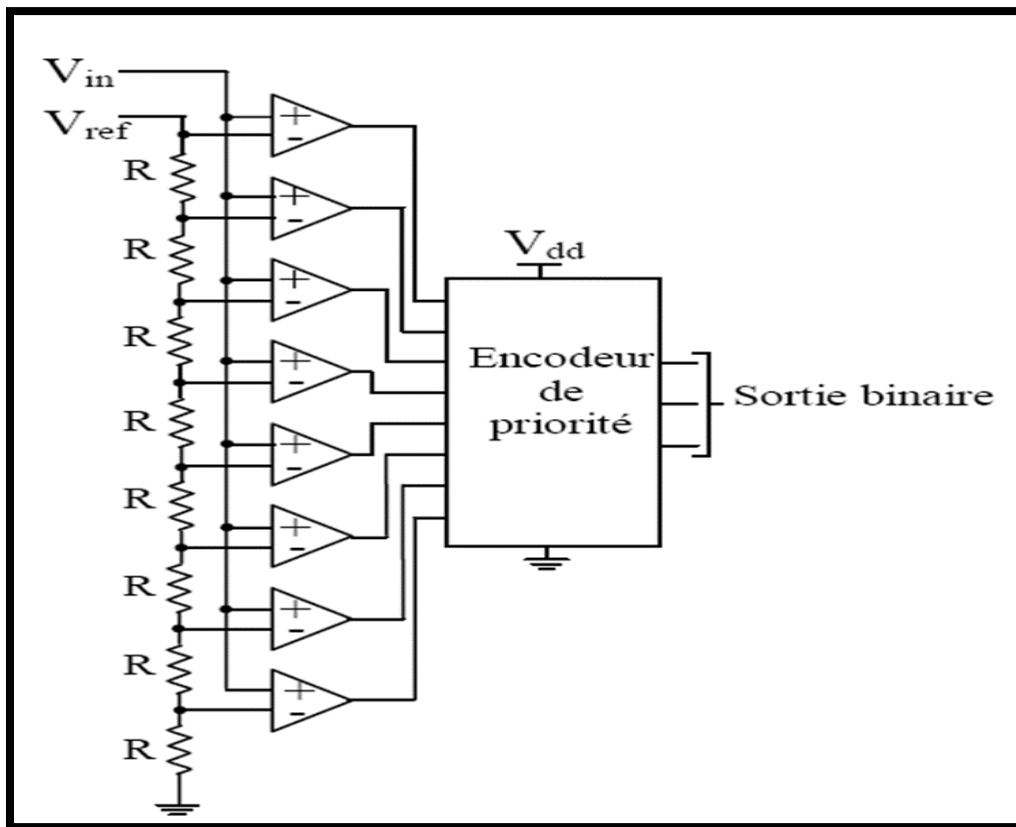


Figure 1. 10 : Architecture de CAN flash 3 bits à échelle de résistance

5.2 Architecture Demi-flash :

La principale idée de cette architecture est de réduire le nombre de comparateurs d'un CAN flash. Comme on le voit sur la Figure (1.11), la conversion est effectuée en deux étapes par deux CAN flash de résolution $2^{N/2}$ chacun. Le nombre total de comparateurs est $2 \times (2^{N/2} - 1)$ au lieu de $2^N - 1$ comparateurs par rapport à un Flash traditionnel. Durant la 1^{ère} étape, les bits de poids fort (Most significant bits –MSB) sont déterminés par le 1^{er} ADC flash. Ensuite, un CNA reconvertit ces bits en signal analogique qui sera soustrait au signal d'entrée. Le résultat de soustraction amplifié, appelé résidu, est envoyé au 2^{ème} ADC flash qui déterminera les bits de poids faible. [7]

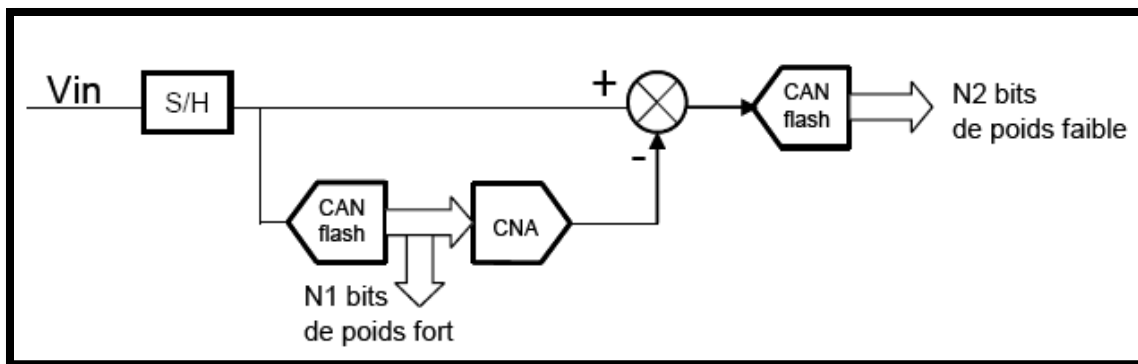


Figure 1. 11 : CAN Demi-flash

5.3 Convertisseur cyclique :

Le convertisseur de type cyclique est un cas particulier du convertisseur Pipeline. L'architecture du CAN est présentée sur la Figure (1.12).

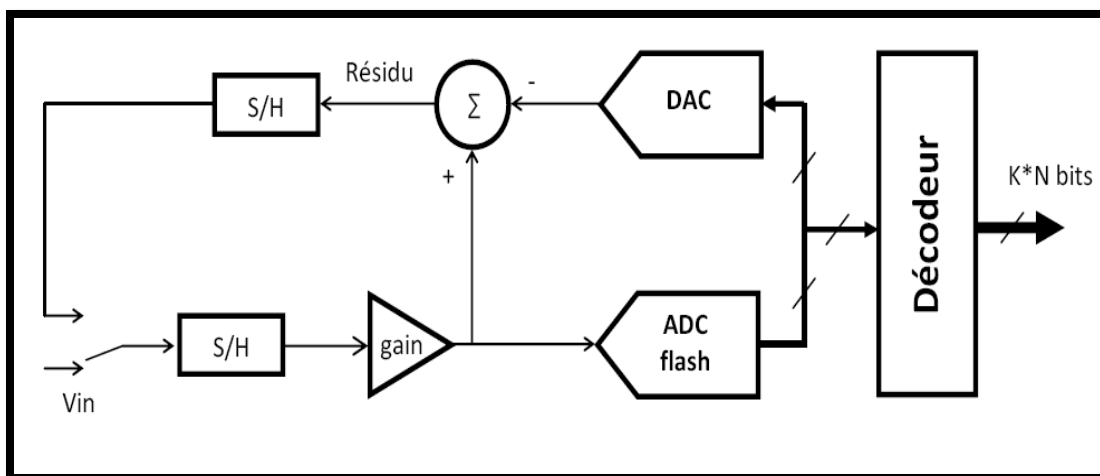


Figure 1. 12 : Architecture CAN cyclique.

L'opération de conversion est réalisée sur un seul étage. Le principe de fonctionnement d'un tel convertisseur est le même que celui d'un étage MDAC du CAN pipeline. La donnée binaire de sortie est valide au bout de N coups d'horloge dans le cas d'une résolution de N bits. Le principal avantage d'un tel convertisseur est la surface occupée par le circuit : un seul étage MDAC. Par contre, sa fréquence d'échantillonnage est réduite du fait du système bouclé. Par comparaison au CAN Pipeline, sa consommation équivalente est plus élevée [8].

5.4 Architecture Wilkinson :

Le schéma de l'architecture d'un CAN Wilkinson est présenté sur la figure (1.13) ainsi que le chronogramme d'une conversion. Cette architecture a été particulièrement appréciée dans les années soixante-dix pour sa grande précision et sa consommation réduite. [3]

Cependant, de nos jours les applications évoluant, l'architecture SAR que nous détaillerons dans une prochaine partie l'a très largement remplacé. L'architecture Wilkinson reste cependant appréciée dans le domaine de la spectroscopie pour sa monotonie garantie ainsi que la faible valeur de son erreur de DNL. La Figure (1.13) illustre le principe de ce type de convertisseur. Il est constitué d'un générateur de rampe, d'un comparateur et d'un compteur numérique. Le signal échantillonné est comparé à la rampe balayant toute la dynamique d'entrée. Le compteur numérique est activé lorsque la rampe « débute ». La donnée binaire de sortie est valide à la sortie du compteur lorsque la rampe générée est supérieure au signal d'entrée échantillonné. [3]

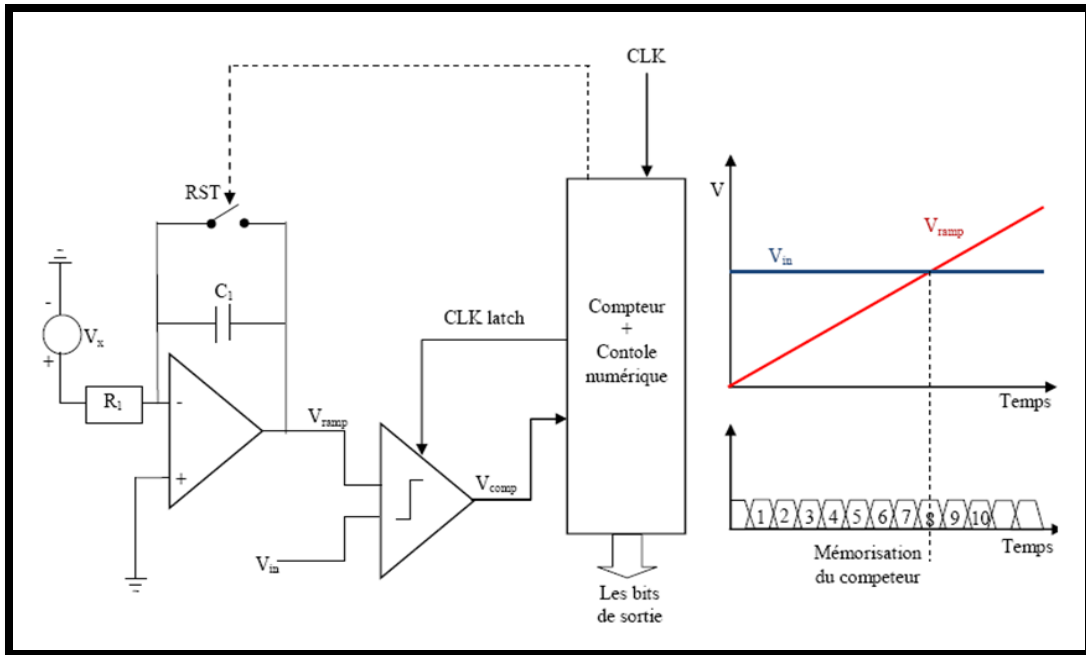


Figure 1. 13 : Architecture de CAN Wilkinson

Une rampe analogique couvrant toute la dynamique de conversion est générée de manière synchrone à un compteur. La valeur de cette rampe est comparée à chaque incrémentation du compteur au signal à convertir. Une fois que cette dernière devient inférieure à la valeur de la rampe, le comparateur bascule et arrête le compteur. La valeur du compteur représente directement le code de sortie. C'est la résolution du compteur qui détermine le nombre de bit du convertisseur.

Le principal avantage d'un tel convertisseur est sa simplicité. De plus, il peut atteindre une résolution supérieure à 16 bits. Son principal inconvénient est sa vitesse de conversion. Elle dépend de la génération de la rampe. Enfin, pour une résolution de N bits, la rampe doit également être précise à N bits. Dans le cas des applications multivoies, cette architecture présente l'inconvénient de la dispersion : soit les pentes des rampes, ou les offsets des comparateurs. [3]

5.5 Architecture à approximations successives :

Les convertisseurs par approximations successives réalisent la conversion par comparaison en plusieurs étapes. A chaque étape, le résultat de cette comparaison est stocké dans un registre, jusqu'à l'obtention du résultat final. Le principe consiste à comparer la tension du signal d'entrée avec une tension issue d'un registre après conversion numérique analogique (CNA). Le schéma bloc de la Figure (1.14) montre le fonctionnement d'un tel convertisseur. Au départ le MSB du registre est mis à 1 et les autres bits sont à 0. [7]

Ainsi, la tension en sortie du DAC est égale à la moitié de la pleine échelle. Si la tension d'entrée est inférieure à cette valeur, le MSB est mis à 0. A son tour, le bit suivant sera mis à 1 et une nouvelle comparaison avec le signal d'entrée sera faite, jusqu'au dernier bit du registre. Une résolution de N bits implique une durée de conversion minimale de N cycles d'horloge. Son principal inconvénient est donc le temps de conversion, qui limite ses performances à quelques MS/s environ. En dépit de sa lenteur, ce convertisseur présente l'avantage d'être simple à réaliser et d'avoir une surface modérée. Il permet d'atteindre des résolutions jusqu'à 12 bits sans calibration avec de bonnes performances en termes d'INL et DNL. Le temps de conversion est constant. [7]

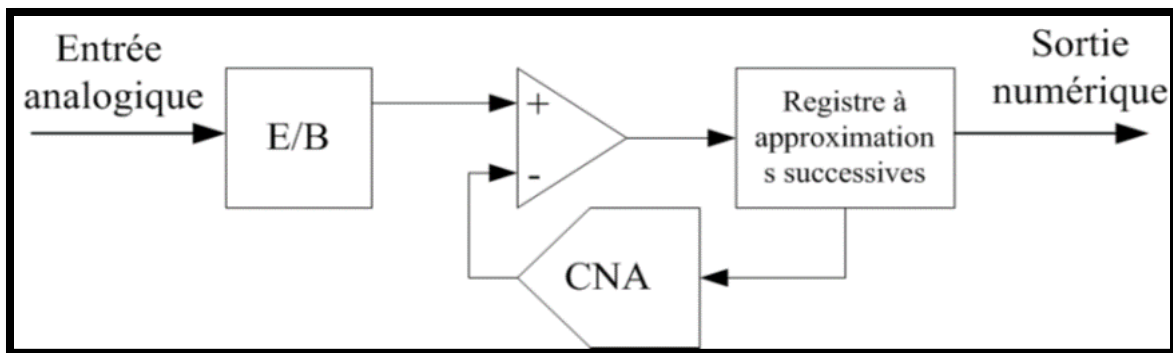


Figure 1. 14 : ADC SAR (Successive approximation register)

5.6 Architecture Sigma-Delta :

L'architecture sigma-delta a une approche fondamentalement différente de celles que nous avons détaillées précédemment. Le convertisseur sigma-delta, dans sa forme la plus basique, est composé d'un intégrateur, un comparateur et un CNA à 1 bit comme le montre la figure (1.15). [2]

Le fonctionnement de cette architecture repose sur le principe du sur-échantillonnage. La sortie du CNA est soustraite du signal d'entrée V_e , cette différence est intégrée par un intégrateur et convertie, ensuite, en numérique (0 ou 1) par un comparateur. Ce résultat sera reconverti en signal analogique par un CNA à 1 bit, la sortie du CNA est soustraite du signal d'entrée, et ainsi de suite. Cette boucle fermée fonctionne à une fréquence très élevée par rapport à la fréquence du signal d'entrée (principe du sur-échantillonnage). [2]

La sortie du comparateur (ou CAN à 1bit) est une suite de « zéros » et de « uns », et la valeur du signal est proportionnelle à la densité des « uns » venant du comparateur. Cette chaîne est ensuite filtrée par un filtre à décimation pour trouver la forme binaire en sortie du CAN.

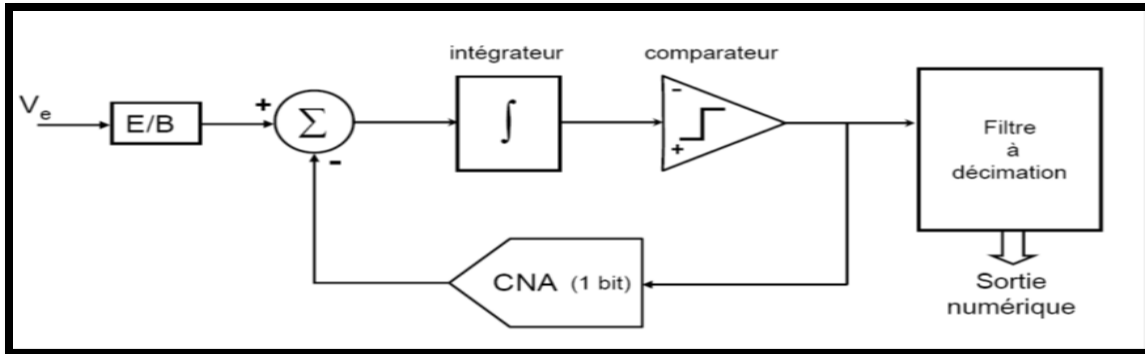


Figure 1. 15 : Schéma de principe d'un CAN sigma-delta

L'avantage majeur de l'architecture sigma-delta est la mise en forme du bruit (noise shaping), un phénomène qui permet de repousser effectivement le bruit de quantification vers des fréquences en dehors de la bande passante intéressante. Ce qui diminue ce bruit dans la bande de fréquence utile du signal à convertir.

Ce type de CANs est utilisé dans des applications nécessitant une grande précision de mesure pour des signaux de faible bande passante. En utilisant le sur-échantillonnage, cette architecture ne nécessite pas de filtre à anti repliement. L'inconvénient de cette architecture est sa faible vitesse de conversion. [2]

5.7 Architecture Pipeline :

Cette architecture consiste en une succession de différents étages. Chacun des étages contient : un circuit échantillonneur /bloqueur (E/B), un CAN à faible résolution, un convertisseur numérique - analogique, un circuit sommateur et un amplificateur. [1]

Le convertisseur Pipeline est un compromis entre les CAN « Flash » et les CAN « SAR ». En effet, comme nous l'avons noté précédemment, les CAN « Flash » sont constitués de 2^N-1 comparateurs et les CAN « SAR » d'un seul comparateur. Contrairement aux architectures de convertisseurs précédents, les CAN « Pipeline » répartissent l'opération de conversion sur M étages. L'architecture de ce convertisseur est illustrée sur la Figure (1.16). [1]

Il est constitué d'un CAN Flash fournissant sur un nombre de bits réduit une partie de la donnée binaire. La deuxième partie de l'étage est constituée d'un « sommateur », d'un

convertisseur numérique – analogique et d'un amplificateur permettant d'amplifier le signal d'erreur dans le but d'obtenir un signal à la pleine échelle pour l'étage suivant. Cette deuxième partie est généralement appelée « MDAC » (Multiplying DAC).

La présence des registres à décalage permet de rendre cohérent et de synchroniser les données binaires en sortie. Le convertisseur de type Pipeline possède une architecture efficace en termes de résolution et de vitesse avec une consommation assez raisonnable et une taille réduite pour le circuit. [1]

A chaque coup d'horloge, le convertisseur effectue n conversions en parallèle. Chaque conversion est dédiée à une partie du code binaire. En traversant le convertisseur (en n clocks), la tension d'entrée est convertie en commençant par les bits de poids fort et finissant par les bits de poids faible.

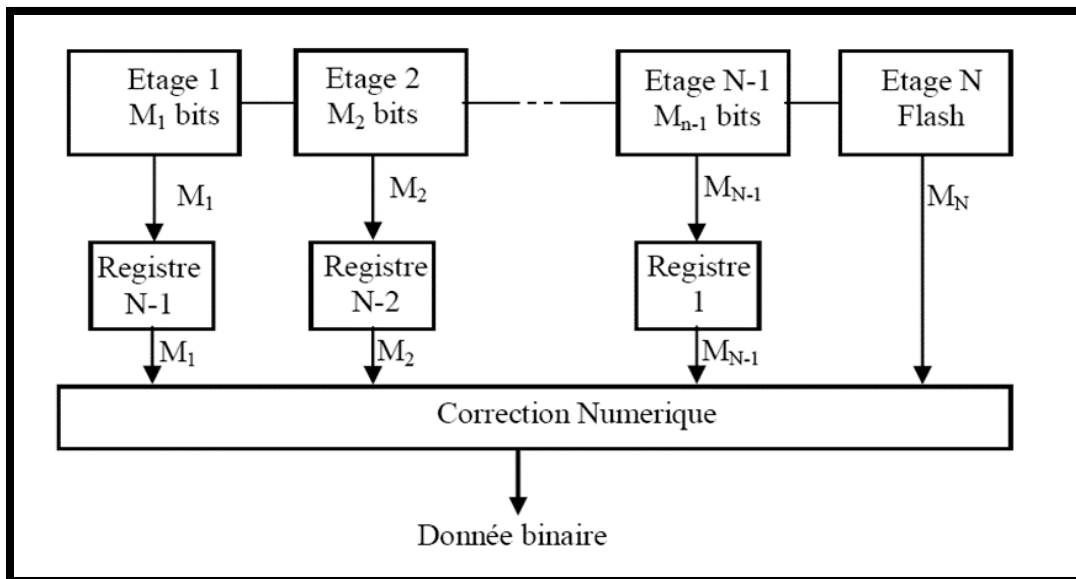


Figure 1. 16: Architecture de CAN pipeline

A la fin de chaque étage, on calcule le résidu de la conversion partielle, ce résidu est ensuite ramené à pleine échelle par une multiplication. Ce convertisseur possède un temps de latence en raison de la propagation de l'entrée dans les cellules (ici trois coups d'horloge). Une fois le convertisseur « chargé », une nouvelle conversion est effectuée à chaque coup d'horloge. [1]

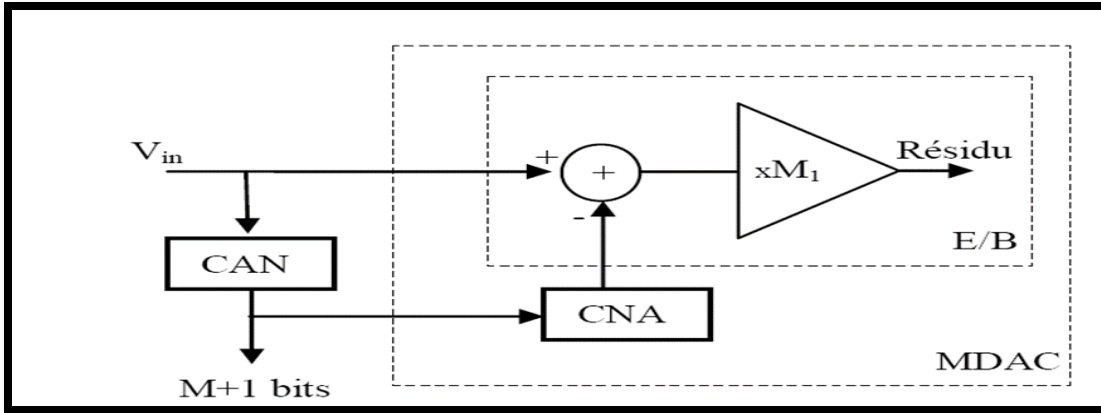


Figure 1. 17: Architecture d'un étage "MDAC"

6. Bilan des convertisseurs analogiques-numériques :

Les convertisseurs Analogiques – Numériques font l'interface entre le monde naturel : signaux continus, et le monde des ordinateurs : suite de 1 et de 0. Il existe différents types de convertisseurs Analogiques – Numériques (Figure 1.18) des plus rapides (avec une fréquence d'échantillonnage, f_s , élevée : au-delà du GHz) et une résolution faible (8 à 10 bits), au plus lents (quelques KHz pour f_s) mais précis (24 bits de résolution par exemple). [1]

La description simplifiée des différents types de CAN existants permet d'avoir une idée de leurs propriétés intrinsèques. Ainsi, le tableau (1.1). Effectue une comparaison qualitative de chacun des types de CAN. [8]

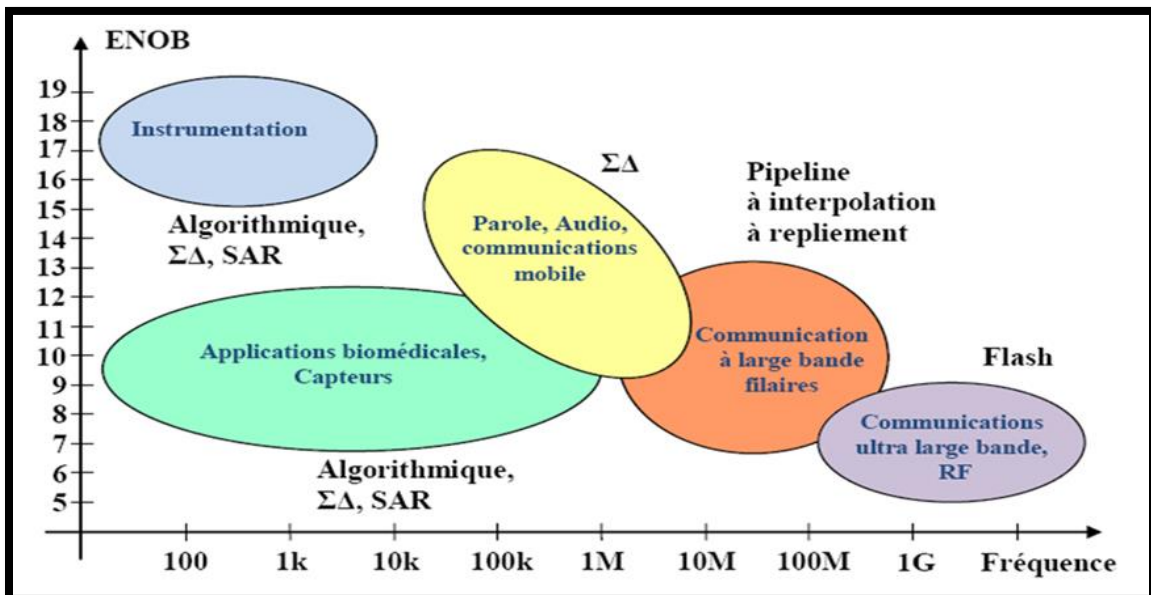


Figure 1. 18 : Hiérarchie des différents Convertisseurs Analogiques-Numériques

➤ **Tableau 1.1 : Résumé sur les architectures de CAN**

Architecture	Résolution	Vitesse de Conversion	Avantages/inconvénients
Wilkinson	8 à 18 bits	≤ 100 kHz	<ul style="list-style-type: none"> ➤ Simplicité ➤ Résolution élevée ➤ Faible consommation ➤ Excellente réjection du bruit ↳ Très faible vitesse d'échantillonnage ↳ Dispersion pour le multi voies ↳ Offset comparateur
Sigma-Delta	16 à 24 bits	≤ 5 MHz	<ul style="list-style-type: none"> ➤ Résolution la plus élevée ➤ Excellente linéarité ➤ Faible consommation ➤ Excellente réjection numérique du bruit ↳ Vitesse d'échantillonnage limitée
SAR	8 à 16 bits	≤ 20 MHz	<ul style="list-style-type: none"> ➤ Résolution élevée ➤ Faible consommation ↳ Vitesse d'échantillonnage limitée ↳ CNA et comparateur : Principe difficiles

Chapitre 1 : Généralités sur les convertisseurs analogiques numériques

PIPELINE	8 à 16 bits	Entre 10 à 500 MHz	<ul style="list-style-type: none">➤ Très rapide (Pipeline)➤ Correction numérique des erreurs➤ Meilleur compromis vitesse/résolution➤ Latence des données au démarrage
FLASH	6 à 10 bits	Jusqu'à 20 GHz	<ul style="list-style-type: none">➤ Les plus rapides➤ Résolution limitée➤ Puce de dimension importante➤ Capacité d'entrée élevée➤ Consommation importante

7. Conclusion:

Dans ce chapitre, les concepts de base du convertisseur analogiques-numériques ont été introduites. Ensuite, les caractéristiques et les performances fondamentales pour caractériser les CANs ont été décrites. Enfin, les principales architectures de convertisseurs analogiques-numériques ont été examinées.

Comme nous l'avons vu au cours de ce chapitre, il existe de nombreuses architectures permettant la conversion d'un signal analogique en un signal numérique, et chacune présente ses avantages et inconvénients en termes de performances. Les limitations de chacune des convertisseurs ont été définies et permettent de déterminer l'intérêt du développement de certaines. En effet, il est toujours difficile d'améliorer deux critères avec une seule configuration. Chaque architecture conduit à des spécificités et permet de s'adapter aux performances souhaitées.

Les domaines d'applications des convertisseurs analogiques/numériques étant aussi très différents. Des critères tels que la résolution, la bande passante, la gamme dynamique et la consommation sont déterminantes dans le choix d'un convertisseur.

Dans le chapitre suivant, on va aborder le principe de fonctionnement du CAN pipeline.

Bibliographie Chapitre 1 :

- [1] Samir BARRA, "Contribution à la Conception d'un Convertisseur Analogique Numérique en Technologie CMOS, " Thèse de Doctorat en microélectronique, Université de Batna, 2013.
- [2] Mokrane DAHOUMANE, "Conception, Réalisation et Caractérisation de l'Électronique Intégrée de Lecture et de Codage des Signaux des Détecteurs de Particules Chargées à Pixels Actifs en Technologie CMOS," Thèse de Doctorat en microélectronique, Université de Strasbourg, 2009.
- [3] Nicolas PILLET, "Conception et intégration de convertisseurs Analogique/Numérique, compacts, à bas bruit, adaptés aux capteurs CMOS destinés à la détection de particules chargées," Thèse de Doctorat en microélectronique, Université de Strasbourg, 2010.
- [4] HANFOUG Salah, "Contribution à la Conception des circuits Mode de courant en Technologie CMOS," Thèse de Doctorat en microélectronique, Université de Batna, 2016.
- [5] Abdelmadjid MIHOUBI, "Conception d'un convertisseur analogique numérique Sigma Delta du 1er ordre à 12 bits," Mémoire de Magister en microélectronique, Université de Strasbourg, 2010.
- [6] Joël Roméo NGANKIO NJILA, "Analyse d'une nouvelle architecture pipeline de convertisseur analogique numérique supraconducteur, " Thèse de Doctorat en nanoélectronique et nanotechnologies, Université de Grenoble, 2012.
- [7] Guillaume REGIS, "Conception de circuits analogiques-numérique pour le conditionnement de micro capteurs embarqués," Thèse de Doctorat en Physique Expérimentale et Instrumentation, Université de Grenoble, 2011.
- [8] Abdelghani DENDOUGA, "Contribution à la Modélisation et à la Conception d'un Convertisseur Analogique Numérique Sigma Delta," Thèse de Doctorat en microélectronique, Université de Batna, 2013.

Bibliographie Chapitre 1 :

- [9] Chiheb REBAI, " Contribution à la Caractérisation des Convertisseurs Analogiques Numériques haute performances : Mise en œuvre de nouveaux systèmes de traitement du signal pour le test in-situ," Thèse de Doctorat en électronique, Université de Bordeaux I, 2002.

- [10] Christopher. Taillefer, "Analog-to-Digital Conversion via Time-Mode Signal Processing," PhD Thesis, McGill University, Montréal, 2007.

- [11] Emmanuel ALLIER, "Interface analogique numérique asynchrone : Une nouvelle classe de convertisseurs bases sur la quantification du temps," Thèse de Doctorat en microélectronique, Institut National Polytechnique de Grenoble, 2003.

CHAPITRE 2

Conception du convertisseur analogique numérique pipeline

1. Introduction:

Les convertisseurs analogiques-numériques de type pipeline ont apparu au milieu industriel dans les années 1970 et ils sont devenus de plus en plus utilisés pour de nombreuses applications industrielles. Ce type des convertisseurs présente l'architecture la plus populaire. La popularité de ces convertisseurs est due à leur bon compromis entre la largeur de bande, la résolution, la vitesse de fonctionnement et la consommation.

Les convertisseurs pipeline sont optimisés pour des applications nécessitant une grande vitesse de conversion, une faible consommation et un volume restreint. C'est pourquoi ils deviennent les CANs les plus utilisés pour les systèmes de communication, les appareils médicaux, la vidéo numérique, et tous les appareils portables.

Ce chapitre se concentre sur les convertisseurs analogiques numériques de type pipeline. Nous aborderons la notion de principe de fonctionnement du CAN pipeline. Par la suite, on va détailler les blocs de construction clés d'un convertisseur analogique numérique de type Pipeline ainsi que présenter les avantages et les inconvénients de ce type de convertisseur.

2. Architecture des CANs pipeline :

Le CAN de type pipeline est un convertisseur cadencé, ce qui signifie que l'entrée est échantillonnée puis convertie. Il est composé d'une série d'étages, où le signal analogique échantillonné est cadencé et progressivement converti, comme on le voit sur la figure (2.1). Chaque étage produit une sortie numérique à partir d'un sous-ADC de basse résolution, qui dans la plupart des cas sont basés sur la structure flash. Cette sortie numérique est ensuite stockée dans des registres jusqu'à ce que le signal analogique ait traversé tous les étages. [14]

La fonctionnalité de chaque étage individuel est comme le montre la figure (2.2), d'abord échantillonner et maintenir (S / H) le signal d'entrée, puis préformer une conversion à basse résolution en signaux numériques. Ce qui est fait par le petit flash sub-ADC. Le signal numérique est ensuite stocké dans un délai composant et également envoyé dans un convertisseur numérique-

analogique et reconverti en un signal analogique. Ce signal analogique est ensuite soustrait du signal d'entrée d'origine, le résidu résultant est finalement multiplié et mis en sortie. La multiplication est déterminée par la résolution en nombre de bits du sub-ADC. [14]

Les avantages de la structure pipeline résident dans la latence prédéfinie et haute débit. Dans la plupart des applications telles que la transmission de données, la latence élevée n'est pas un problème. La structure pipeline ne sera pas une solution appropriée si une application a besoin des mesures "quasi temps réel".

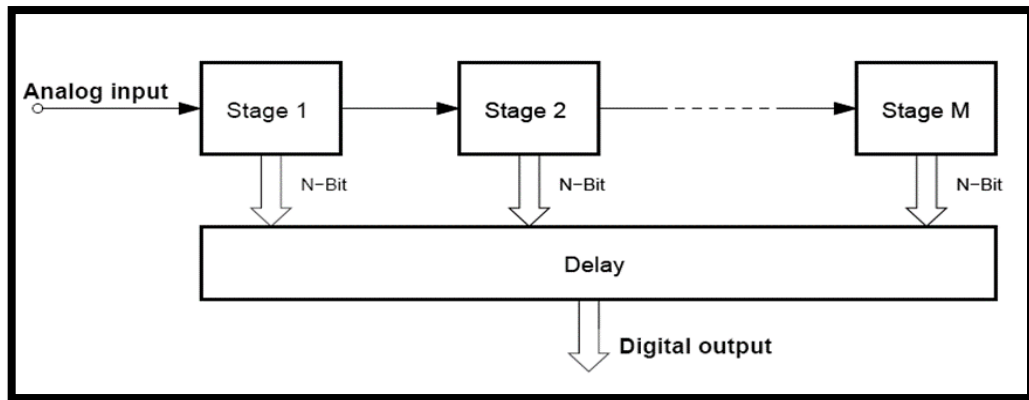


Figure 2. 1 : Structure générale d'un CAN pipeline

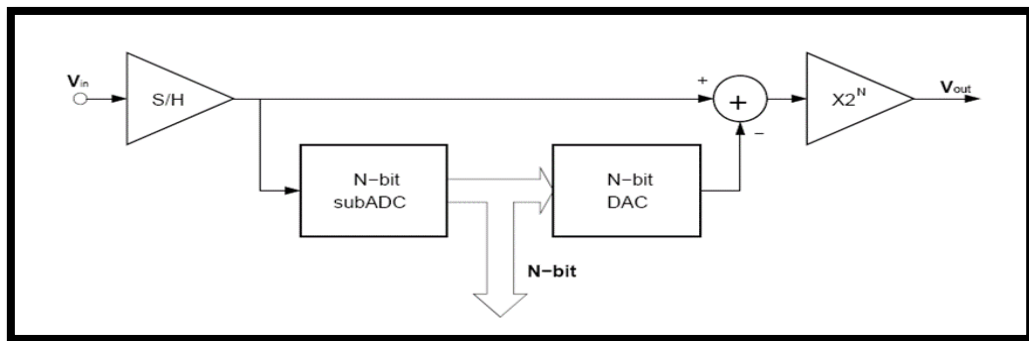


Figure 2. 2 : Les étages d'un CAN pipeline

3. Principe de fonctionnement de CAN pipeline :

Dans le but de comprendre le fonctionnement du CAN de type pipeline, l'organigramme qui présente le principe de base de conversion dans chaque étage (1-bit par étage) est montré sur la figure (2.3). [4]

Le signal d'entrée est comparé au niveau de référence du comparateur. Si le signal d'entrée plus grand que la référence, le résultat de soustraction entre la référence et le signal qui est convertit par sub-CAN s'appelé « résidu. ». Le résidu est alors multiplié par le facteur

d'amplification (deux dans le cas de 1 bit) et appliqué à l'entrée de prochain étage pour continuer la prochaine comparaison afin de produire le bit moins significatif, le premier étage du convertisseur est responsable du bit le plus significatif du correcteur numérique, et le dernier étage du convertisseur est responsable de produire le moindre bit significatif.[4]

Dans un but d'avoir le plus petit nombre des bits dans chaque étage, Afin d'avoir la meilleure performance en termes de vitesse, la puissance et la complexité, un bit par étage est le minimum et devrait donner les meilleures performances. Cependant, au moins une comparaison supplémentaire est nécessaire pour donner la redondance à DEC (Digital Error Correction). Par conséquent, on a conçu sub-CAN et sub-CNA avec 1.5 bit par étage (2 seuils, 3 niveaux). [4]

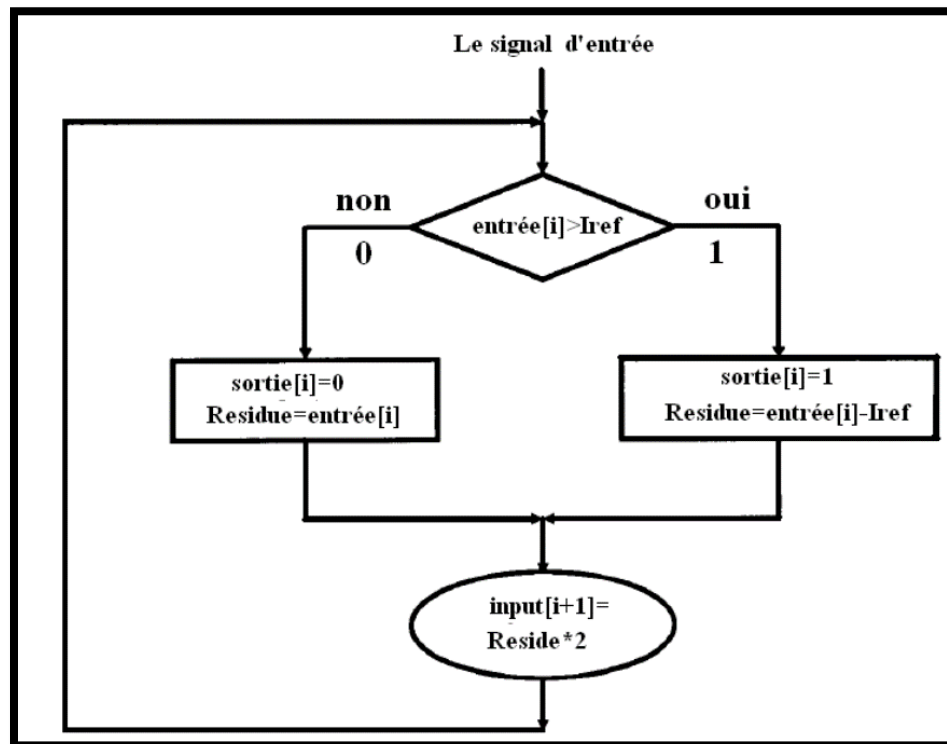


Figure 2. 3 : Organigramme d'opération d'un étage

3.1 Fonctionnement d'un étage à 1,5 bits :

Il s'agit d'une structure à capacités commutées. Un étage classique (à 1,5 bits) est constitué :

- D'un sous-CAN flash (comparateurs et bascules),
- D'un multiplexeur,

- De capacités d'échantillonnage (C_s) et de retour (C_f),
- D'un amplificateur-soustracteur,
- D'interrupteurs analogiques.

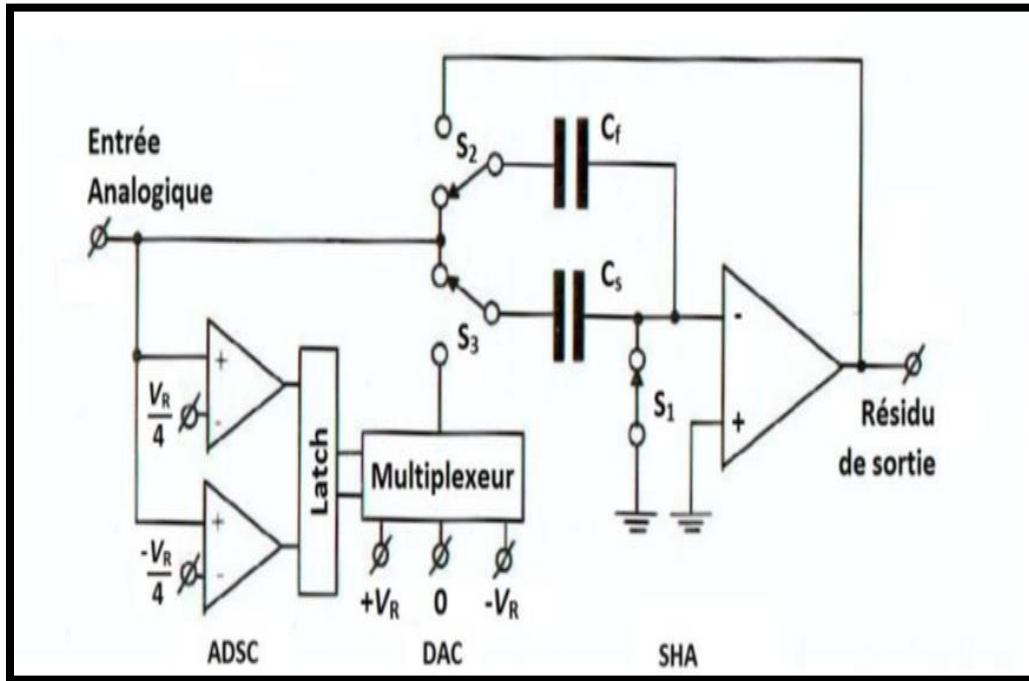


Figure 2. 4 : Structure schématique d'un étage classique single-ended de 1,5 bits d'un CAN pipeline

Ici, la plage totale (full-scale) tolérée en entrée va de $-V_R$ à $+V_R$. Lors de la première phase, dite d'échantillonnage, l'entrée analogique est appliquée aux capacités C_s et C_f , ainsi qu'aux comparateurs du sous-CAN afin d'évaluer la valeur de l'entrée par rapport à $(-V_R/4)$ et $(+V_R/4)$.

Puis, durant la deuxième phase, dite de soustraction-amplification, C_f est connectée à la sortie (contre-réaction), alors que C_s est connectée à la sortie du multiplexeur, délivrant une tension valant $-V_R$ (si $V_{in} < -V_R/4$), $0V$ (si $-V_R/4 < V_{in} < V_R/4$), ou $+V_R$ (si $V_{in} > V_R/4$). [12]

L'équation des charges donne alors :

$$V_{out} = \left(1 + \frac{C_s}{C_f}\right) \times V_{in} - \frac{C_s}{C_f} \times \varepsilon \times V_R$$

Où :

$$\left\{ \begin{array}{l} \varepsilon = 1, \text{ si } V_{in} > \frac{V_R}{4} \\ \varepsilon = 0, \text{ si } -\frac{V_R}{4} < V_{in} < \frac{V_R}{4} \\ \varepsilon = -1, \text{ si } V_{in} < -\frac{V_R}{4} \end{array} \right. \quad (2.1)$$

Généralement, on prend $C_s = C_f$, ce qui donne donc :

$$\left\{ \begin{array}{l} V_{out} = 2 \times V_{in} - V_R, \text{ si } V_{in} > \frac{V_R}{4} \\ V_{out} = 2 \times V_{in}, \text{ si } -\frac{V_R}{4} < V_{in} < \frac{V_R}{4} \\ V_{out} = 2 \times V_{in} + V_R, \text{ si } V_{in} < -\frac{V_R}{4} \end{array} \right. \quad (2.2)$$

Ainsi, l'amplificateur a un gain de 2 en boucle fermée et la fonction de transfert idéale est la suivante Figure (2.5) : [12]

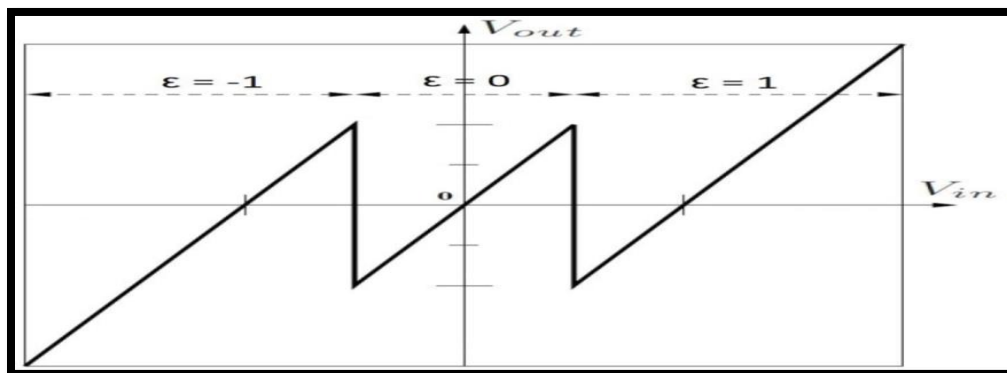


Figure 2. 5 : Fonction de transfert idéale d'un étage 1,5 bits

L'avantage de ce type d'amplification du résidu est que l'on profite de la bonne linéarité en milieu de plage, celle-ci se dégradant lorsque l'on se rapproche de la pleine échelle. [12]

4. Les blocs de construction clés d'un CAN Pipeline :

4.1 Le générateur d'horloge:

Il existe différentes topologies du générateur d'horloge. Les signaux d'horloge utilisés dans les circuits à capacités commutées dans le CAN pipeline sont générés par le générateur d'horloge comme le montre la figure (2.6). À partir d'un signal d'horloge $clock_in$ fonctionnant à 100MHz, les deux signaux d'horloge non-chevauchés $\phi 1$ et $\phi 2$ sont générés. [13]

D'autres signaux d'horloge $\phi 1p$ et $\phi 2p$ sont avancés légèrement que $\phi 1$ et $\phi 2$ respectivement, ce qui permet de réduire l'injection de charges. [13]

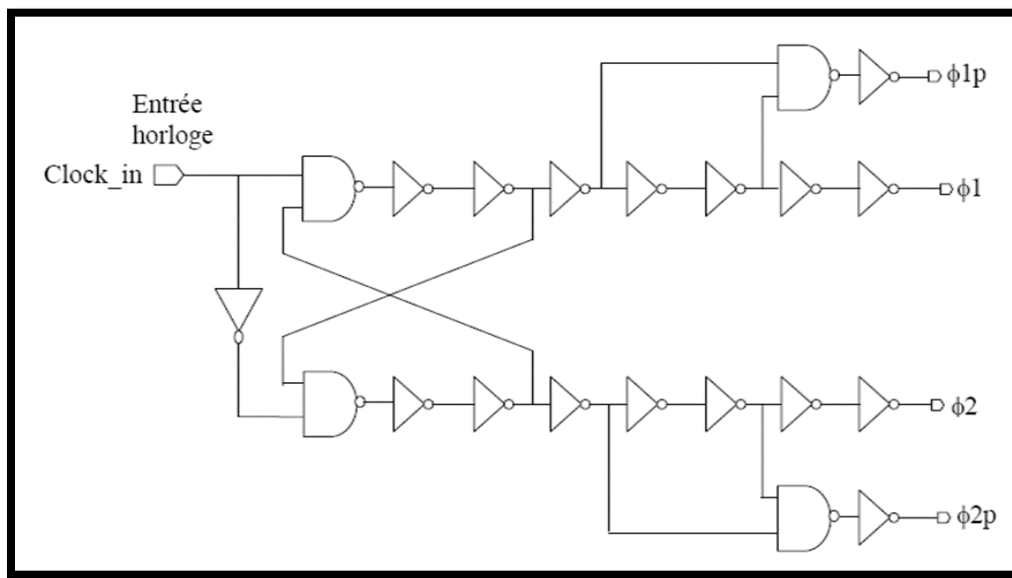


Figure 2. 6 : Générateur d'horloge

4.2 Les Amplificateurs Opérationnels :

Un amplificateur opérationnel (amp-op) n'est pas seulement un composant largement utilisé dans la plupart des circuits analogiques, mais un élément constitutif très important d'un CAN pipeline à capacité commutée car il limite souvent les performances telles que la vitesse et la précision, et consomme plus de la puissance dans les circuits à capacités commutées.[1] Afin de ne pas limiter les performances de linéarité de l'amp-op par les non-idéalités, les amp-ops doivent

avoir un grand gain DC et une large bande passante suffisante pour que la sortie s'installe de 1/2 LSB à la valeur désirée en un demi-cycle d'horloge.

L'élément de base de l'étage « MDAC » est l'amplificateur opérationnel (amp-op). Le gain en boucle ouverte de l'amplificateur doit être élevé pour garantir la précision du convertisseur A/N.

Dans cette section, les paramètres importants des différentes topologies d'amp-op sont examinés et leurs avantages et inconvénients sont discutés. [1]

4.2.1 Amplificateur opérationnel à deux étages :

La Figure (2.7) montre un schéma d'un amplificateur opérationnel CMOS de base à deux étages. Un étage différentiel d'entrée pilote une charge active suivi d'un second étage de gain. Un étage de sortie n'est généralement pas utilisé mais peut être ajoutée pour la conduite de grandes charges hors puce. Cette configuration de circuit offre une bonne plage en mode commun, un swing de sortie, le gain en tension, et le CMRR dans un circuit simple qui peut être compensé par un seul condensateur.

Le gain de l'amplificateur opérationnel à deux étages peut être approximativement :

$$A_v = g_{m1} \cdot (r_{o1} // r_{o3}) \cdot g_{m1} \cdot (r_{o6} // r_{o7}) \quad (2.3)$$

Le produit gain bande passante de l'amplificateur à deux étages est donné par :

$$w_u = \frac{g_{m1}}{C_c} \quad (2.4)$$

La vitesse de balayage est donnée par :

$$SR = \min \left(\frac{I_5}{C_c} \right) \quad (2.5)$$

Où I_5 , C_c sont le courants de polarisation du transistor M_5 et la capacité de compensation respectivement.

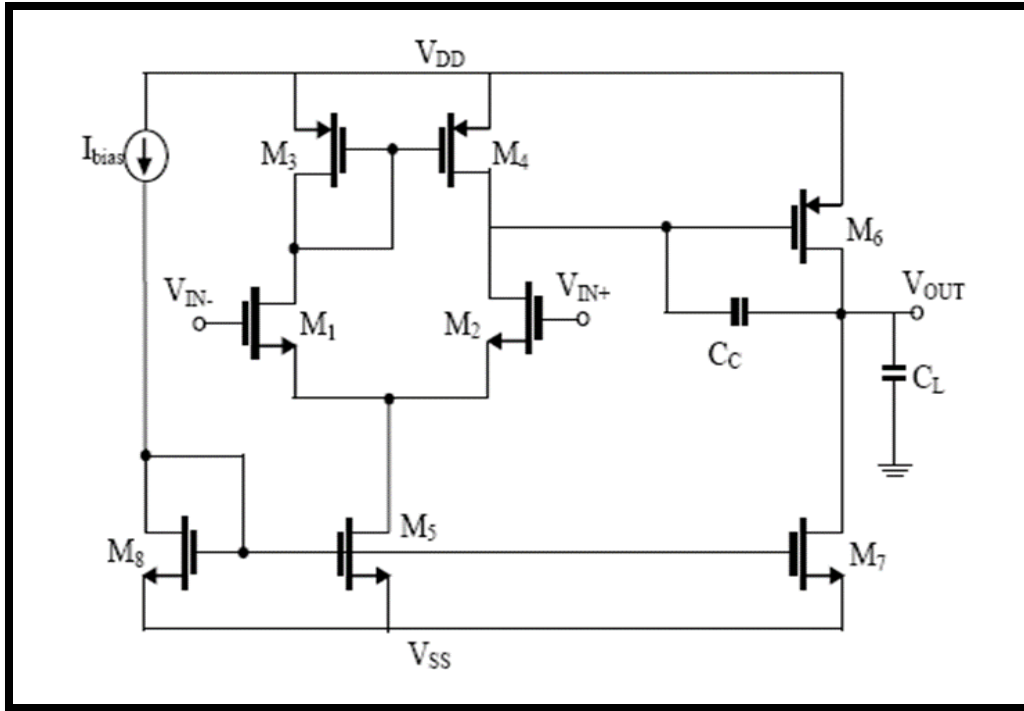


Figure 2. 7 : Amplificateur opérationnel à deux étages

4.2.2 Amplificateur opérationnel symétrique :

L'amplificateur opérationnel à miroir de courant ou autrement appelée OTA symétrique est extrêmement attractif dans les applications à grande vitesse et de faible puissance, le schéma de circuit d'OTA symétrique est représenté sur la Figure (2.8). L'étage d'entrée différentiel est formé par des transistors d'entrée M_0 , M_1 et les transistors connectés en diode M_2 , M_3 . Les miroirs de courant sont formés par les transistors connectés en diode M_2 , M_3 avec le transistor M_6 , M_7 et M est le facteur de multiplication de courant de miroirs de courant. Une valeur typique de M est comprise entre 1 et 3.

Le gain en tension de l'amplificateur opérationnel symétrique est donné par :

$$A_v = M \cdot g_{m1} \cdot (r_{o6} // r_{o7}) \quad (2.6)$$

Où r_{o6} , r_{o7} sont la résistance du transistor M_6 , M_7 , respectivement.

La valeur du produit gain bande passante est donnée par :

$$w_u = M \cdot \frac{g_{m1}}{C_L} \quad (2.7)$$

Où g_{m1} est la transconductance du transistor d'entrée M_1 , C_L est la capacité de charge et M est le rapport de miroir de courant.

La vitesse de balayage de l'amplificateur opérationnel symétrique est donnée par :

$$SR = M \cdot \frac{I_5}{C_c} \quad (2.8)$$

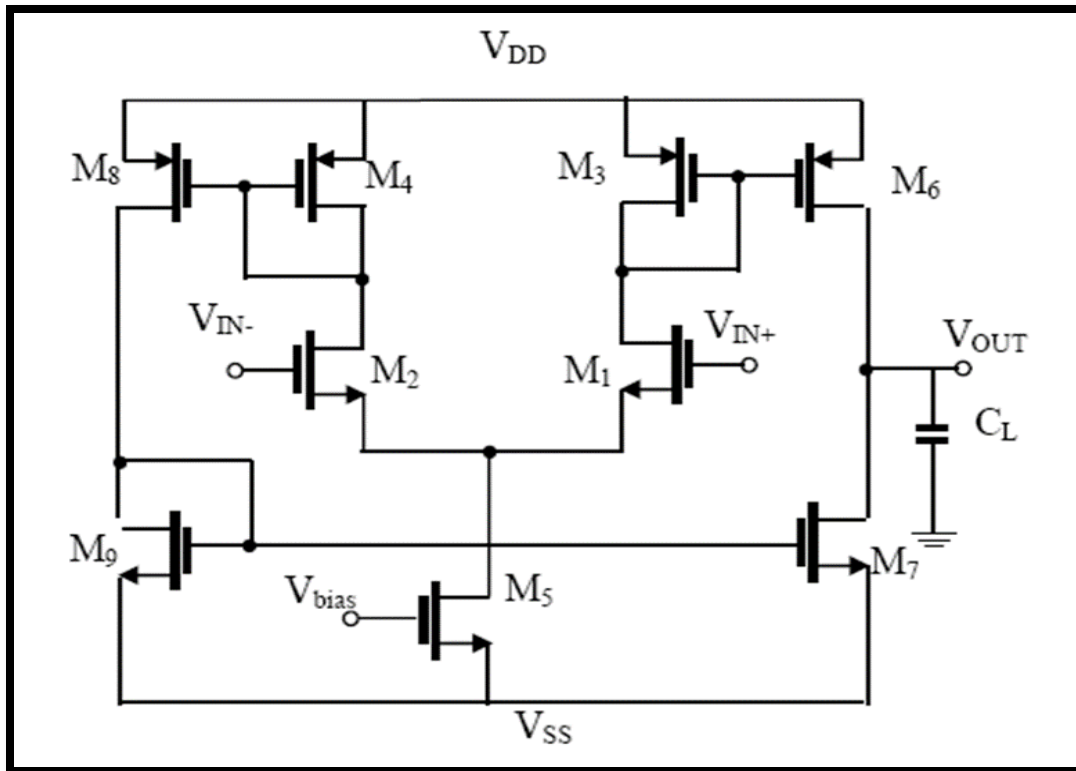


Figure 2. 8 : Amplificateur opérationnel symétrique

4.2.3 Amplificateur opérationnel télescopique :

Le circuit de la Figure (2.9) est un amplificateur opérationnel télescopique, fournit un gain comparable au gain de l'amp-op à deux étages de la Figure (2.7). Cette structure a été appelée amp-op télescopique parce que les miroirs de courant cascades sont connectés entre les sources d'alimentation en série avec les transistors de la paire différentielle, résultant en une structure dans

laquelle les transistors de chaque branche sont reliés le long d'une ligne droite comme les lentilles d'un télescope réfracteur.

La version la plus simple d'un OTA à un seul étage est l'architecture télescopique, la paire différentielle d'entrée injecte les signaux de courant dans les étages de grille commune.

Ensuite, le circuit réalise la différence à la conversion à une sortie unique avec un miroir de courant cascode.

Le gain de l'amplificateur opérationnel télescopique est donnée par :

$$A_v = g_{m1} \{ (g_{m3} r_{o3} r_{o1}) // (g_{m5} r_{o5} r_{o7}) \} \quad (2.9)$$

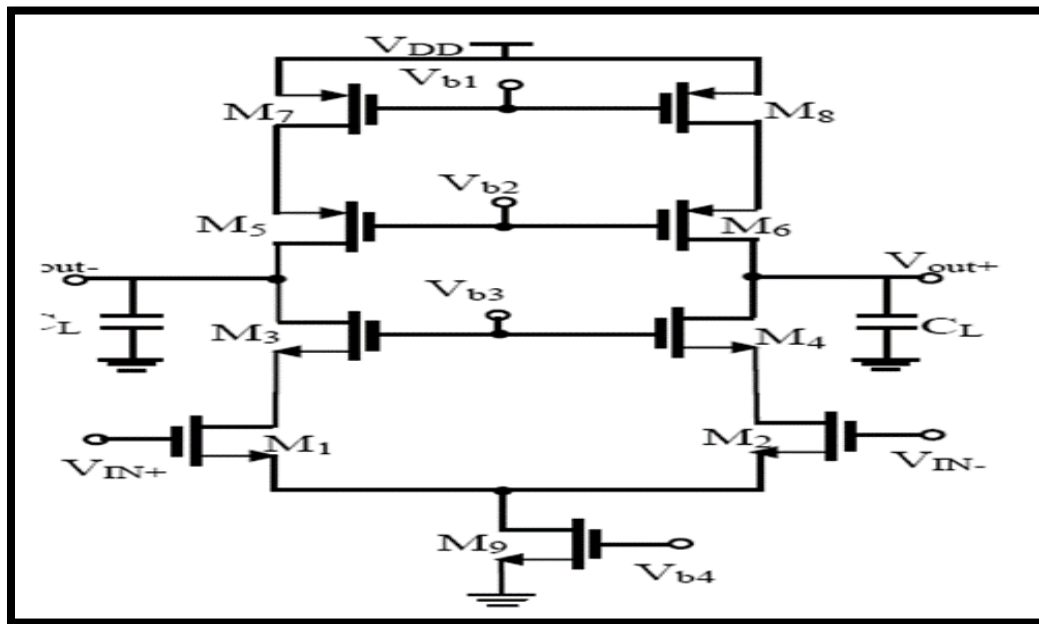


Figure 2. 9 : Amplificateur opérationnel télescopique

L'amplificateur opérationnel télescopique est un bon candidat pour les applications à grande vitesse, de faible puissance parce qu'il s'agit d'une structure en une seule étage et il y a seulement deux branches de courant. Le produit gain bande passante de l'amplificateur est donnée par :

$$w_u = \frac{g_{m1}}{C_L} \quad (2.10)$$

La vitesse de balayage est donnée par:

$$SR = \frac{I_{b9}}{C_L} \quad (2.11)$$

4.2.4 Amplificateur opérationnel cascode replié :

La Figure (2.10) présente un amplificateur opérationnel cascode replié, le nom de cascode replié vient de plissement des charges actives cascodes à canal-p de la paire différentielle et en changeant les transistors MOSFET à canal-p par des transistors MOSFET à canal-n. Ce circuit est développé pour améliorer la plage d'entrée en mode commun et le rejet de charge de l'alimentation du deuxième étage de l'amp-op. L'amp-op « cascode replié » a des performances d'un gain important et une grande bande passante.

La structure de l'amplificateur opérationnel cascode replié est illustrée sur la Figure (2.10) est dit être repliée dans le sens où il inverse le sens de circulation du signal vers la masse. Cette inversion a deux principaux avantages lorsqu'il est utilisé avec une paire différentielle. Premièrement, elle augmente le swing de sortie. Deuxièmement, elle augmente la plage de l'entrée en mode commun.

Le gain de l'amplificateur opérationnel cascode replié est donnée par :

$$A_v = \{g_{m9} \cdot [g_{m3} r_{03} (r_{01} // r_{02})] // (g_{m5} r_{05} r_{03})\} \quad (2.12)$$

Le produit gain bande passante de l'amplificateur opérationnel est donné par:

$$\omega_u = \frac{g_{m9}}{C_L} \quad (2.13)$$

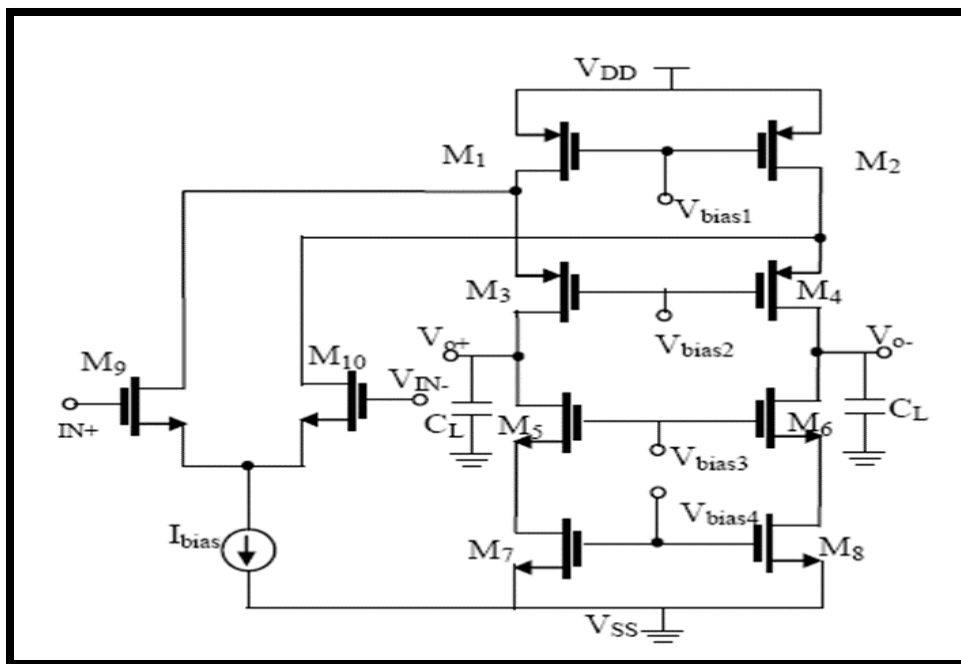


Figure 2. 10 : Amplificateur opérationnel cascode replié

4.3 Les comparateurs :

Un comparateur est un amplificateur opérationnel dans une configuration en boucle ouverte. C'est un bloc important dans tous les CANs. Il est également utilisé dans d'autres applications comme la transmission de données, la régulation de la puissance de commutation [17]. Un comparateur compare deux tensions, soit deux signaux analogiques, soit un signal analogique avec une référence fixe et fournit un signal numérique en sortie basé sur la comparaison.

La figure (2.11) montre le symbole schématique d'un comparateur de tension. Selon l'opération du comparateur :

$$\text{Si } V_{in} > V_{ref} \text{ alors } V_{out} = V_{DD}, \text{ si } V_{in} < V_{ref} \text{ alors } V_{out} = 0.$$

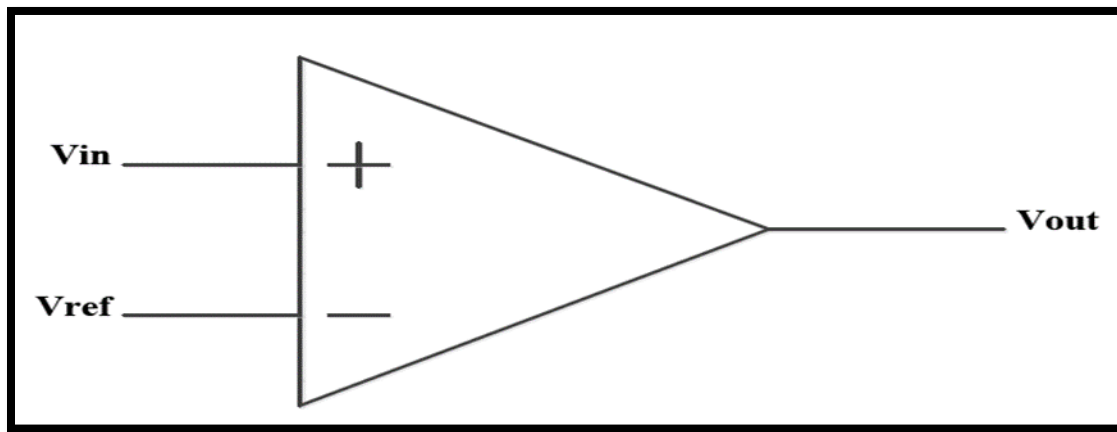


Figure 2. 11 : Symbole d'un comparateur

La conception du comparateur pour un CAN est très critique car la vitesse et la résolution sont déterminées par la rapidité de fonctionnement d'un comparateur. Comparateur peut être de différents types comme comparateur statique verrouillé, comparateur verrouillé dynamique [18]. Le comparateur dynamique ne possède pas de préamplificateur alors que le comparateur statique possède un circuit de préamplificateur.

4.4 Échantillonneur-bloqueur :

Le rôle d'un échantillonneur-bloqueur (Sample & Hold, S/H) est de maintenir constante l'amplitude de l'échantillon prélevé toutes les T_e secondes durant un temps nécessaire à sa conversion analogique-numérique. T_e représente la période d'échantillonnage.

Dans le cas des signaux lents, dont la précision temporelle n'est pas exigée, le circuit S/H n'est pas nécessaire.

4.4.1 Principe de fonctionnement d'un circuit S/H :

Réaliser un échantillonneur-bloqueur consiste à associer un interrupteur à une capacité. La figure (2.12) illustre la configuration la plus élémentaire d'un échantillonneur bloqueur. La capacité (C_h) joue le rôle de mémoire analogique, l'interrupteur sert à rafraîchir la valeur de la tension mémorisée sur cette capacité ou bien à l'isoler l'entrée, selon la phase (échantillonnage ou blocage).

Dans un cas idéal, lorsque l'interrupteur est fermé, la tension aux bornes de la capacité suit les variations de l'entrée. Cette phase est dite d'échantillonnage (Sample, S). Et lorsque l'interrupteur est ouvert, la sortie, étant isolée de l'entrée, reste constante et égale à la dernière valeur transmise du signal d'entrée. Cette phase correspond à celle de blocage (Hold, H). La figure (2.13) montre la tension aux bornes de la capacité durant les deux phases de fonctionnement du S/H.

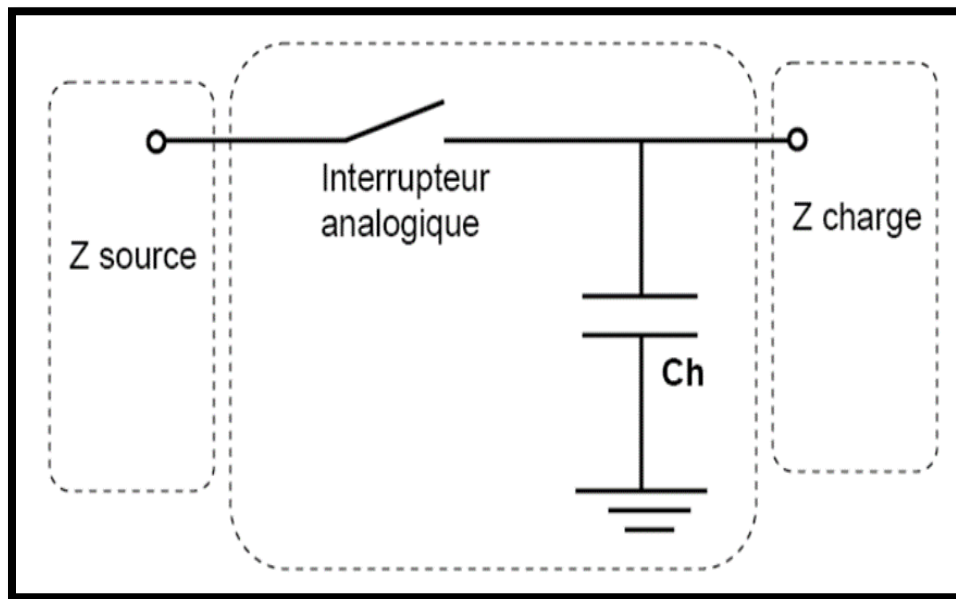


Figure 2. 12 : Schéma de principe d'un échantillonneur-bloqueur élémentaire

Dans un cas réel, différentes sources d'erreurs viennent perturber (fausser) la valeur du signal échantillonné. Ces erreurs constituent les limitations en termes de rapidité et précision du circuit S/H. [2]

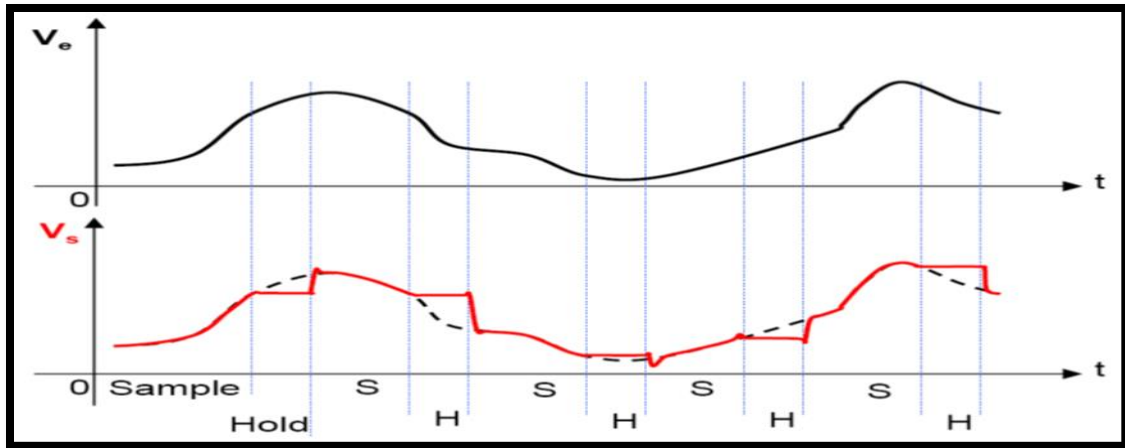


Figure 2. 13 : Allure du signal de sortie durant les phases d'échantillonnage et de blocage

4.5 L'étage « MDAC » :

Le convertisseur pipeline contient plusieurs étages chacune avec un CAN basse résolution et un circuit analogique calculant le signal de sortie analogique à l'étage suivant. Le circuit analogique contient un DAC, un soustracteur et un amplificateur (S / H) et est parfois appelé DAC multiplicateur (MDAC). Le signal de sortie du MDAC est :

$$out_i = G_i \cdot (in_i - DAC_i) \quad (2.14)$$

Où G_i est le gain du MDAC, in_i le signal d'entrée analogique et DAC_i le signal de sortie du DAC.

Si $DAC_i = 0$, le MDAC se comporte comme un circuit S / H alors que si $in_i = 0$, il se comporte comme un DAC. Par conséquent, le circuit S / H et le DAC peuvent être considérés comme des cas spéciaux du MDAC et ne sont pas traités séparément. [19]

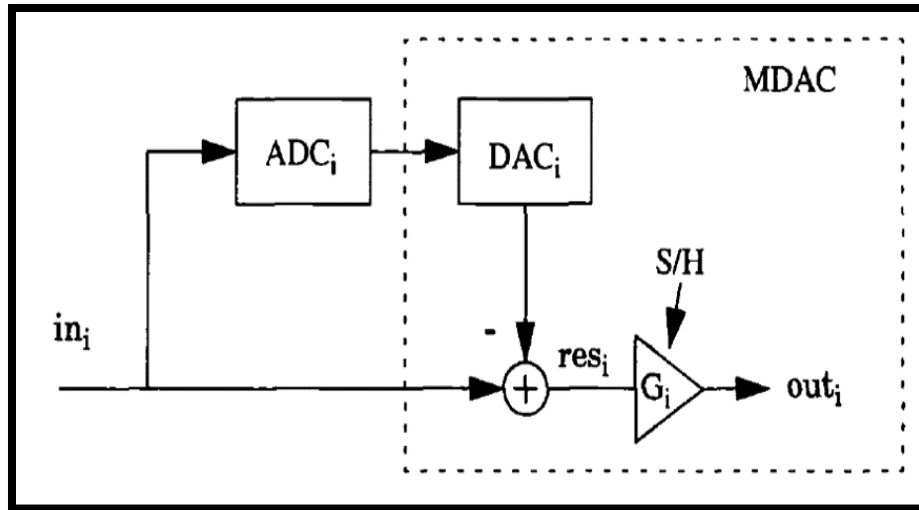


Figure 2. 14 : MDAC dans un étage d'un ADC pipeline

4.5.1 Sous-CAN :

Chaque étage de pipeline possède un bloc sous-CAN flash pour la quantification grossière de l'entrée analogique pour produire la sortie numérique. Deux comparateurs font le travail de quantification du signal d'entrée analogique.

La tension d'entrée différentielle au sous-CAN est (-500mV à 500mV) différentiellement. Il devrait y avoir deux seuils définis à $-V_{ref}/4$ et $+V_{ref}/4$. Le nombre maximum de combinaisons binaires possibles que nous pouvons obtenir de deux comparateurs est 4.

➤ **Tableau 2.1: Représentation binaire:**

D ₁	D ₀
0	0
0	1
1	0
1	1

Comme pour un ADC de 1,5 bit, les régions d'opérations maximales sont trois (00, 01, 10), donc la combinaison 11 doit être supprimée. La sortie numérique du sous-CAN est 00, 01 ou 10 en fonction de l'endroit où l'entrée tombe. L'architecture 1.5 bit / étage est le choix le plus populaire dans ADC pipeline car elle permet de minimiser la non-linéarité en ajoutant de la redondance dans le bloc sous-CAN. Dans un bloc sous-CAN, le bit supplémentaire de 0,5 est un bit redondant qui est corrigé dans la logique de correction numérique. Il est uniquement utilisé pour la relaxation de

décalage dans un ADC. Un décalage du comparateur aussi grand que $\pm V_{ref}/4$ peut être toléré dans ce cas. [15]

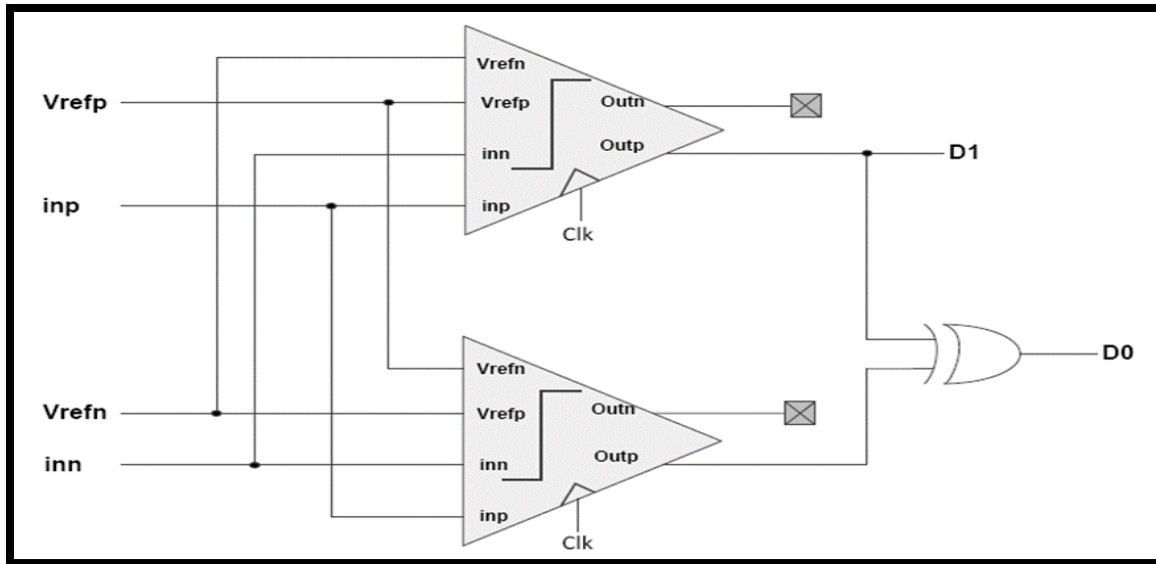


Figure 2. 15 : Schéma du sous-ADC 1,5 bit

4.5.2 CAN flash à 2-bits :

Le dernier étage est un vrai CAN flash à 2-bit comme le montre la Figure (2.16). Il compare le signal d'entrée avec trois niveaux de décision et produit l'une des quatre sorties numériques 00, 01, 10 ou 11. Les seuils du CAN flash à 2-bit sont $+1/2V_{ref}$, 0 et $-1/2V_{ref}$. Les trois comparateurs génèrent un jeu de quatre codes thermométriques et puis un circuit décodeur les convertis en codes binaires. [13]

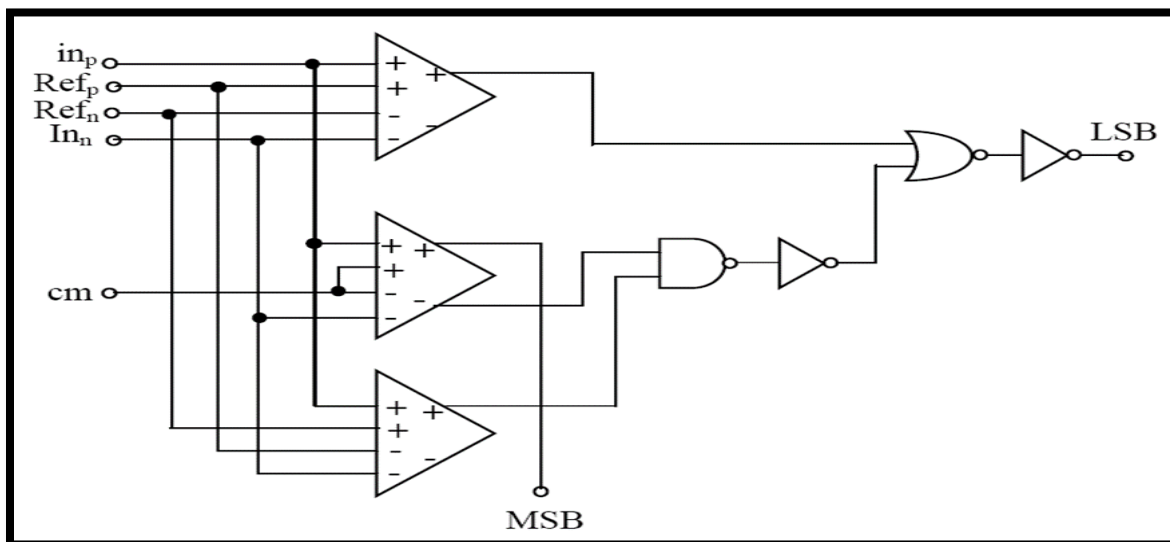


Figure 2. 16 : Configuration du circuit de sous -CAN dans le dernier étage

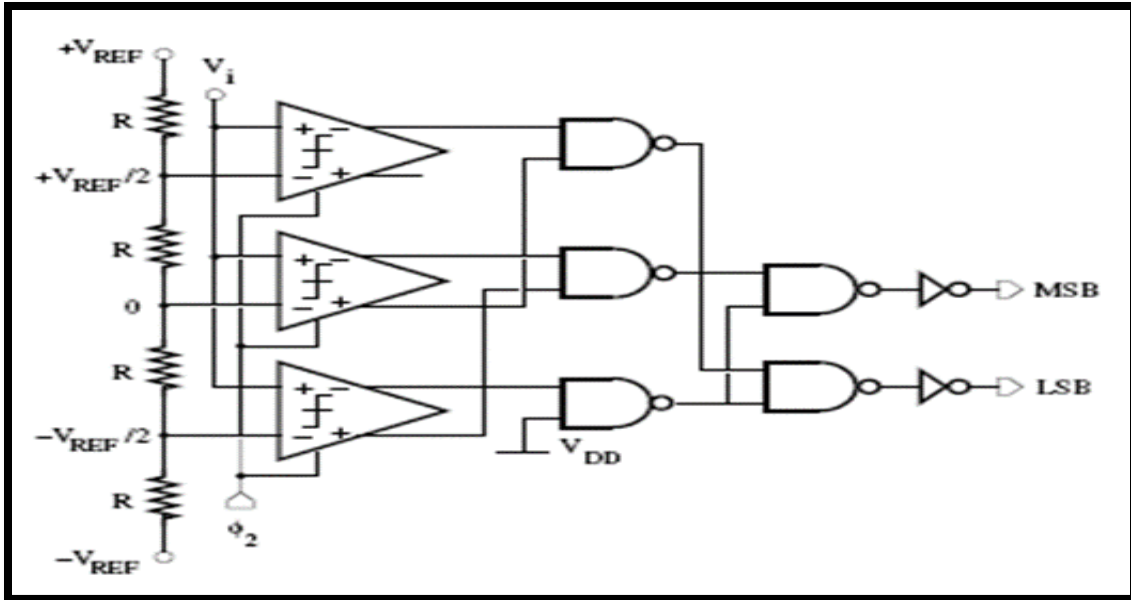


Figure 2. 18 : Schéma de circuit d'un ADC flash 2 bits.

Les étages adjacents de l'ADC pipeline devraient être conduits par les signaux d'horloge avec des phases opposées pour assurer une opération simultanée. Il y a un retard d'un demi-cycle entre les instants où les sorties de deux étages sont disponibles. Un échantillon de signal d'entrée nécessite alors plusieurs cycles d'horloge à traiter par le CAN pipeline.

Les codes de sortie (b_k , MSB et b_k , LSB, $k = 1, 2, \dots, M$) des différents étages pipeline sont synchronisés en utilisant un tableau de bascule D, puis additionné pour produire la sortie du convertisseur code avec B_1 étant le MSB. En exploitant la redondance de 0,5 bit sur chaque étage pour corriger toute les erreurs dans l'étage adjacent précédent, le concept du circuit de correction d'erreur peut être illustrée comme suit : [16]

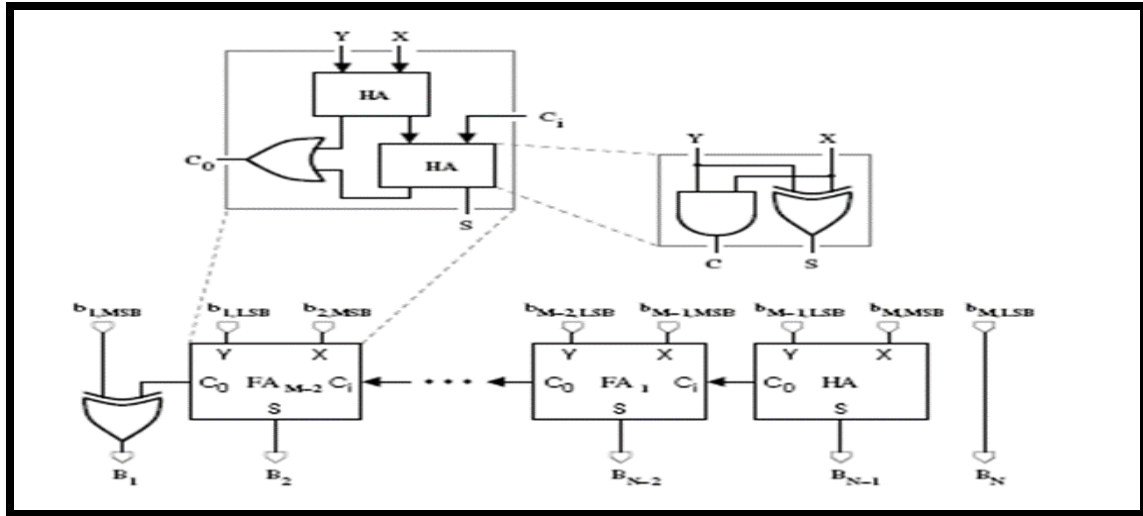


Figure 2. 19 : Schéma fonctionnel pour l'étage de correction numérique

5. Le gain fini en boucle ouverte de l'amplificateur opérationnel :

Le gain en boucle ouverte A_0 d'un amplificateur opérationnel détermine, en partie, la précision du circuit de contre réaction employant cet amplificateur. La valeur de ce gain peut varier de plusieurs ordres de grandeurs selon la précision requise du système global (selon la résolution dans le cas des CANs). Dans le cas des convertisseurs analogique-numérique pipeline, le gain fini A_0 introduit une erreur de gain du circuit MDAC de chaque étage pipeline.

C'est pourquoi, une valeur minimale du gain A_0 doit être connue pour éviter des erreurs de non-linéarité. A_0 est déterminé en fonction de l'erreur de gain tolérable en sortie de chaque étage pipeline.

L'impact total des erreurs corrélées de tous les étages pipeline d'un CAN ramenées à son entrée doit être inférieur à $1/2$ LSB (la moitié de l'amplitude du pas de quantification).[2] Pour un CAN pipeline de résolution N bits et à k-1 étages pipeline, l'erreur totale ϵ_{totA_0} est la suivante :

$$\epsilon_{totA_0} = \frac{\epsilon A_{0,1}}{2^{B_1}} + \frac{\epsilon A_{0,2}}{2^{B_1} \times 2^{B_2}} + \frac{\epsilon A_{0,3}}{2^{B_1} \times 2^{B_2} \times 2^{B_3}} + \dots + \frac{\epsilon A_{0,k-1}}{2^{B_1} \times 2^{B_2} \dots \times 2^{B_{k-1}}} \quad (2.15)$$

$$\epsilon_{totA_0} = \sum_{i=1}^{k-1} \frac{\epsilon A_{0,i}}{\prod_{j=1}^i 2^{B_j}} \quad (2.16)$$

Et on a :

$$\varepsilon A_{0,i} = \frac{2^{B_i}}{A_{0,i}} \quad (2.17)$$

En remplaçant (2.17) dans (2.16), on obtient :

$$\varepsilon_{totA_0} = \sum_{i=1}^{k-1} \frac{2^{B_i}}{A_{0,i} \times \prod_{j=1}^i 2^{B_j}} \quad (2.18)$$

6. Les avantages et les inconvénients des convertisseurs pipeline :

6.1 Les avantages :

L'architecture pipeline a pour but de réduire le nombre de comparateurs nécessaires à l'opération de codage de l'entrée analogique. En effet, un CAN pipeline utilise seulement

$$\sum_{i=0}^{n-1} 2^{p_i - n} \text{ comparateurs contre } 2^N - 1 \text{ pour un flash, pour une résolution de } N = \sum_{i=0}^{n-1} p_i - n + 1 \text{ bits.} \quad (2.19)$$

Ainsi, cette architecture conduit à :

- Un gain de place pour la puce (faible coût),
- Une faible consommation grâce à la technologie CMOS (faible coût),
- Une meilleure résolution au détriment de la vitesse de conversion. [16]

6.2 Les inconvénients :

Pour un codeur pipeline, chaque étage participe à la non-linéarité intégrale de l'ensemble. Le schéma suivant la représente dans le cas d'un convertisseur de ce type, constitué de trois étages de deux bits chacun :

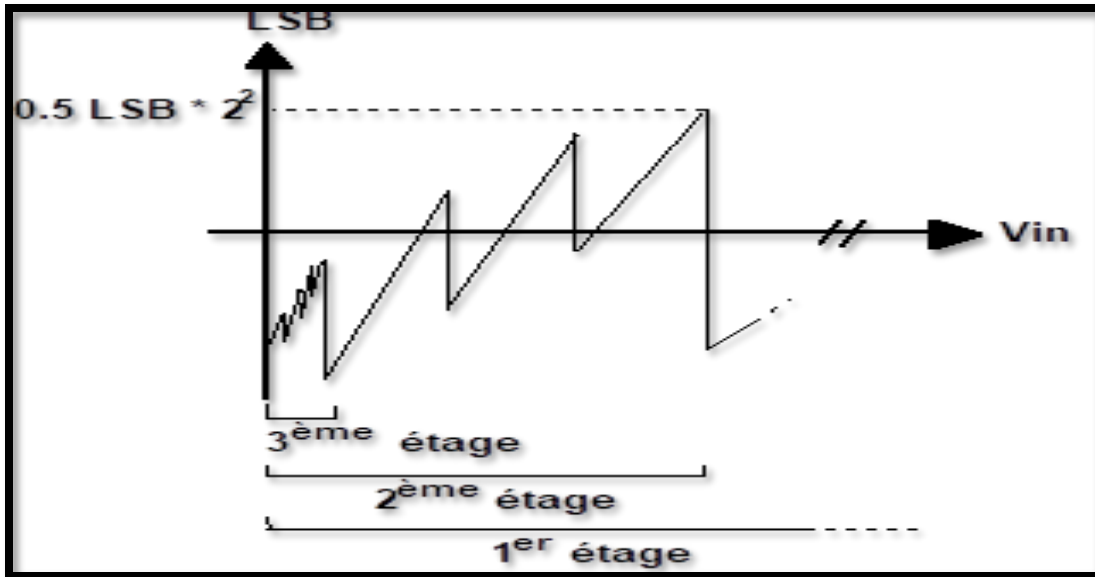


Figure 2. 20 : La participation de chaque étage pipeline à la non-linéarité intégrale de l'ensemble

Ainsi, la non-linéarité intégrale est multipliée par un coefficient k , dépendant de l'étage et de sa résolution, par rapport à celle d'un flash (0.5 LSB). Elle est fixée par le premier étage qui doit donc avoir une meilleure linéarité que les autres. Pour cela, il suffit de diminuer k et donc de rajouter des bits au premier étage.

Ces circuits analogiques apportent un bruit supplémentaire et une limitation fréquentielle au système.

Les données en sortie du convertisseur sont disponibles avec un retard par rapport à l'entrée, proportionnel au nombre d'étages de ce dernier. Le schéma suivant illustre ce problème pour un CAN à trois étages :

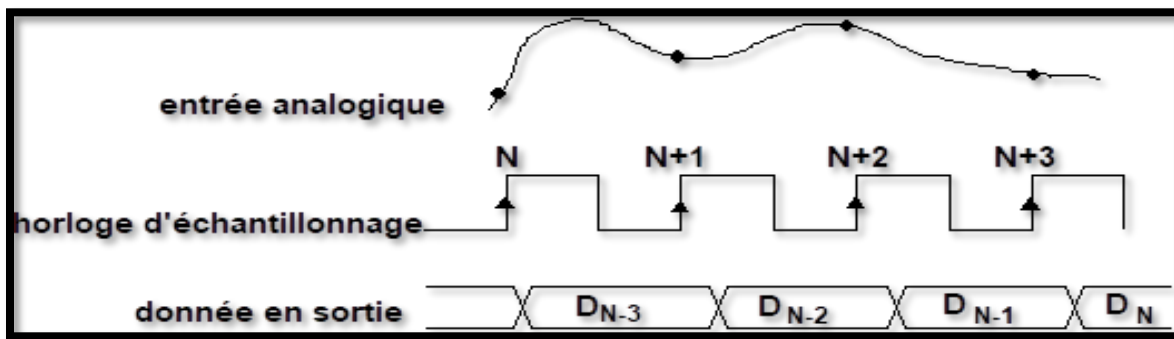


Figure 2. 21 : La latence des données au démarrage

Chapitre 2 : Conception du convertisseur analogique numérique pipeline

Quand la tension d'entrée passe en dessous du premier MSB, le premier étage ne fonctionne plus, c'est à dire que ses bits de sortie sont tous nuls. Ceci entraîne un phénomène de coupure dans les codes de sortie.

Le calcul du résidu exige que le signal numérique en sortie du flash soit converti en analogique avec une grande précision. Pour cela, il faut utiliser des circuits supplémentaires pour calibrer les convertisseurs numériques analogiques (calibration). [16]

7. Conclusion :

Dans ce chapitre, la notion de principe de fonctionnement du CAN pipeline a été introduite. Ensuite, les blocs de construction clés d'un convertisseur analogique numérique de type pipeline ont été décrits. Enfin, les avantages et les inconvénients de ce type de convertisseur ont été présentés.

Le CAN de type pipeline est un convertisseur cadencé, c-à-dire que l'entrée est échantillonnée puis convertie. Il s'agit d'une structure à capacités commutées de différents étages où chaque étage travaille sur quelques bits. Ce type de convertisseur permet le meilleur compromis résolution / vitesse de conversion. Ils deviennent de plus en plus utilisés pour de nombreuses applications.

Cependant, ce convertisseur possède un temps de latence des données au démarrage et la complexité de conception croît de façon linéaire avec le nombre d'étages utilisés et nécessite des amplificateurs précis ainsi que des contraintes relâchées sur les comparateurs.

Bibliographie Chapitre 2 :

- [1] Samir BARRA, "Contribution à la Conception d'un Convertisseur Analogique Numérique en Technologie CMOS, " Thèse de Doctorat en microélectronique, Université de Batna, 2013.
- [2] Mokrane DAHOUMANE, "Conception, Réalisation et Caractérisation de l'Électronique Intégrée de Lecture et de Codage des Signaux des Détecteurs de Particules Chargées à Pixels Actifs en Technologie CMOS," Thèse de Doctorat en microélectronique, Université de Strasbourg, 2009.
- [4] HANFOUG Salah, "Contribution à la Conception des circuits Mode de courant en Technologie CMOS," Thèse de Doctorat en microélectronique, Université de Batna, 2016.
- [12] Lucas PERBET, " Optimisation de blocs constitutifs d'un convertisseur A/N pipeline en technologie CMOS 0.18µm pour utilisation en environnement spatial," Thèse de Doctorat en micro et nanosystèmes, Université de Toulouse, 2017.
- [13] S.-C. Huang, "High Speed Pipelined ADC Using Opamp Sharing and Scaling Techniques for Display Interface," Master thesis, National Chung Cheng University (NCKU), 2006.a
- [14] Jonas Benjamin Borch, " Pipelined ADC-Design of low-power, highspeed A/D converter in CMOS technology," the bachelor study in science (BScE), Technical University of Denmark (DTU), 2009.
- [15] Qazi Omar Farooq, " Modeling and Implementation of A 6-Bit, 50MHz Pipelined ADC in CMOS," Master's Thesis, Lund University ,2016.
- [16] Ndjountche, " CMOS Analog Integrated Circuits," E. Moulin, " Etude sur les différentes architectures des convertisseurs analogiques numériques,"Thomson-CFS, 1997.
- [17] Johns, David and Martin, Ken, "Analog Integrated Circuit Design," John Wiley & Sons, Inc.: New York, United States of America, 1997.

Bibliographie Chapitre 2 :

- [18] Katyal .V, Geiger, R.L, Chen D.J, “ A new high precision low offset dynamic comparator for high resolution high speed ADCs,” Circuits and Systems, 2006, APCCAS 2006, IEEE Asia Pacific Conference on 4-7 Dec, 2006.
- [19] Mikael .Gustavsson, J. Jacob Wikner, Nianxiong Nick Tan, “CMOS data converters for communications,” Kluwer Academic Publishers, United States of America, 2002.

CHAPITRE 3

Modélisation du CAN pipeline

1. Introduction :

La méthode de conception développée étant définie, comme elle est basée sur la modélisation et la simulation comportementale, il faut préalablement modéliser le système à concevoir. Nous allons dans ce qui suit présenter la démarche adoptée pour modéliser un système. La modélisation a pour but de représenter par une fonction mathématique ou un modèle numérique le fonctionnement des différents composants qui constituent le circuit. C'est la partie la plus délicate du processus de conception, puisque des modèles simplifiés diminuent la précision, tandis que des modèles précis consomment beaucoup de temps de calcul.

Dans ce chapitre, on va détailler les différents éléments de notre modélisation que nous avons réalisé en utilisant la technologie CMOS 0.18 μm sous LTSPICE et présenté les résultats de simulation de chaque bloc élémentaire et ensuite les résultats obtenus du convertisseur complet afin de les discuter et comprendre les avantages de modélisation.

2. Logiciel de simulation :

2.1 Définition :

LTSPICE est un logiciel de simulation SPICE haute performance, de capture schématique et de visualisation de forme d'onde avec des améliorations et des modèles pour accélérer la simulation de circuits analogiques. Inclus dans le téléchargement de LTSPICE sont macro modèles pour un nombre important de régulateurs de commutation Analog Devices, amplificateurs, ainsi qu'une bibliothèque de dispositifs pour la simulation de circuit général.[20]

2.2 Les avantages de LTSPICE:

- Un nombre illimité de nœuds ;
- Un éditeur Schematics pour dessiner des circuits ;
- Un éditeur de visualisation des résultats ;
- Une importante librairie de composants ;
- Gratuit. [21]

2.3 Principe de fonctionnement de LTSPICE :

LTSPICE produit un fichier d'entrée qui contient la description du circuit ainsi que les commandes du type d'analyse souhaitée. Le fichier d'entrée peut être de deux formes :

- Soit on utilise l'éditeur de schémas électriques Schematics de LTSPICE qui va créer automatiquement un fichier d'entrée .asc ;
- Soit on décrit directement le circuit à l'aide de lignes de code dans un fichier texte appelé Netlist, d'extension .net. [21]

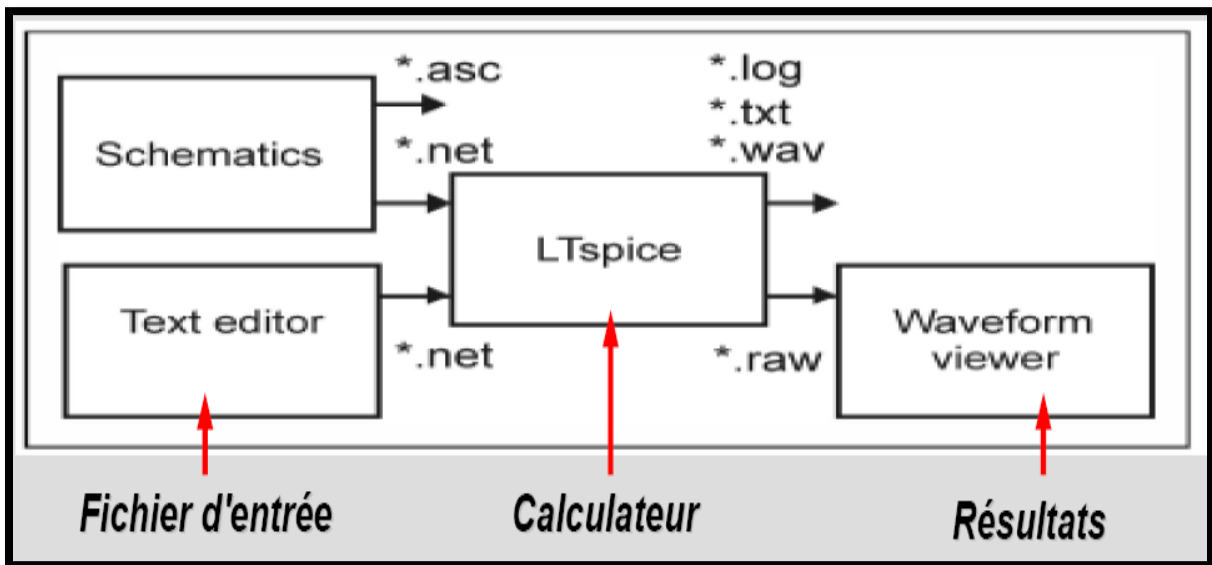


Figure 3. 1 : Principe de fonctionnement de LTSPICE

3. Modèle comportemental du CAN pipeline :

3.1 Le générateur d'horloge :

Tous les blocs sont commandés par deux signaux d'horloge non-chevauchés phi1 et phi2 qui sont générés à partir d'un signal d'horloge clk. Les signaux d'horloge phi1p et phi2p sont avancés légèrement par rapport à phi1 et phi2 respectivement afin de réduire l'erreur résultant de l'injection de charges. Le générateur d'horloge est réalisé en utilisant un jeu de portes logiques (des inverseurs et des portes NAND (NON ET)).

Son schéma est présenté dans la figure (3.2) et les figures (3.3) et (3.4) montrent les résultats de la simulation.

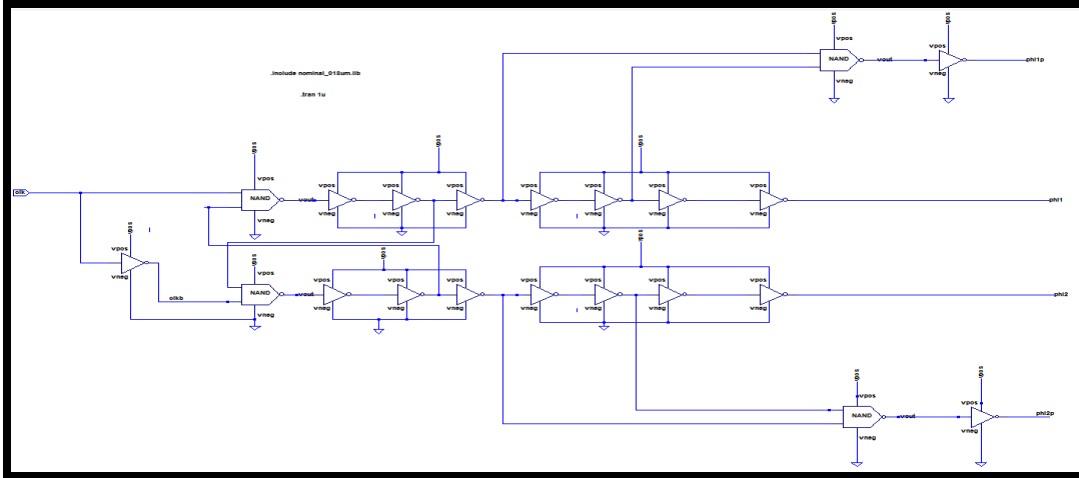


Figure 3. 2 : Schéma d'un générateur d'horloge

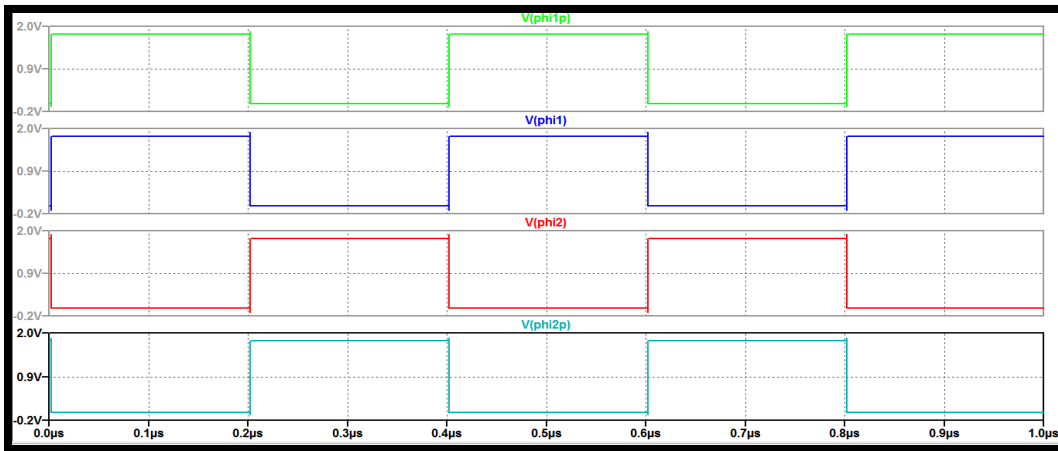


Figure 3. 3 : Les résultats de la simulation d'un générateur d'horloge

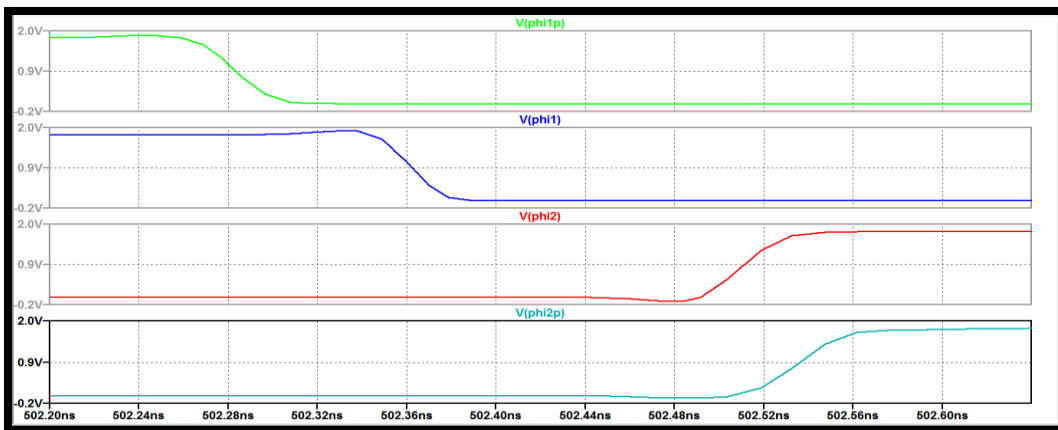


Figure 3. 4 : Les résultats de la simulation d'un générateur d'horloge

3.2 Les comparateurs :

Conceptuellement, dans les convertisseurs analogiques numériques de type pipeline, les comparateurs peuvent avoir un offset assez élevé de l'ordre de centaine de mV (il peut atteindre la valeur de $1/4 V_{ref}$) pour des étages MDAC 1,5 bit. Mais dans le cas des étages MDAC multi-bits, l'utilisation de comparateurs de plus faible offset est indispensable pour assurer le bon fonctionnement du CAN.

Le comparateur qu'on a choisi est un comparateur statique commandé par horloge présentant l'avantage d'un faible offset et d'un bruit de commutation ramené en entrée très faible. Son schéma est présenté dans la Figure (3.5).

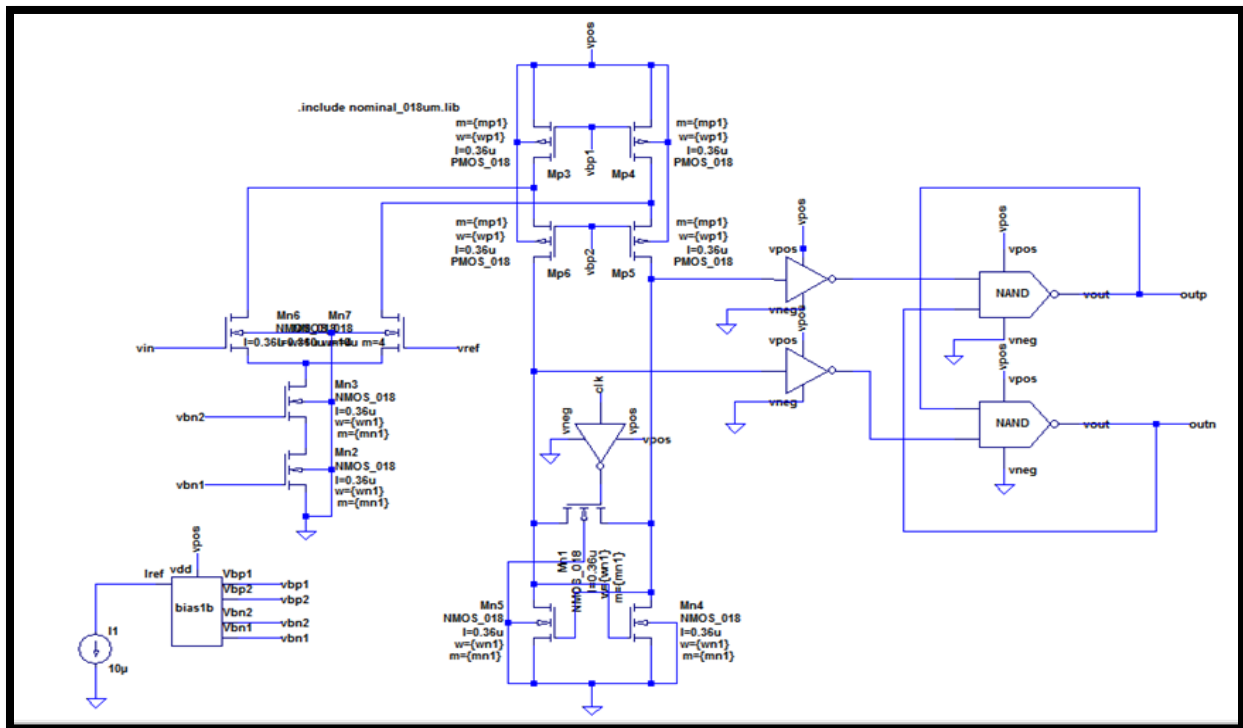


Figure 3. 5 : Le schéma d'un comparateur

3.3 Sous-CAN à 1.5-bit :

Le sous-CAN de 1,5 bit qu'on a choisi est composé de deux comparateurs dont la tension de seuil $\pm V_{ref} / 4$ et d'un circuit décodeur. Ce modèle inclut l'offset de chaque comparateur. Les deux comparateurs génèrent un jeu de trois codes thermomètres. Son schéma est présenté dans la figure (3.6). La figure (3.7) montre les résultats de la simulation.

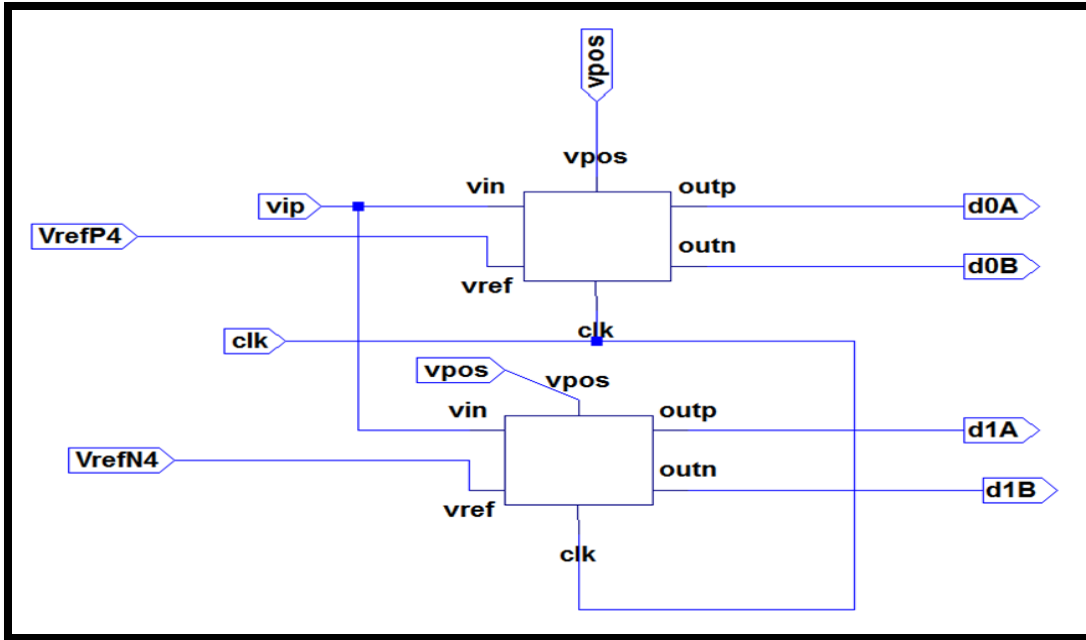


Figure 3. 6 : Le schéma des deux comparateurs

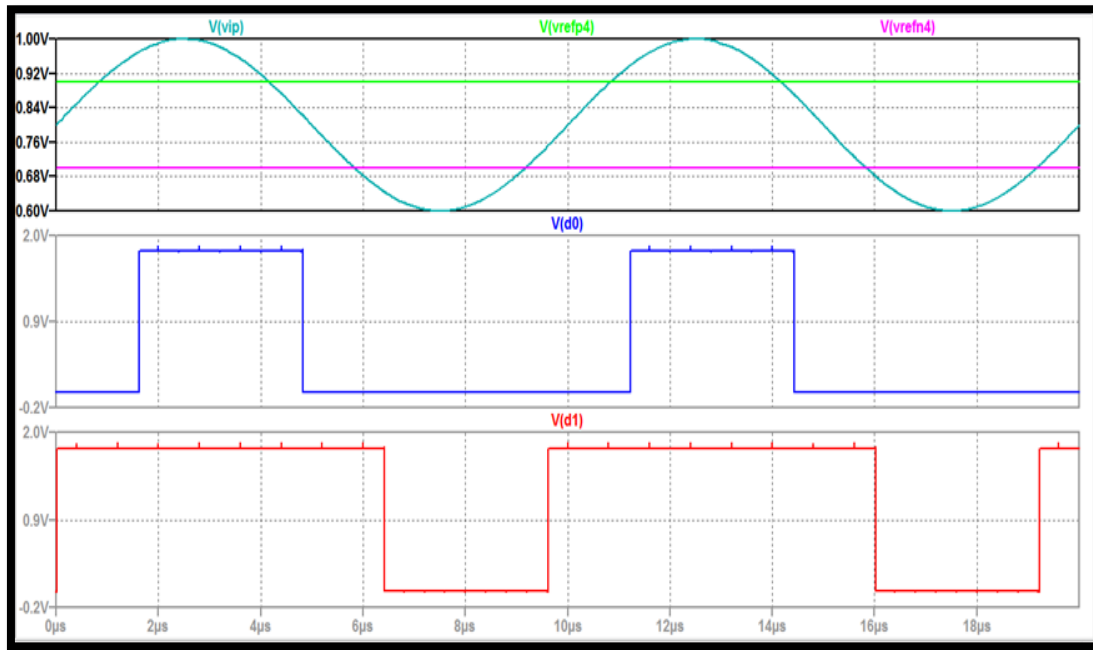


Figure 3. 7 : Les résultats de simulation transitoire des deux comparateurs

Le circuit décodeur convertis les trois codes thermomètres venant des comparateurs en codes binaires. Il est constitué de quelques portes logiques (des inverseurs et des portes NAND). Son schéma est présenté dans la figure (3.8). La figure (3.9) montre les résultats de la simulation.

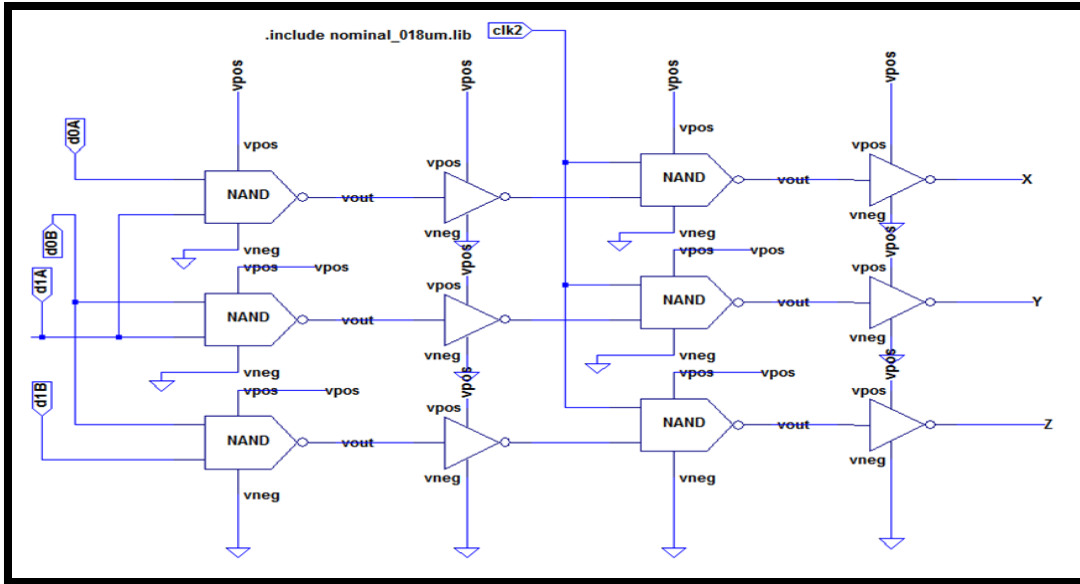


Figure 3. 8 : Le Schéma d'un décodeur

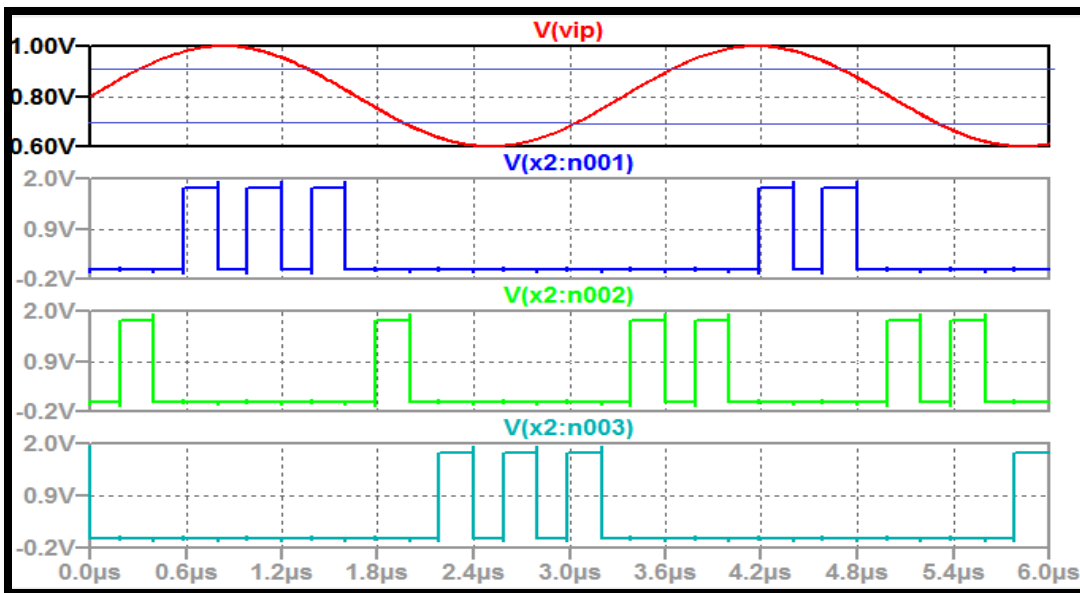


Figure 3. 9 : Les résultats de la simulation d'un décodeur

Le sous CAN génère en sortie deux bits d0 et d1. La figure (3.10) montre le schéma du sous-CAN et la figure (3.11) montre les résultats de la simulation.

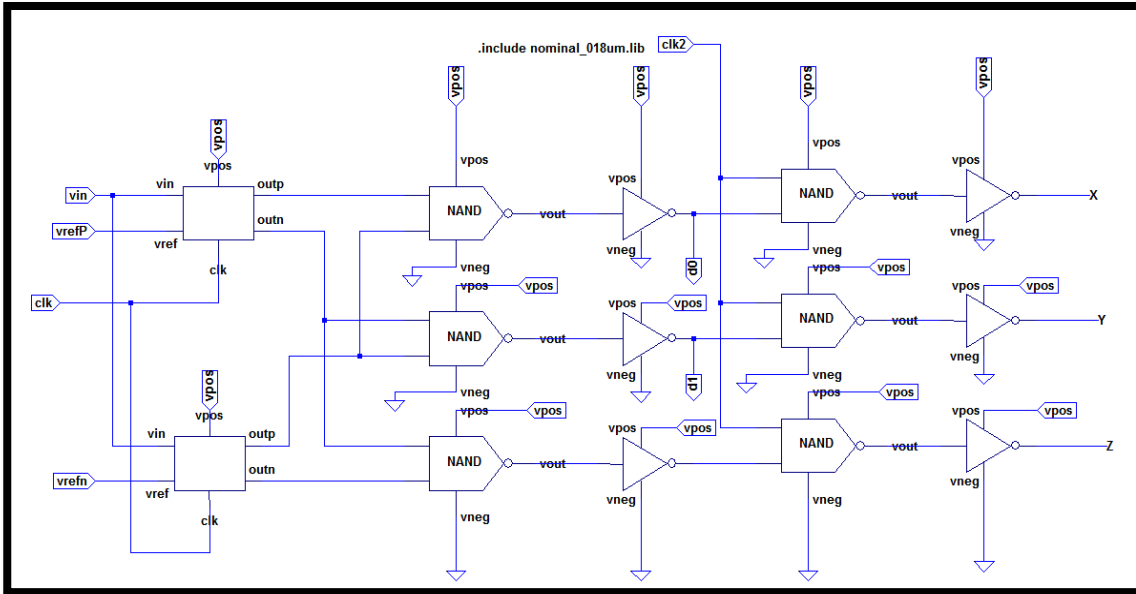


Figure 3. 10 : Le schéma d'un sous CAN à 1.5 bit

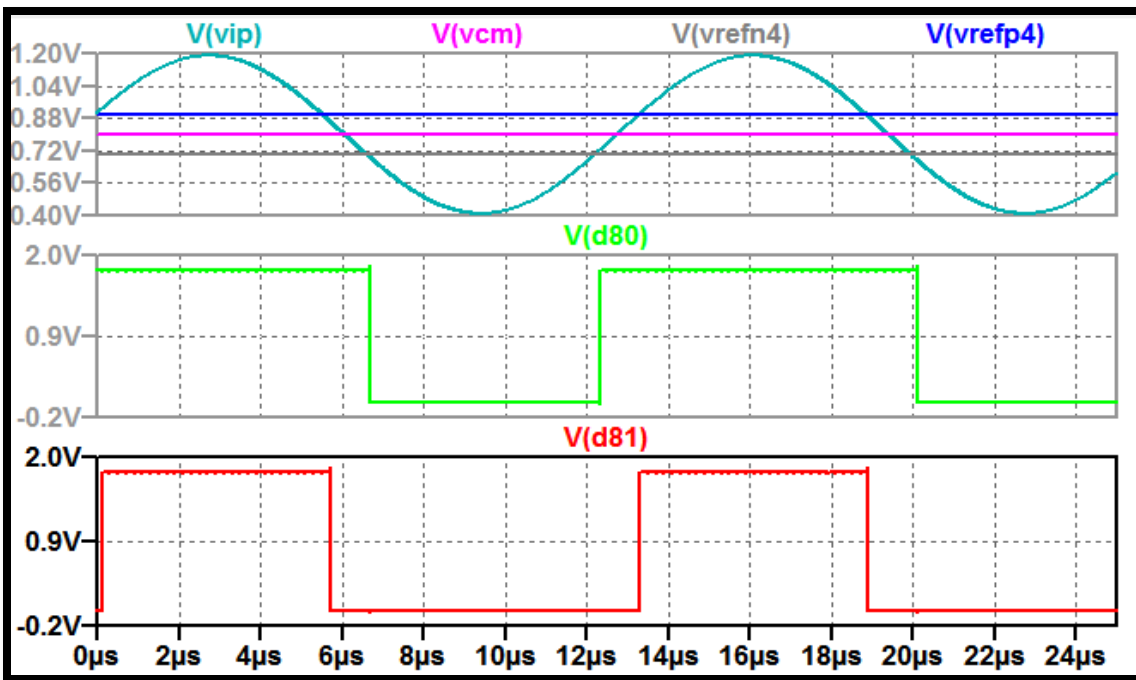


Figure 3. 11 : Les résultats de la simulation d'un sous CAN à 1.5 bit

3.4 Sous CNA à 1.5 bit :

Le multiplexeur représente l'étage sous CNA à 1.5 bits. Le multiplexeur permet de concentrer sur une même voie de transmission les trois sorties du décodeur qui sont : X, Y et Z.

La figure (3.12) montre le schéma d'un étage CNA à 1.5 bits et la figure (3.13) montre les résultats de la simulation.

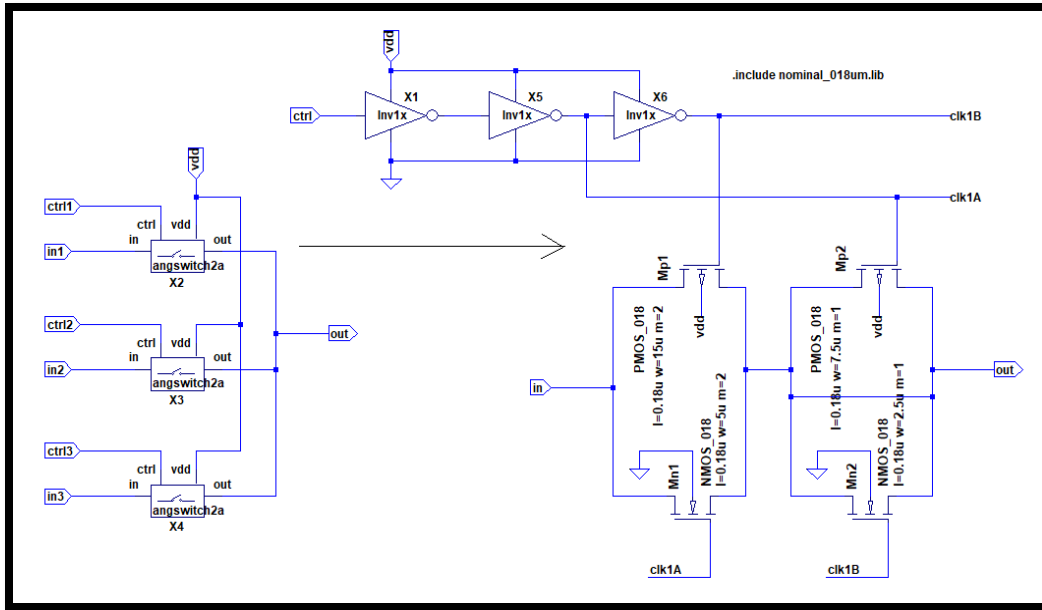


Figure 3.12 : Le schéma d'un multiplexeur

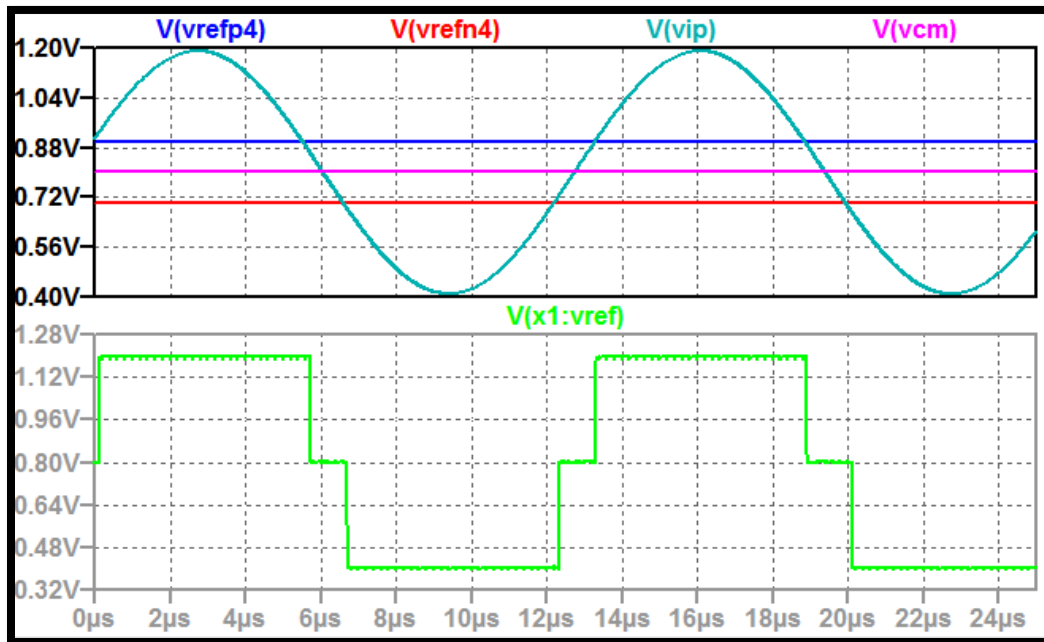


Figure 3.13 : Les résultats de la simulation d'un sous CNA à 1.5 bit

3.5 Le circuit convertisseur numérique analogique multiplicateur (MDAC) :

Le MDAC est le cœur de l'étage pipeline, il s'agit d'un circuit à capacités commutées formé autour d'un amplificateur opérationnel. Il peut également implémenter la fonction de

l'échantillonnage/blocage, la conversion numérique analogique, la soustraction et l'amplification du reste. Le circuit MDAC est le constituant clé et le bloc le plus critique dans un étage pipeline. La conception MDAC est composé de trois composants généraux :

- Amplificateur opérationnel (amp-op), doit être rapide.
- Commutateurs, ceux-ci doivent être rapides.
- Condensateurs, doivent être précis afin d'éviter la distorsion. En général, plus la capacité de ce condensateur est petite, plus le système est rapide. En outre, plus les condensateurs sont grands, plus la consommation de surface est importante. Par conséquent, les condensateurs doivent être mis en œuvre avec de petites tailles à l'esprit. Cependant, avec des condensateurs plus petits, il y a un risque de perte de précision.

En raison du fait que les condensateurs d'échantillonnage (C_s) et de retour (C_f) sont à la fois utilisés pour échantillonner le signal d'entrée, C_s et C_f peuvent être choisis de la même valeur pour atteindre l'objectif que le gain en boucle fermée est de 2.

Son schéma est présenté dans la figure (3.14) et la figure (3.15) montre les résultats de la simulation.

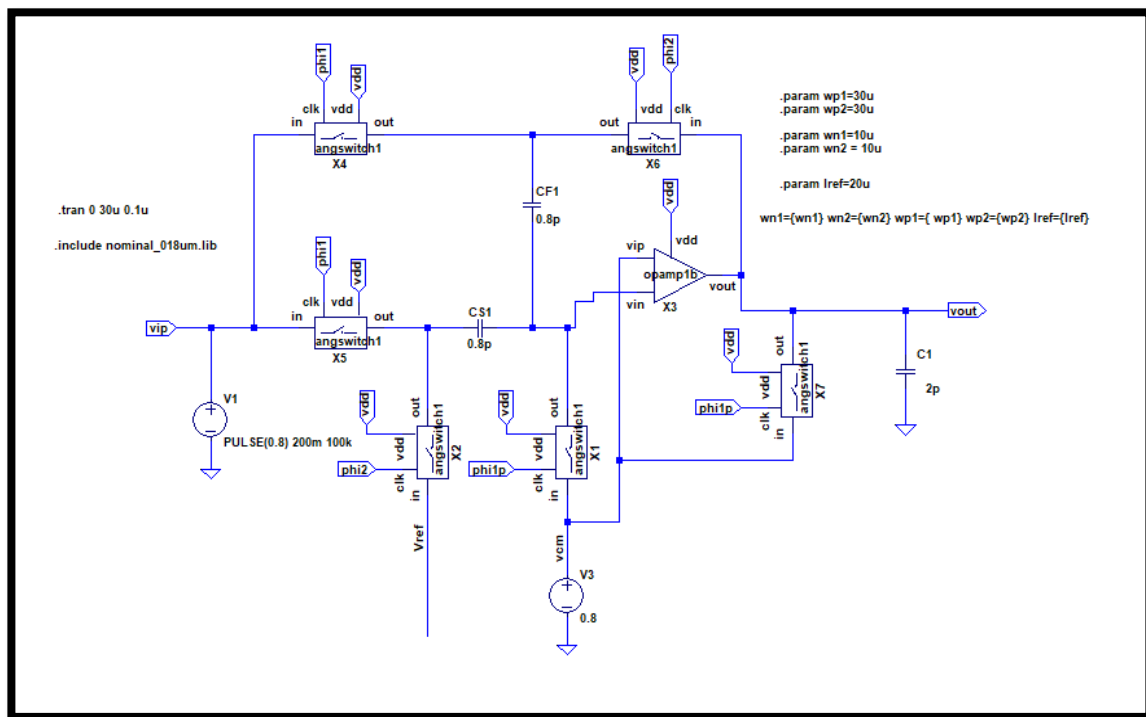


Figure 3. 14 : Le schéma d'un étage MDAC

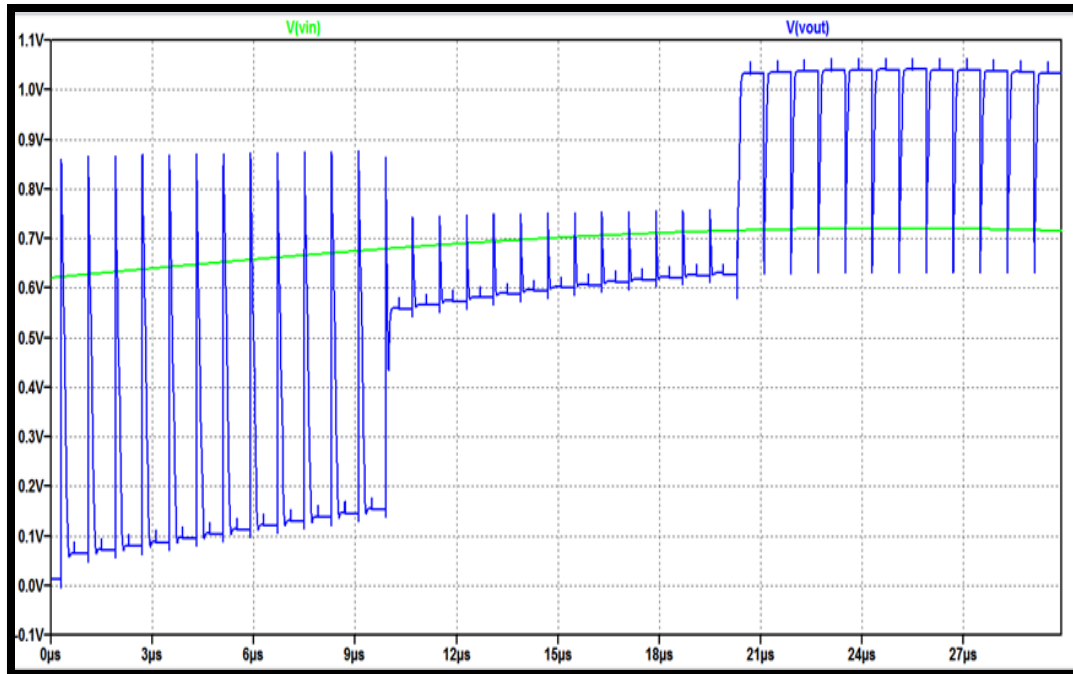


Figure 3. 15 : Les résultats de la simulation d'un étage MDAC

3.6 L'amplificateur opérationnel :

L'amplificateur opérationnel est l'élément de base de l'étage « MDAC » et un élément constitutif très important du CAN pipeline à capacités commutées.

En général, l'omp-op doit être rapide, en d'autres termes, le gain en boucle ouverte doit être suffisamment élevée pour guider le MDAC switch cap. Pour réaliser notre CAN pipeline à 8 bits, on a besoin un amplificateur avec un gain de 60 dB. C'est pour ça, on a réalisé un amplificateur opérationnel cascode replié qui a comme gain 63 dB.

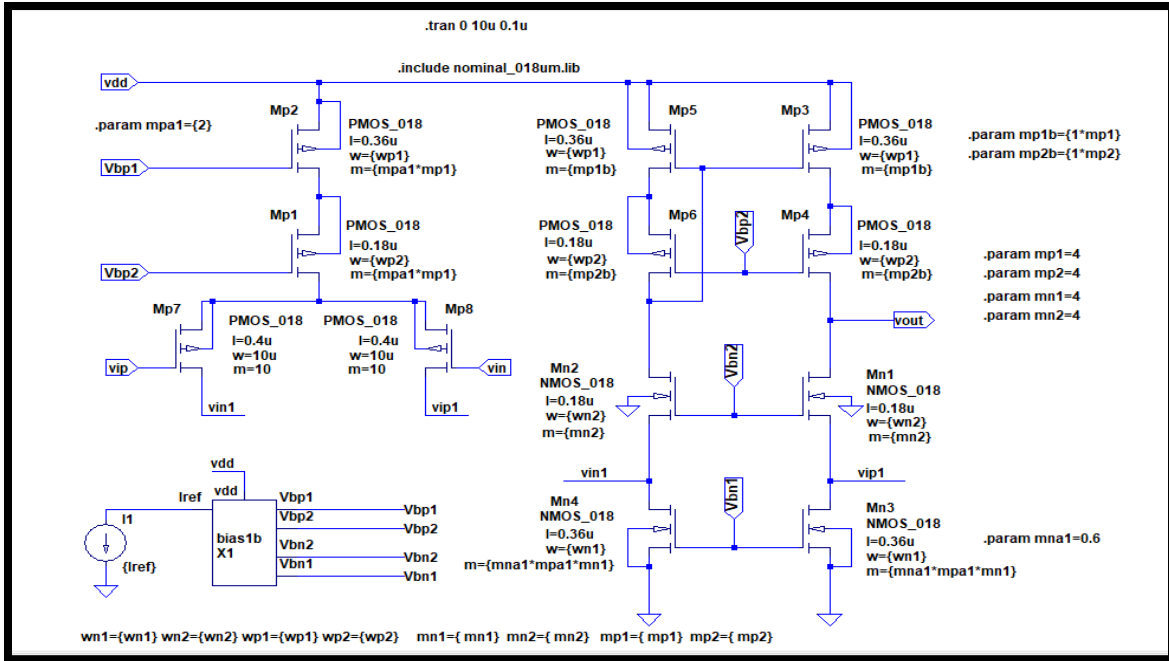


Figure 3. 16 : schéma d'un amplificateur opérationnel

➤ **Analyse fréquentielle ou AC sweep :**

Pour obtenir l'analyse fréquentielle l'amplificateur est monté en suiveur et une analyse 'AC' est effectué par LTSPICE, l'analyse fréquentielle est nécessaire pour déterminer le gain en boucle ouverte et la stabilité du système.

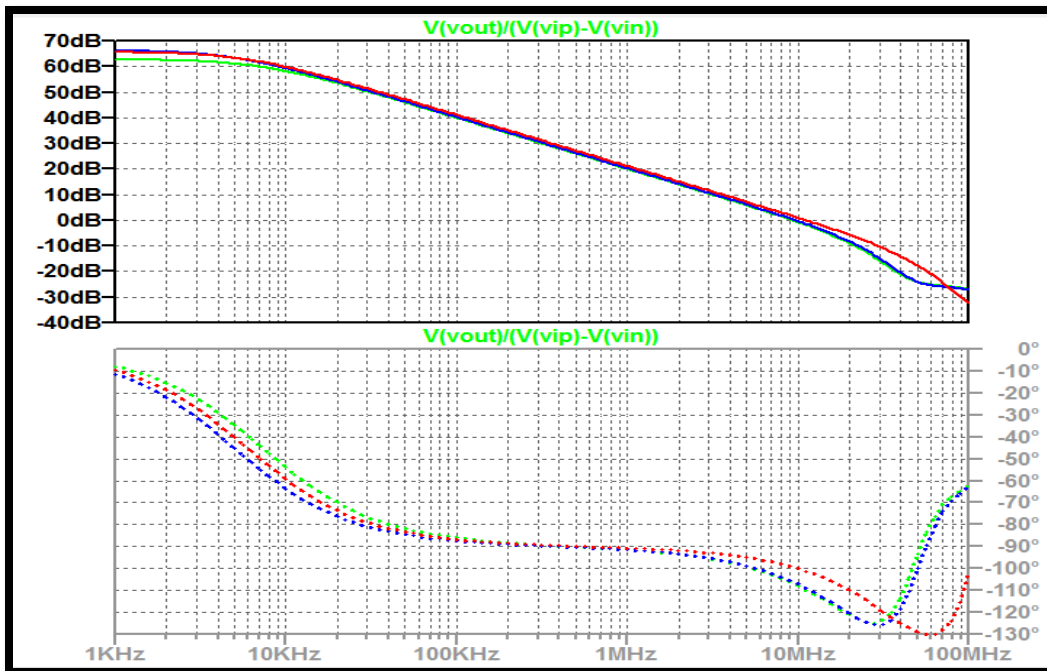


Figure 3. 17 : Simulation AC sweep d'un amplificateur opérationnel

➤ Analyse DC sweep :

L'analyse DC sweep est essentielle pour déterminer la plage dynamique de l'amplificateur opérationnel. D'après la figure (3.18), elle s'étend de 200 mV à 1.5 V.

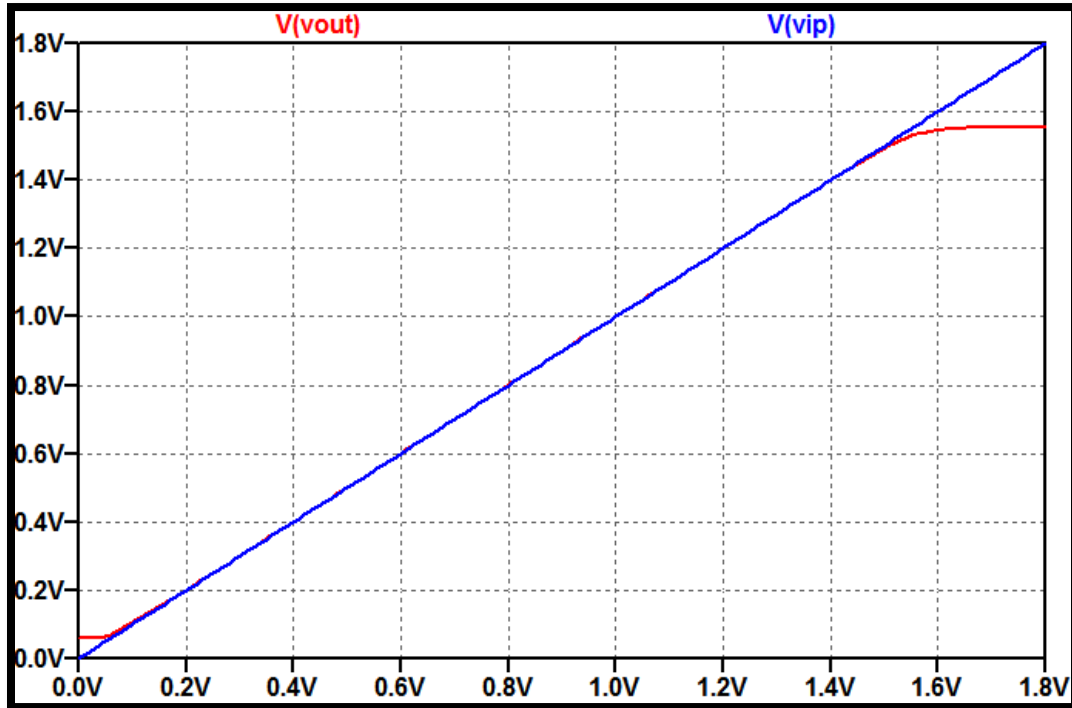


Figure 3. 18 : Analyse DC sweep d'un amplificateur opérationnel

➤ Effet de capacités :

La Figure (3.19) représente l'effet des capacités sur la rapidité et la stabilité d'un amplificateur opérationnel. Il faut noter que plus la capacité est faible plus l'amp op est rapide mais plus la marge de phase est faible, et donc, la stabilité est faible. Et vice versa, plus la capacité est grande plus l'amp op est très lent mais plus la marge de phase est importante, et donc, la stabilité est élevée.

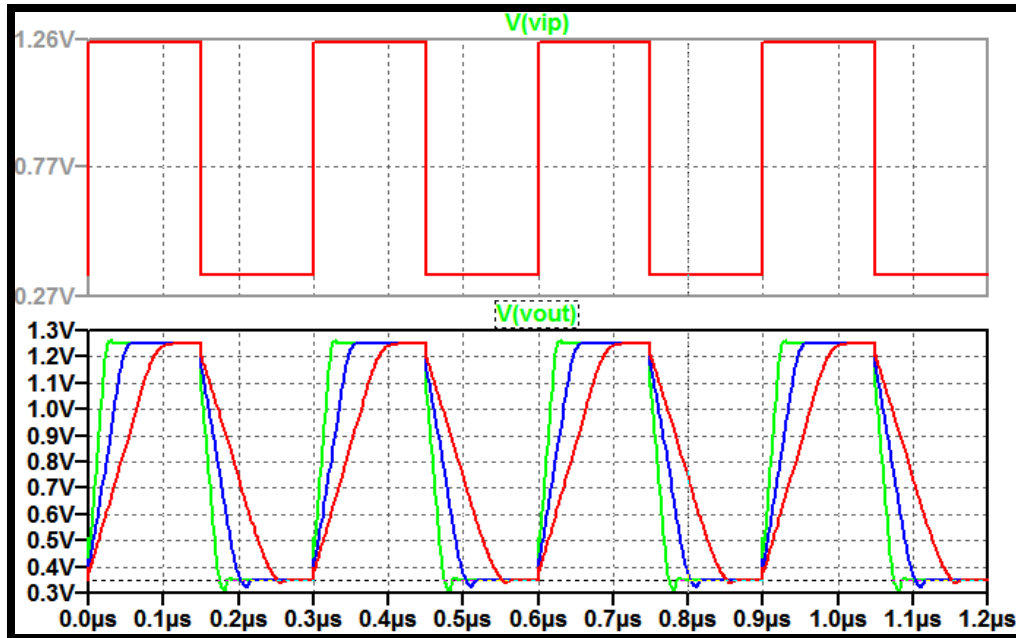


Figure 3. 19 : Les résultats de simulation pour plusieurs valeurs de capacités

3.7 Un étage pipeline :

On a combiné les blocs du sous-CAN 1,5-bits, sous-CNA 1,5-bits et le MDAC ensemble pour implémenter un étage pipeline.

Pour confirmer le bon fonctionnement d'un étage, on fait le calcul suivant :

On a : $V_{in} = 1V$, $V_{refP} = 1.2V$, $V_{cm} = 0.8V$, $V_{refN} = 0.4V$, $V_{refP4} = 0.9V$, $V_{refN4} = 0.7V$.

En considérant que l'offset est nul, pour faciliter le calcul, c-à-dire : $V_{cm} = 0V$.

On obtient :

$V_{in} = 0.2V$, $V_{refP} = 0.4V$, $V_{refN} = -0.4V$, $V_{refP4} = 0.1V$, $V_{refN4} = -0.1V$.

La tension en sortie d'un étage pipeline égale à :

$$\left\{ \begin{array}{l} V_{out} = 2 \times V_{in} - V_{refP}, \text{ si } V_{in} > V_{refP4} \\ V_{out} = 2 \times V_{in}, \text{ si } V_{refN4} < V_{in} < V_{refP4} \\ V_{out} = 2 \times V_{in} + V_{refN}, \text{ si } V_{in} < V_{refN4} \end{array} \right.$$

Chapitre 3 : Modélisation du CAN pipeline

Le schéma d'un étage pipeline est présenté dans la Figure (3.20) et la figure (3.21) montre les résultats de la simulation.

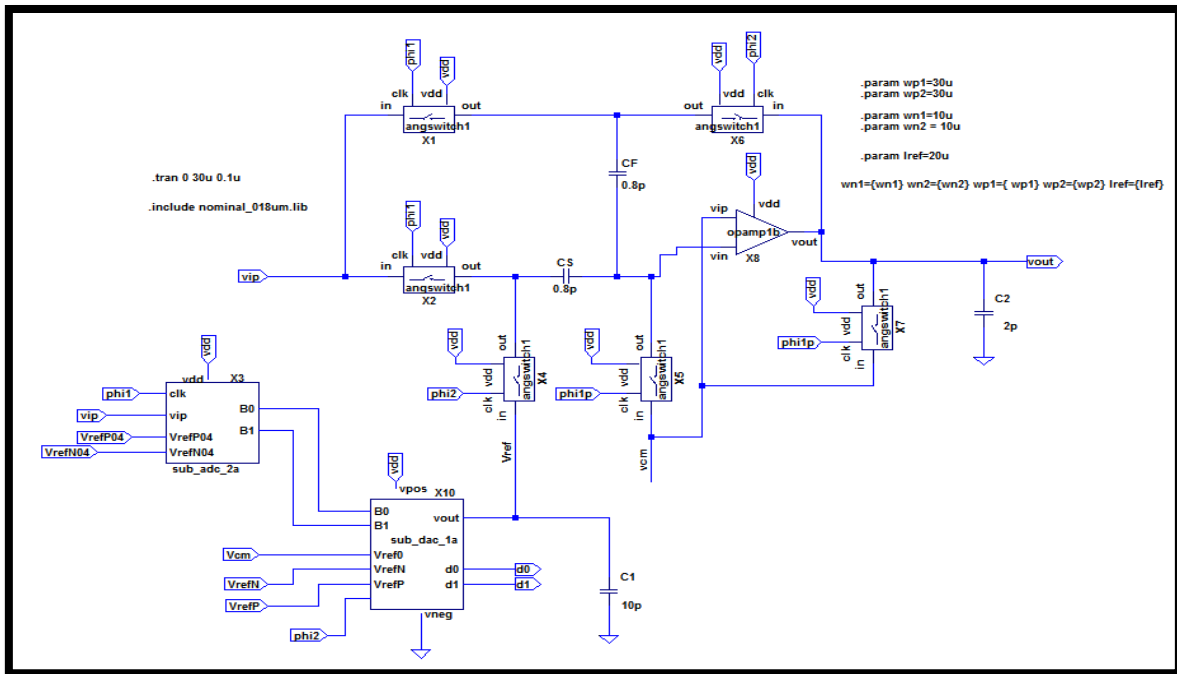


Figure3. 20 : Le schéma d'un étage pipeline

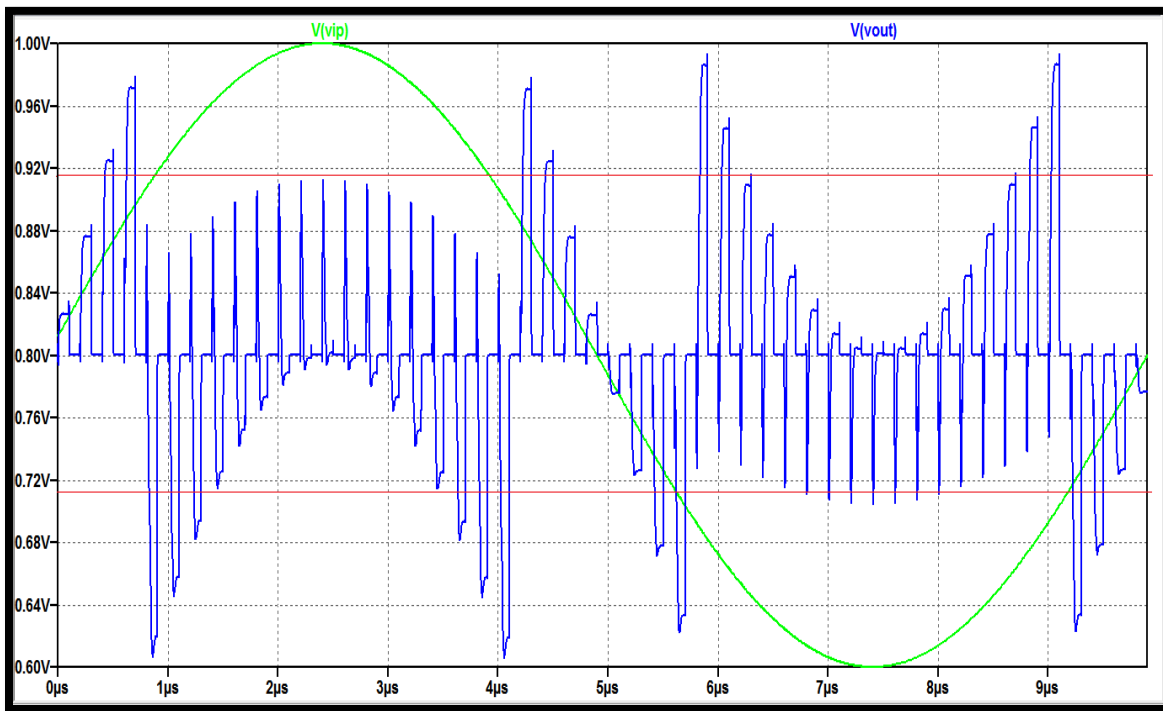


Figure 3. 21 : Les résultats de la simulation d'un étage pipeline

3.8 Dernier étage :

Afin d'obtenir les codes complets, un CAN flash à 2 bits est utilisé dans le dernier étage au lieu d'un CAN flash à 1,5 bits. Il compare le signal d'entrée avec trois niveaux de décision et produit l'une des quatre sorties numériques 00, 01, 10 ou 11. Les seuils du CAN flash à 2-bit sont $+1/2V_{ref}$, 0 et $-1/2V_{ref}$ en plus d'un offset de 800 mV. Les trois comparateurs génèrent un jeu de quatre codes thermométriques et puis un circuit décodeur les convertis en codes binaires.

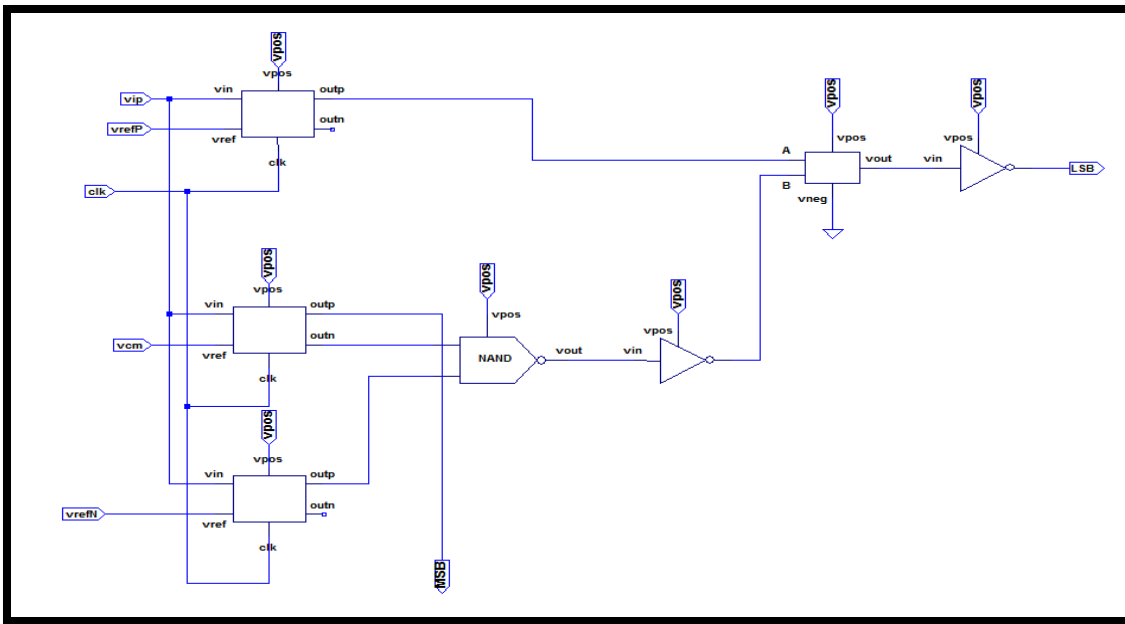


Figure 3. 22 : Le schéma d'un CAN flash à 2 bits

3.9 L'étage de correction logique :

Le circuit numérique dans le convertisseur pipeline réalise la fonction de correction des erreurs numériques en combinant les résultats binaires de chaque étage en un nombre binaire final à N bits. Il contient une logique de retard et une logique de correction.

L'étage de retard est basé sur les bascules D et il a pour but de synchroniser les codes de sortie des différents étages pipeline. Ensuite, ces codes sont introduits dans l'étage de correction afin de produire le code de la sortie du convertisseur.

Le schéma d'un étage de retard et le résultat de son simulation sont présentés dans les Figures (3.25) et (3.26) respectivement.

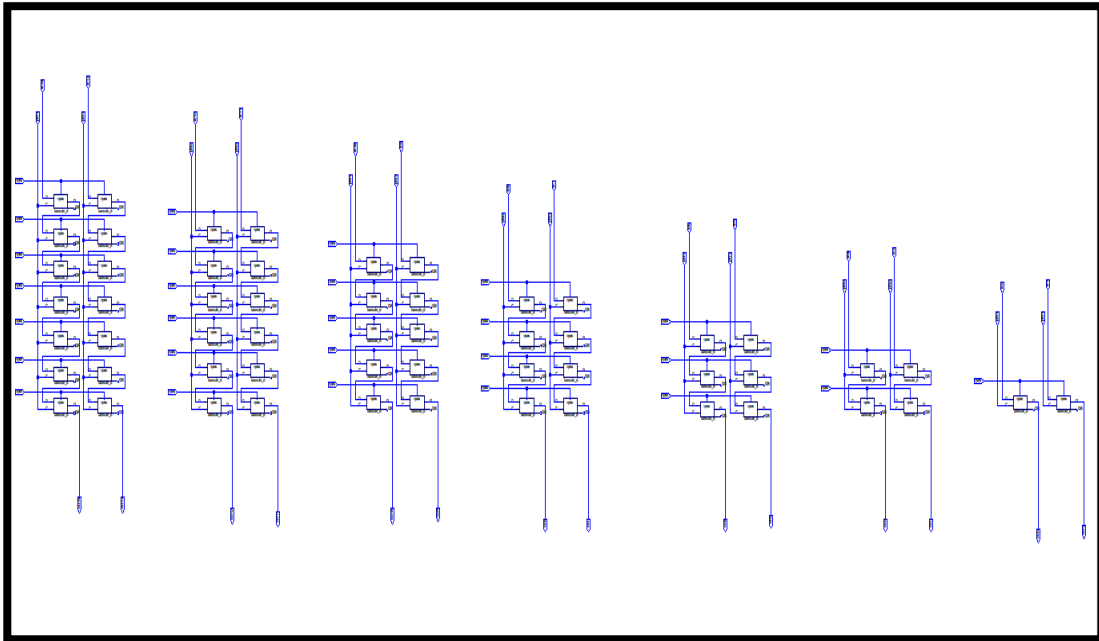


Figure 3. 25 : Le schéma d'un étage de retard

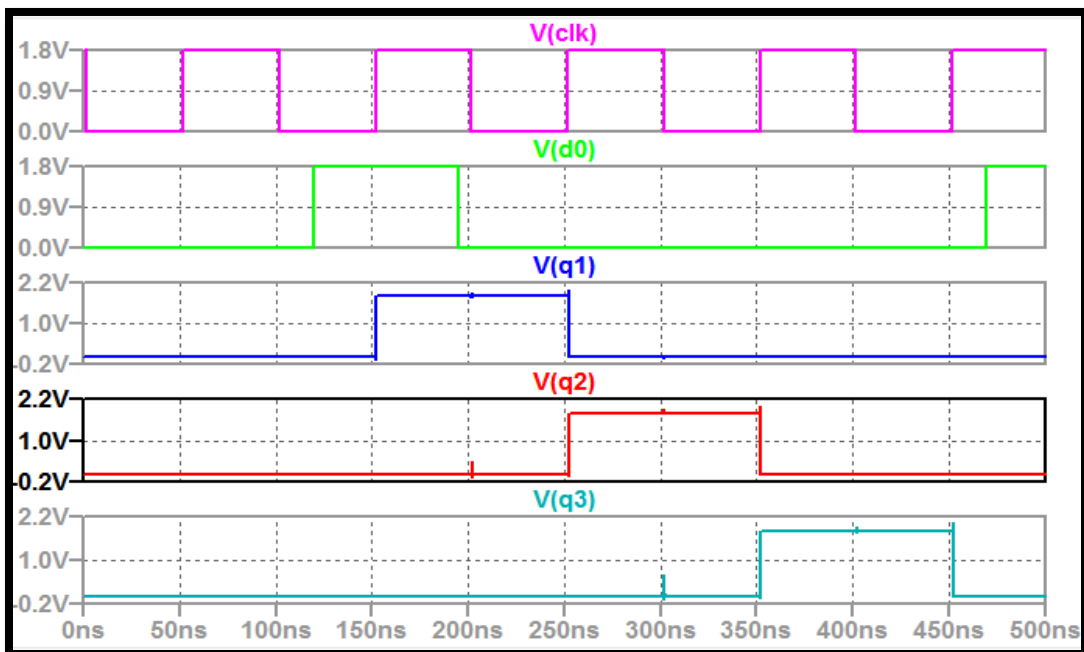


Figure 3. 26 : Les résultats de la simulation d'un étage de retard

3.9.2 L'étage de correction :

L'élément de base dans la réalisation d'un étage de correction est l'additionneur complet (full adder). Le schéma d'un étage de retard est présenté dans la Figure (3.27) et la figure (3.28) montre les résultats de la simulation.

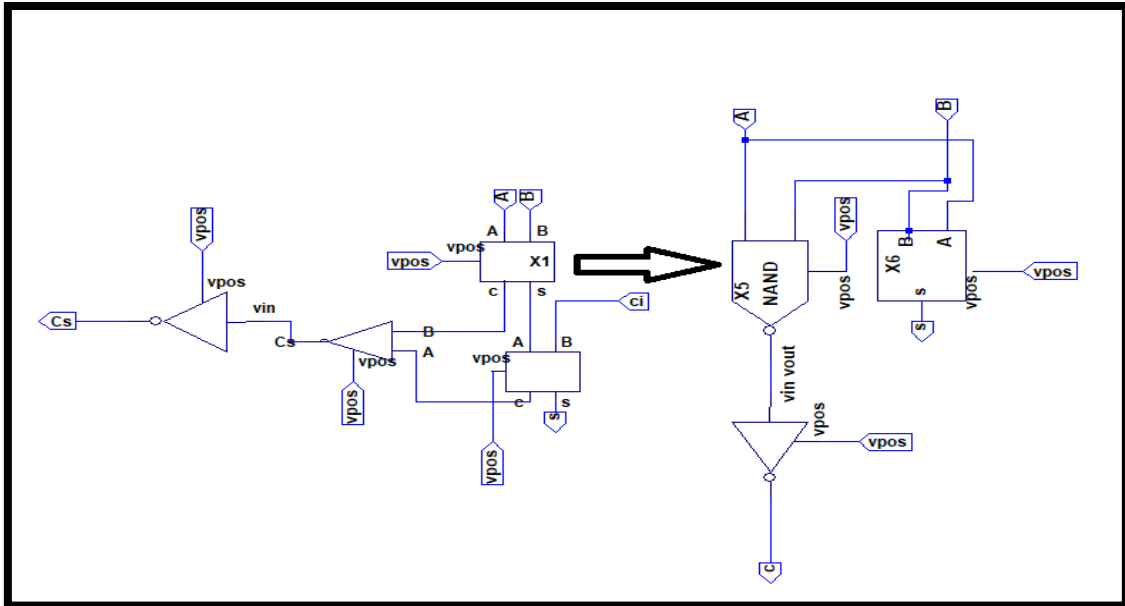


Figure 3. 27 : Le schéma d'un additionneur complet

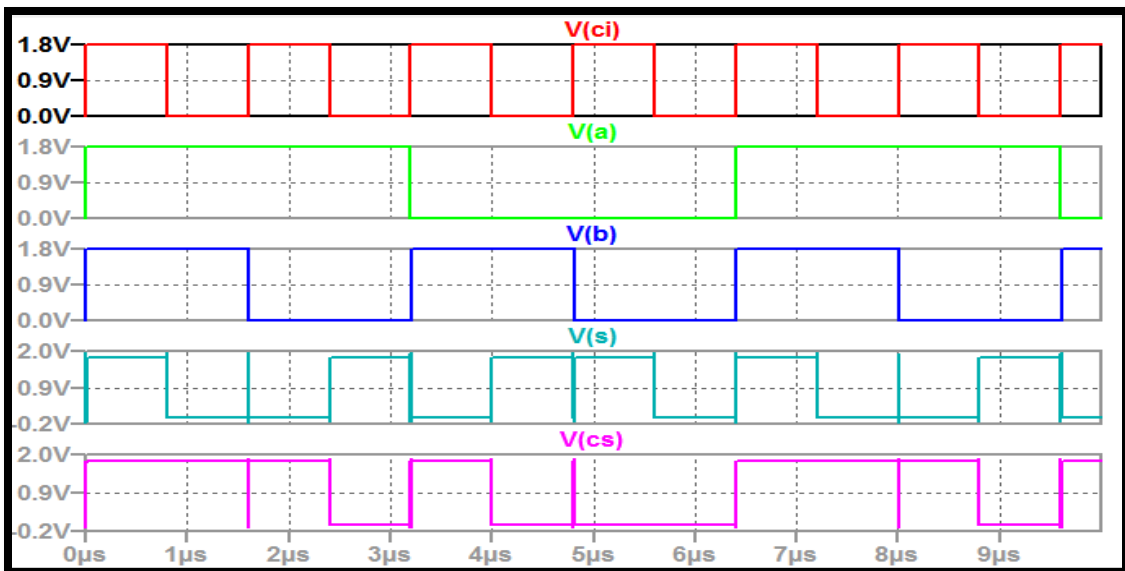


Figure 3. 28 : Les résultats de la simulation d'un additionneur complet

Le schéma d'un étage de correction est présenté dans la Figure (3.29).

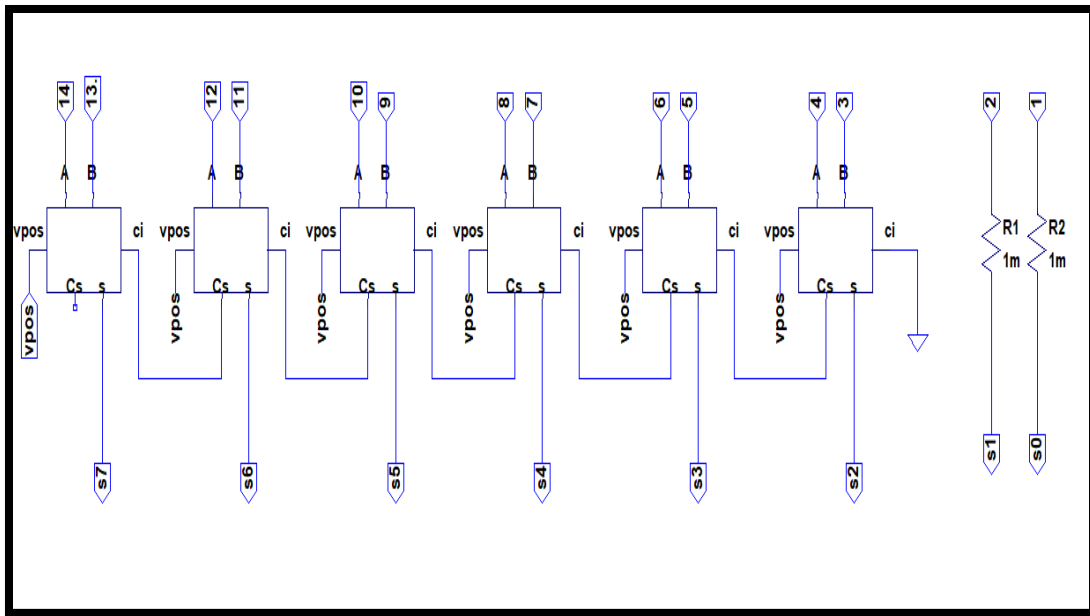


Figure 3. 29 : Le schéma d'un étage de correction

3.10 CAN pipeline complet :

Le schéma d'un CAN pipeline complet à 8 bits est présenté dans la Figure (3.30). Ce modèle se compose de 6 étages pipeline, un dernier étage à 2 bits, et un étage de correction logique. Les étages adjacents du CAN de type pipeline devraient être conduits par les signaux d'horloge avec des phases opposées pour assurer une opération simultanée.

Chapitre 3 : Modélisation du CAN pipeline

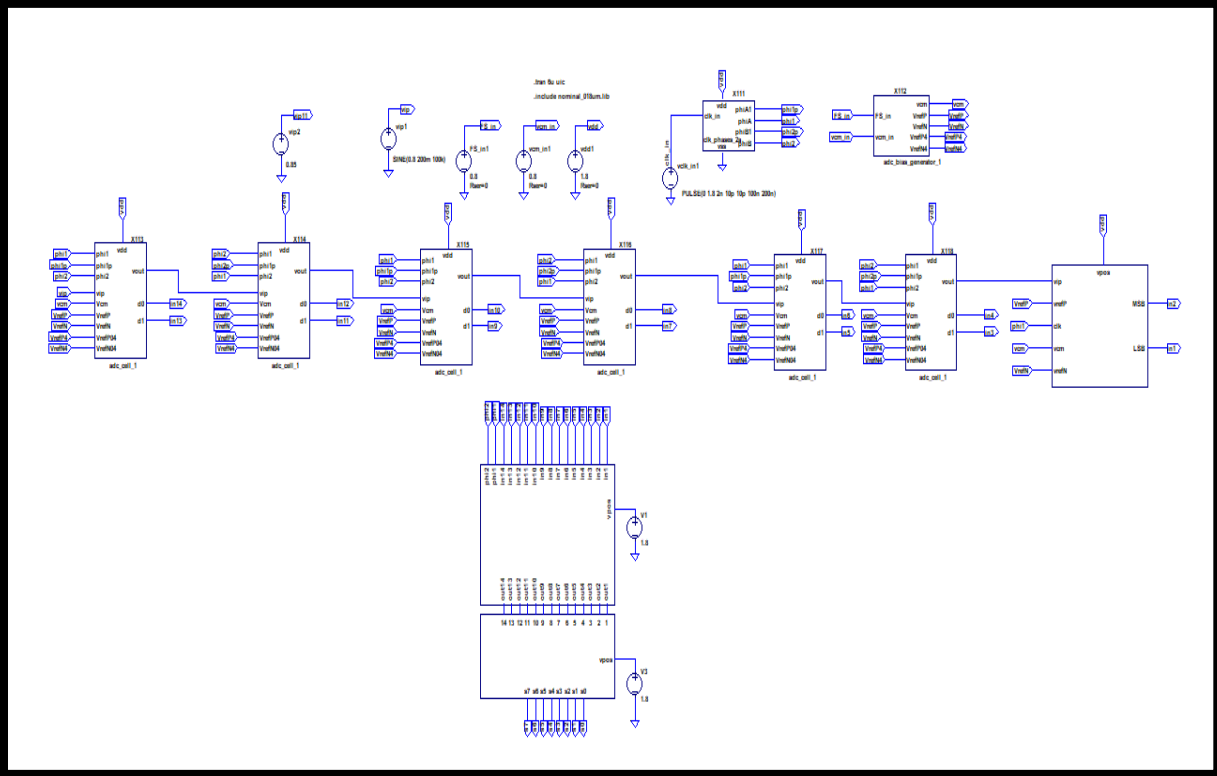


Figure 3. 30 : Le schéma d'un CAN pipeline complet

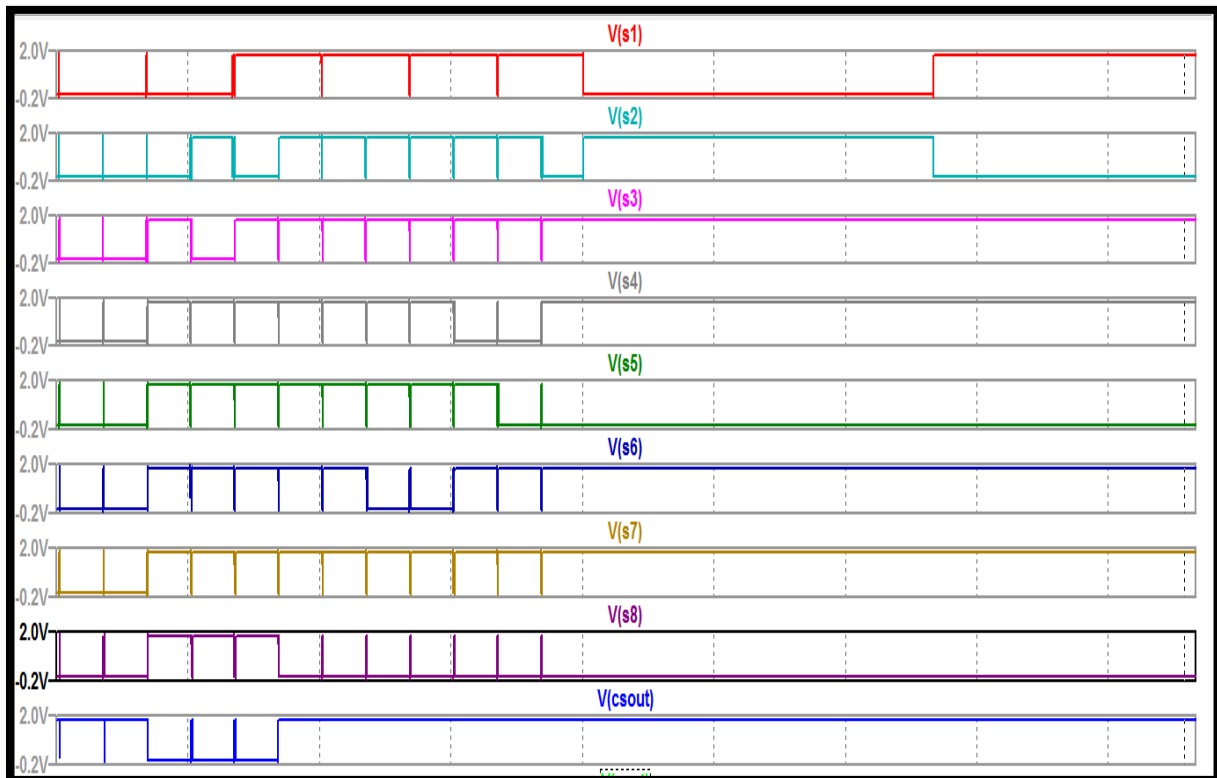


Figure 3. 31 : Les résultats de la simulation d'un CAN pipeline complet

4. Conclusion :

Le schéma d'un convertisseur A/N pipeline a été développée avec succès, Le développement du modèle du convertisseur de type pipeline à 08 bits est fait en technologie CMOS 0.18 μm avec l'utilisation du logiciel LTSPICE.

D'abord, nous avons détaillé les différents éléments de notre modélisation que nous avons réalisée en utilisant la technologie CMOS 0.18 μm sous LTSPICE. Ensuite, nous avons présenté les résultats de simulation de chaque bloc élémentaire ainsi que les résultats obtenus du convertisseur complet afin de les discuter et comprendre les avantages de modélisation.

- [20] LTspice, Design Center, Analog Devices [en ligne]. Site disponible sur : <http://www.analog.com/en/design-center/design.../ltspice-simulator.html>.
- [21] Introduction à LTspice IV, In : Université de Liège. Bibliothèque. Site de la bibliothèque de l'Université de Liège [en ligne]. Disponible sur: <http://chamilo2.grenet.fr/inp/main/document/document.php?cidReq...id...html> .(Page consultée le 2010)

CONCLUSION GÉNÉRALE :

Le travail réalisé dans le cadre du projet master en microélectronique s'inscrit dans le domaine de la conversion analogique numérique et concerne spécifiquement l'étude et la conception d'un convertisseur analogique numérique pipeliné en technologie CMOS 0.18 μm . La place du CAN de type pipeline dans les CANs est particulièrement importante car celui, et sans doute, qui offre aujourd'hui le meilleur compromis possible entre la rapidité, la résolution et le coût.

L'objectif principal de ce projet était de présenter les détails de conception du CAN pipeline dans les procédés microélectroniques modernes. Cette architecture pipeline est exploitée à une tension d'alimentation de 1,8 V avec 8 bits de résolution et un gain de 63 dB pour l'amplificateur opérationnel.

Ce manuscrit a été divisé en trois chapitres :

Dans le premier chapitre, nous avons fourni une brève introduction à la conversion analogique-numérique. D'abord, nous avons donné un bref aperçu des principes fondamentaux de convertisseur analogique-numérique. Par la suite, nous avons présenté les caractéristiques et les performances des convertisseurs analogiques numériques (A/N) afin de faire un bilan des convertisseurs analogiques-numériques.

Le deuxième chapitre du travail a été axé sur le principe de fonctionnement des CANs pipeline. L'étude a montré que la conception d'un CAN pipeline reste une tâche méticuleuse qui demande une bonne maîtrise des éléments de base tels que le comparateur, l'échantillonneur bloqueur (E/B) et l'amplificateur opérationnel. C'est pour ça, nous avons détaillé dans ce chapitre les blocs de construction clés d'un convertisseur analogique numérique de type Pipeline. Ensuite, nous avons présenté les avantages et les inconvénients de ce type de convertisseur.

Dans le troisième chapitre, nous avons conçu le CAN pipeline avec une résolution de 8 bits dans le procédé CMOS 0.18 μm . Tout d'abord, nous avons détaillé les différents éléments de notre modélisation que nous avons réalisé en utilisant la technologie CMOS 0.18 μm sous LTSPICE ainsi que présenté les résultats de simulation de chaque bloc élémentaire et ensuite les résultats obtenus du convertisseur complet

- [1] Samir BARRA, "Contribution à la Conception d'un Convertisseur Analogique Numérique en Technologie CMOS, " Thèse de Doctorat en microélectronique, Université de Batna, 2013.
- [2] Mokrane DAHOUMANE, "Conception, Réalisation et Caractérisation de l'Électronique Intégrée de Lecture et de Codage des Signaux des Détecteurs de Particules Chargées à Pixels Actifs en Technologie CMOS," Thèse de Doctorat en microélectronique, Université de Strasbourg, 2009.
- [3] Nicolas PILLET, "Conception et intégration de convertisseurs Analogique/Numérique, compacts, à bas bruit, adaptés aux capteurs CMOS destinés à la adétection de particules chargées," Thèse de Doctorat en microélectronique, Université de Strasbourg, 2010.
- [4] HANFOUG Salah, "Contribution à la Conception des circuits Mode de courant en Technologie CMOS," Thèse de Doctorat en microélectronique, Université de Batna, 2016.
- [5] Abdelmadjid MIHOUBI, "Conception d'un convertisseur analogique numérique Sigma Delta du 1er ordre à 12 bits," Mémoire de Magister en microélectronique, Université de Strasbourg, 2010.
- [6] Joël Roméo NGANKIO NJILA, "Analyse d'une nouvelle architecture pipeline de convertisseur analogique numérique supraconducteur, " Thèse de Doctorat en nanoélectronique et nanotechnologies, Université de Grenoble, 2012.
- [7] Guillaume REGIS, "Conception de circuits analogiques-numérique pour le conditionnement de micro capteurs embarqués," Thèse de Doctorat en Physique Expérimentale et Instrumentation, Université de Grenoble, 2011.
- [8] Abdelghani DENDOUGA, "Contribution à la Modélisation et à la Conception d'un Convertisseur Analogique Numérique Sigma Delta," Thèse de Doctorat en microélectronique, Université de Batna, 2013.

- [9] Chiheb REBAI, " Contribution à la Caractérisation des Convertisseurs Analogiques Numériques haute performances : Mise en œuvre de nouveaux systèmes de traitement du signal pour le test in-situ," Thèse de Doctorat en électronique, Université de Bordeaux I, 2002.
- [10] Christopher. Taillefer, "Analog-to-Digital Conversion via Time-Mode Signal Processing," PhD Thesis, McGill University, Montréal, 2007.
- [11] Emmanuel ALLIER, "Interface analogique numérique asynchrone : Une nouvelle classe de convertisseurs bases sur la quantification du temps," Thèse de Doctorat en microélectronique, Institut National Polytechnique de Grenoble, 2003.
- [12] Lucas PERBET, " Optimisation de blocs constitutifs d'un convertisseur A/N pipeline en technologie CMOS 0.18 μ m pour utilisation en environnement spatial," Thèse de Doctorat en micro et nanosystèmes, Université de Toulouse, 2017.
- [13] S.-C. Huang, "High Speed Pipelined ADC Using Opamp Sharing and Scaling Techniques for Display Interface," Master thesis, National Chung Cheng University (NCKU), 2006.
- [14] Jonas Benjamin Borch, " Pipelined ADC-Design of low-power, highspeed A/D converter in CMOS technology," the bachelor study in science (BScE), Technical University of Denmark (DTU), 2009.
- [15] Qazi Omar Farooq, " Modeling and Implementation of A 6-Bit, 50MHz Pipelined aADC in CMOS," Master's Thesis, Lund University.
- [16] Tertulien Ndjountche, " CMOS Analog Integrated Circuits,"
E. Moulin, " Etude sur les différentes architectures des convertisseurs analogiques numériques,"Thomson-CFS, 1997.
- [17] Johns, David and Martin, Ken, "Analog Integrated Circuit Design," John Wiley & Sons, Inc.: New York, United States of America, 1997.

- [18] Katyal .V, Geiger, R.L, Chen D.J, “ A new high precision low offset dynamic comparator for high resolution high speed ADCs,” Circuits and Systems, 2006, APCCAS 2006, IEEE Asia Pacific Conference on 4-7 Dec, 2006.
- [19] Mikael .Gustavsson, J. Jacob Wikner, Nianxiong Nick Tan, “CMOS data converters for communications,” Kluwer Academic Publishers, United States of America, 2002.
- [20] LTspice, Design Center, Analog Devices [en ligne]. Site disponible sur : <http://www.analog.com/en/design-center/design.../ltspice-simulator.html>.
- [21] Introduction à LTspice IV, In : Université de Liège. Bibliothèque. Site de la bibliothèque de l'Université de Liège [en ligne]. Disponible sur: <http://chamilo2.grenet.fr/inp/main/document/document.php?cidReq...id...html> .(Page consultée le 2010)

Résumé

Il existe différents types de convertisseurs analogiques numériques (CAN), l'un de ces convertisseurs est le CAN pipeliné. Le CAN pipeline est un convertisseur de Nyquist très populaire puisqu'il offre le meilleur compromis entre la résolution et la vitesse de conversion. Ce travail a pour but de l'étude et la conception d'un CAN pipeline à 8 bits basé sur l'architecture 1.5 bits/ étage en utilisant la technologie CMOS 0.18 μ m. Le logiciel LTSPICE est utilisé pour valider la conception par simulation. Ce manuscrit contient aussi une section théorique, des notions de base sur la conversion analogique numérique et les architectures les plus populaire. Ensuite, une analyse de la structure pipeline et ces composants individuels.

Mots clés : Convertisseurs analogiques numériques (CAN), le CAN pipeline, l'étude et la conception, l'architecture 1.5 bits/ étage.

Abstract

There are different types of analog to digital converters (ADC), one of these converters is the pipelined ADC. The pipelined ADC is a very popular Nyquist converter because it offers the best compromise between resolution and conversion speed. This work aims to study and design of an 8 bits pipelined ADC based on the 1.5 bits / stage architecture using 0.18 μ m CMOS technology. The LTSPICE software is used to validate the design by simulation. This manuscript also contains a theoretical section, basic notions about analog to digital conversion and the most popular architectures. Next, an analysis of the pipeline structure and these individual components.

Keywords: Analog to digital converters (ADC), the pipelined ADC, study and design, the 1.5 bits / stage architecture.

ملخص

يوجد أنواع مختلفة من المحولات التماثلية الرقمية، أحد هذه المحولات هو المحول التماثلي الرقمي خط أنابيب. المحول التماثلي الرقمي خط أنابيب هو محول شائع للغاية لأنه يقدم أفضل حل وسط بين الدقة وسرعة التحويل. يهدف هذا العمل إلى دراسة وتصميم المحول التماثلي الرقمي خط أنابيب ذو 8 بت مستندا إلى بنية 1.5 بت/ طابق باستخدام تقنية سيموس 0.18 ميكرومتر. يتم استخدام برنامج ألتى سبيس للتحقق من صحة التصميم عن طريق المحاكاة. تحتوي هذه المخطوطة أيضاً على قسم نظري، مفاهيم أساسية حول التحويل التماثلي الرقمي والأبنية الأكثر شعبية. بعد ذلك، تحليل بنية خط الأنابيب و مكوناته الفردية.

كلمات مفتاحية: المحولات التماثلية الرقمية، المحول التماثلي الرقمي خط أنابيب، دراسة وتصميم، بنية 1.5 بت / طابق.