

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE  
MINISTRE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE  
SCIENTIFIQUE

*Université de Mohamed El-Bachir El-Ibrahimi - Bordj Bou Arreridj*

*Faculté des Sciences et de la technologie*

*Département d'Electronique*

# *Mémoire*

*Présenté pour obtenir*

LE DIPLOME DE MASTER

FILIERE : *Electronique*

Spécialité : *Industrie Electronique*  
(MCIL)

Par

➤ **Tayebi Akram**

➤ **Toumi Akram Charaf Eddine**

*Intitulé*

## *Etude et conception d'un convertisseur analogique numérique pipeliné en technologie CMOS*

*Évalué le : 14/09/2021*

*Par la commission d'évaluation composée de\* :*

<i>Nom &amp; Prénom</i>	<i>Grade</i>	<i>Qualité</i>	<i>Etablissement</i>
<i>Dr. YOUSFI Abderahim</i>	<i>MAA</i>	<i>Président</i>	<i>Univ-BBA</i>
<i>Dr. MESSAI Zitouni</i>	<i>MCA</i>	<i>Encadreur</i>	<i>Univ-BBA</i>
<i>M. BRAHIMI A/Halim</i>	<i>Doctorant</i>	<i>Co-Encadreur</i>	<i>Univ-BBA</i>
<i>Mme. MEGUILLATI Sabrina</i>	<i>MAA</i>	<i>Examineur</i>	<i>Univ-BBA</i>

*Année Universitaire 2020/2021*

\* Conformément à :

- L'arrêté n°055 du 21 janvier 2021 Fixant dispositions exceptionnelles autorisées en matière d'organisation et gestion pédagogique, de l'évaluation et de la progression des étudiants, durant la période COVID-19 au titre de l'année universitaire 2020-2021 ;
- Procès-verbal de la réunion de l'équipe du domaine des Sciences et Technologies du mois de Mai 2021.

# *Dédicace*

*Je dédie ce modeste travail*

*A ma très chère mère ;*

*A mon très cher père ;*

*A mes grands parents ;*

*A mon cher frère ;*

*A mes chères sœurs ;*

*A toute ma famille ;*

*A mes copins « Issam ,Akram,Hamza ,Zico*

*,Mamado,Assef,Abdou,Zinou,Reda,Salah , Hani ,*

*Mohamed,Yahia ,Ishaq ,aymene,abdnour,amine,chocho» ;*

*A tous mes amis*

# Remerciements

*Mes remerciements vont premièrement à Allah le tout puissant pour la volonté, la santé et la patience, qu'il me les a données durant toutes ces années d'études.*

*Je remercie, en deuxième position le directeur du mémoire Mr Messai et Mr Brahimi pour avoir tout d'abord proposé ce thème, pour le suivi continué tout le long de la réalisation de ce mémoire et pour tous ses conseils et remarques qu'il n'en a pas cessé de nous donner.*

*Je remercie aussi, les enseignants pour avoir accepté de juger ce travail. Je leur exprime toute ma reconnaissance.*

*J'exprime encore, ma gratitude ainsi que ma reconnaissance à l'ensemble des enseignants qui ont contribué, de près ou de loin, à notre formation et plus précisément à ceux du département électronique.*

*Enfin, je remercie tous ceux qui ont contribué, même de loin, à l'élaboration de ce travail.*

## ملخص

يعد تصميم الدوائر المتكاملة نشاطاً صعباً ، حيث إنه يستهدف مواصفات التصميم المعقدة التي ترتبط ارتباطاً وثيقاً بحجم الترانزستورات وتعتمد على تقنية الجهاز. يركز هذا العمل على تصميم محول خط الأنابيب التناظري إلى الرقمي. ربما يكون محول خط الأنابيب التناظري إلى الرقمي هو أكثر المحولات التماثلية الرقمية شعبية لأنه يقدم أفضل حل وسط بين السرعة والدقة. يهدف هذا العمل إلى دراسة و تصميم محول خط الأنابيب التناظري إلى الرقمي ذو 8 بت مستندا إلى بنية 1.5 بت/طابق باستخدام تقنية سيموس 0.18ميكرومتر. يتم استخدام برنامج ألتى سبيس للتحقق من صحة التصميم عن طريق المحاكاة. تحتوي هذه المخطوطة أيضاً على قسم نظري، مفاهيم أساسية حول التحويل التماثلي الرقمي والأبنية الأكثر شعبية. بعد ذلك، تحليل بنية محول خط الأنابيب التناظري إلى الرقمي ومكوناته الفردية.

**كلمات مفتاحية:** المحولات التماثلية الرقمية، ألتى سبيس، تصميم، محول خط الأنابيب، سيموس.

## Résumé

La conception des circuits intégrés est une activité stimulante, car elle cible des spécifications de conception complexes qui sont étroitement liées à la taille des transistors et dépendant de la technologie du dispositif. Ce travail porte sur la conception d'un convertisseur analogique-numérique de type pipeline. Les CAN pipeline sont peut-être les CAN les plus populaires puisqu'ils offrent le meilleur compromis entre la vitesse et la résolution. Ce travail a pour but de l'étude et la conception d'un CAN pipeline à 8 bits basé sur l'architecture 1.5 bits/ étage en utilisant la technologie CMOS 0.18µm. Le logiciel LTSPICE est utilisé pour valider la conception par simulation. Ce manuscrit contient aussi une section théorique, des notions de base sur la conversion analogique numérique et les architectures les plus populaires. Ensuite, une analyse de la structure pipeline et ces composants individuels.

**Mots clés :** Les Convertisseurs Analogiques Numériques (CAN), LTSPICE, conception ,pipeline, CMOS.

## Abstract

The integrated circuits design is a challenging activity, as it targets complex design specifications which are closely related to the transistors size and dependent on the device technology. This work focuses on the design of a pipeline analog-to-digital converter. Pipeline ADCs are perhaps the most popular ADCs as they offer the best compromise between speed and resolution. This work aims to study and design an 8-bit pipeline ADC based on the 1.5-bit / stage architecture using 0.18µm CMOS technology. LTSPICE software is used to validate the design by simulation. This manuscript also contains a theoretical section, basic notions of analog-to-digital conversion and the most popular architectures. Then, an analysis of the pipeline structure and its individual components.

**Keywords :** Analog-to-Digital converters (ADC), LTSPICE, design, pipeline, CMOS.

# Sommaire

<b>INTRODUCTION GENERALE.....</b>	<b>1</b>
-----------------------------------	----------

## **CHAPITRE I : Généralités sur les convertisseurs analogiques numériques**

I.1 Introduction .....	3
I.2 Conversion analogique numérique .....	3
I.2.1 Théorie de l'échantillonnage .....	3
I.2.2 Principe de conversion et définitions .....	4
I.2.3 Résolution d'un CAN .....	5
I.3 Les différentes architectures de CAN .....	6
I.3.1 Le convertisseur flash .....	6
I.3.2 Architecture à approximation successive (SAR) .....	7
I.3.3 Architecture Sigma-Delta .....	8
I.3.3 Architecture Pipeline .....	9
I.4 Conclusion .....	11

## **CHAPITRE II : La structure interne et le principe de fonctionnement du convertisseur pipeline**

II.1 Introduction .....	12
II.2 Architecture du convertisseur pipeline .....	12
II.3 Principe de fonctionnement du convertisseur pipeline .....	13
II.3.1 Fonctionnement d'un étage à 1,5 bits .....	15
II.4 Les blocs de construction clés d'un CAN Pipeline .....	16
II.4.1 Le générateur d'horloge .....	16
II.4.2 Les Amplificateurs Opérationnels .....	17
II.4.3 L'étage « MDAC » .....	25
II.4.4 Les comparateurs .....	28
II.4.5 Le sous - Convertisseur Analogique-Numérique (sous-CAN) .....	29
II.4.5.1 Le circuit décodeur à l'intérieur de Sous-CAN .....	30
II.4.6 L'étage de correction logique .....	31
II.4.6.1 Les cellules de synchronisation .....	32
II.4.6.2 La correction numérique de l'erreur .....	33
II.5 Les applications des convertisseurs de type pipeline .....	34
II.6 Conclusion .....	35

## **CHAPITRE III : Conception du convertisseur analogique numérique pipeline 8 bits**

III.1 Introduction .....	36
III.2 Logiciel de simulation .....	36
III.3 Simulation du CAN pipeline 8 bits .....	37
III.3.1 Le générateur d'horloge .....	37

III.3.2 Les comparateurs.....	38
III.3.3 Le sous –CAN à 1.5-bit .....	39
III.3.4 Le sous –CNA à 1.5-bit .....	42
III.3.5 Le MDAC .....	43
III.3.6 L’amplificateur.....	45
III.3.7 L’étage pipeline.....	46
III.3.8 L’étage de correction logique .....	48
III.3.8.1 L’étage de retard.....	48
III.3.8.2 L’étage de correction .....	50
III.3.9 CAN pipeline complet .....	52
III.4 Conclusion .....	53

**CONCLUSION GENERALE..... 54**

**BIBLIOGRAPHIE**

## Liste des figures

<b>Figure I.1 :</b> Exemple de conversion analogique-numérique dans le cas d'un convertisseur ayant une résolution de 4 bits.	4
<b>Figure I.2 :</b> Architecture de CAN flash 3 bits à échelle de résistance.	6
<b>Figure I.3 :</b> Détail de l'architecture d'un CAN SAR et chronogramme d'une conversion sur 4 bits.	7
<b>Figure I.4 :</b> Principe de la modulation Sigma-Delta.	8
<b>Figure 1.5 :</b> Architecture de CAN pipeline.	10
<b>Figure I.6 :</b> Architecture d'un étage MDAC.	10
<b>Figure II.1 :</b> Structure schématique d'un étage classique single-ended de 1,5 bits d'un CAN pipeline. Il est constitué d'un ADSC, d'un DAC et d'un SHA.	13
<b>Figure II.2 :</b> Architecture de CAN pipeline.	13
<b>Figure II.3 :</b> Architecture d'un étage "MDAC".	14
<b>Figure II.4 :</b> Fonction de transfert idéale d'un étage 1,5 bits.	16
<b>Figure II.5 :</b> Générateur d'horloge.	17
<b>Figure II.6 :</b> Représentation simplifiée d'un amplificateur à deux étages.	18
<b>Figure II.7 :</b> Amplificateur opérationnel à deux étages.	19
<b>Figure II.8 :</b> Amplificateur opérationnel symétrique.	20
<b>Figure II.9 :</b> Amplificateur opérationnel télescopique.	21
<b>Figure II.10 :</b> Amplificateur opérationnel cascode replié.	22
<b>Figure II.11 :</b> Amplificateur opérationnel télescopique à gain boosté avec la boucle CMFB.	24
<b>Figure II.12 :</b> Etage d'un convertisseur Pipeline.	25
<b>Figure II.13 :</b> Un circuit MDAC en mode d'une seule sortie.	26
<b>Figure II.14 :</b> Configuration du circuit MDAC dans les deux phases: (a) phase d'échantillonnage, (b) phase d'amplification.	26
<b>Figure II.15 :</b> Le circuit MDAC.	27

<b>Figure II.16 :</b> Digramme de timing de MDAC.	27
<b>Figure II.17 :</b> Symbole d'un comparateur single-ended.	28
<b>Figure II.18 :</b> A) fonction de transfert d'un comparateur idéal, B) fonction de transfert d'un comparateur à gain fini, C) fonction de transfert d'un comparateur à gain fini présentant un offset statique.	29
<b>Figure II.19 :</b> Le sous-CAN à 1.5bit par étage.	29
<b>Figure II.20 :</b> Le circuit décodeur à l'intérieur du sous-CAN.	30
<b>Figure II.21 :</b> Circuit de l'additionneur complet à 1bit.	32
<b>Figure II.22 :</b> La bascule D type flip- flop.	33
<b>Figure II.23 :</b> Circuit de correction de l'erreur numérique et de synchronisation.	34
<b>Figure III.1 :</b> Schéma d'un générateur d'horloge.	37
<b>Figure III.2 :</b> Les résultats de la simulation d'un générateur d'horloge.	38
<b>Figure III.3 :</b> Le schéma d'un comparateur.	39
<b>Figure III.4 :</b> Le schéma des deux comparateurs du Sous-CAN 1.5 bit.	40
<b>Figure III.5 :</b> Les résultats de simulation des deux Comparateurs du Sous-CAN 1.5 bit.	40
<b>Figure III.6 :</b> Le Schéma du circuit décodeur à l'intérieur du sous-CAN.	41
<b>Figure III.7 :</b> Les résultats de la simulation du circuit décodeur à l'intérieur du sous-CAN.	41
<b>Figure III.8 :</b> Les résultats de la simulation du sous CAN à 1.5 bit.	42
<b>Figure III.9 :</b> Le schéma du sous-CNA à 1.5-bit.	43
<b>Figure III.10 :</b> Les résultats de la simulation du sous-CNA à 1.5-bit.	43
<b>Figure III.11 :</b> Le circuit MDAC.	44
<b>Figure III.12 :</b> Résultats de simulation du circuit MDAC.	45
<b>Figure III.13 :</b> Le schéma de l'amplificateur.	46
<b>Figure III.14 :</b> Schéma de l'étage pipeline.	47

<b>Figure III.15</b> :Résultat de simulation de l'étage pipeline.	47
<b>Figure III.16</b> :Le schéma d'une bascule D.	48
<b>Figure III.17</b> : Les résultats de la simulation d'une bascule D.	49
<b>Figure III.18</b> : Le schéma d'un étage de retard.	49
<b>Figure III.19</b> : Les résultats de la simulation d'un étage de retard.	50
<b>Figure III.20</b> : Le schéma d'un additionneur complet.	51
<b>Figure III.21</b> : Les résultats de la simulation d'un additionneur complet.	51
<b>Figure III.22</b> : Le schéma d'un étage de correction.	52
<b>Figure III.23</b> : Schéma du CAN pipeline complet.	52
<b>Figure III.24</b> : Résultats de la simulation du CAN pipeline complet.	53

## Liste des tableaux

<b>Tableau II.1 :</b> Comparaison des architectures des Amp-Op.	23
<b>Tableau II.2 :</b> Table de vérité du circuit décodeur de la Figure II.20.	31
<b>Tableau II.3:</b> Algorithme de reconstruction de la sortie numérique du CAN à 5 bits.	31
<b>Tableau II.4 :</b> La table de vérité de l'additionneur complet.	32

---

# *Introduction Générale*

---

### Introduction générale

Au cours des dernières décennies, beaucoup d'attentions ont été portées sur la réduction de la tension d'alimentation ainsi qu'à la dissipation de puissance dans les circuits intégrés CMOS analogiques et mixtes. Cette réduction, principalement dictée par le besoin croissant de dispositifs et d'accessoires microélectroniques portatifs, est en train d'amener les dispositifs CMOS au point de blocage. Il n'est pas question d'arrêter le développement des technologies CMOS, mais encore une fois, on se trouve devant une nécessité incontournable d'innovation.

Les convertisseurs analogiques numériques (A/N) sont présents dans tous les équipements de traitement du signal (acoustique, numérisation d'image et de parole, transmission des données, instrumentation de mesure, biomédical, etc.). Ils constituent de fait les parties les plus critiques des systèmes électroniques actuels et cela persistera dans le futur parce que la numérisation des systèmes électroniques progressera encore plus. Plusieurs types de convertisseurs peuvent être utilisés selon les applications. Ils se différencient par leurs performances : précision, vitesse de traitement, consommation et prix.

Il existe de nombreux types de convertisseurs analogiques numériques et de multiples méthodes de conversion qui ont chacune des caractéristiques qui leur sont propres.

On peut définir cinq grandes familles de convertisseurs analogiques numériques, présentant chacune une philosophie de fonctionnement particulière : CAN Flash, CAN Pipeline, CAN à Approximation successive (SAR), CAN Sigma Delta et CAN Wilkinson (rampe).

Le travail présenté dans ce mémoire conduit à la conception et la simulation d'un convertisseur analogique numérique de type Pipeline à 8bits en technologie CMOS en utilisant le logiciel LTSPICE. Ce genre de convertisseurs est largement utilisé dans les applications de grande vitesse et de large bande. Il offre le meilleur compromis possible entre la rapidité, la résolution et le coût.

Ce mémoire est présenté sous forme d'une description détaillée de la conception réalisée. Il est divisé en trois chapitres :

Dans le premier chapitre, nous allons présenter des généralités sur les différents types de convertisseurs, et pour chaque type, le fonctionnement, les avantages et les inconvénients sont donnés.

Le deuxième chapitre décrit les convertisseurs analogiques numériques de type pipeline. Nous abordons la notion de principe de fonctionnement du CAN pipeline. Par la suite, on va détailler les blocs de construction clés d'un convertisseur analogique numérique de type Pipeline, pour terminer finalement par les applications de ce type de convertisseur.

Le troisième chapitre présente la conception et la simulation des différents blocs constituant le convertisseur conçu en utilisant la technologie CMOS 0.18  $\mu\text{m}$  sous LTSPICE.

Enfin, le travail s'achève par une conclusion générale.

# *Chapitre I*

---

## *Généralités sur les convertisseurs analogiques numériques*

---

## I.1 Introduction

Le monde de la conversion de données analogiques numériques est véritablement apparu avec le développement des télécommunications au début du 20<sup>ème</sup> siècle. Cependant, il aura fallu attendre les années cinquante pour voir apparaître les premières offres commerciales de convertisseur analogique numérique (CAN). Cette commercialisation suivait de très près la première offre commerciale d'ordinateur digital, en 1951. Le développement des CANs a suivi étroitement le développement de la micro-informatique. Mais, dans les années quatre-vingt-dix, les CANs sont devenus de plus en plus rapides, de moins en moins encombrants, de nouvelles architectures sont apparues, il est alors devenu possible de classer les architectures en fonction de leur domaine d'application. A partir des années quatre-vingt-dix, la microélectronique, grâce au développement de l'informatique, a connu une évolution exceptionnelle en termes d'intégration. Il existe à présent des centaines de modèles commerciaux différents, classés selon leur résolution en bit, leur vitesse de conversion et leur consommation. La cause de cette abondance d'offres repose sur la place qu'occupent les CANs dans les systèmes électroniques actuels [1].

Ce chapitre fournit une brève introduction à la conversion analogique-numérique. Avant de décrire la structure interne et le principe de fonctionnement de base du CAN pipeline qui seront cités dans le chapitre II, le concepteur doit connaître les idées qui sous-tendent le processus de conversion analogique-numérique. À cette fin, le premier chapitre fournit d'abord un bref aperçu sur les principes fondamentaux de convertisseur analogique-numérique. Par la suite, on va présenter le principe de conversion en donnant quelques définitions pour terminer finalement par les principales architectures de convertisseurs analogique-numérique.

## I.2 Conversion analogique numérique

### I.2.1 Théorie de l'échantillonnage

Le processus d'échantillonnage convertit un signal continu dans le temps en un signal discret dans le temps. Selon le théorème de Nyquist [2], si le signal est à une bande limitée de certaine fréquence  $f_b$ , et les échantillons sont prélevés à une fréquence d'échantillonnage  $f_s$  au moins deux fois la largeur de bande du signal  $f_b$ , c'est à dire:

$$f_s \geq 2.f_b \quad (I.1)$$

Le signal est déterminé de façon unique. Par conséquent, le signal analogique peut être reconstruit à partir de ces échantillons sans perte d'information. Le convertisseur dans lequel la fréquence d'échantillonnage utilisée est le double de la largeur de bande du signal est connu sous

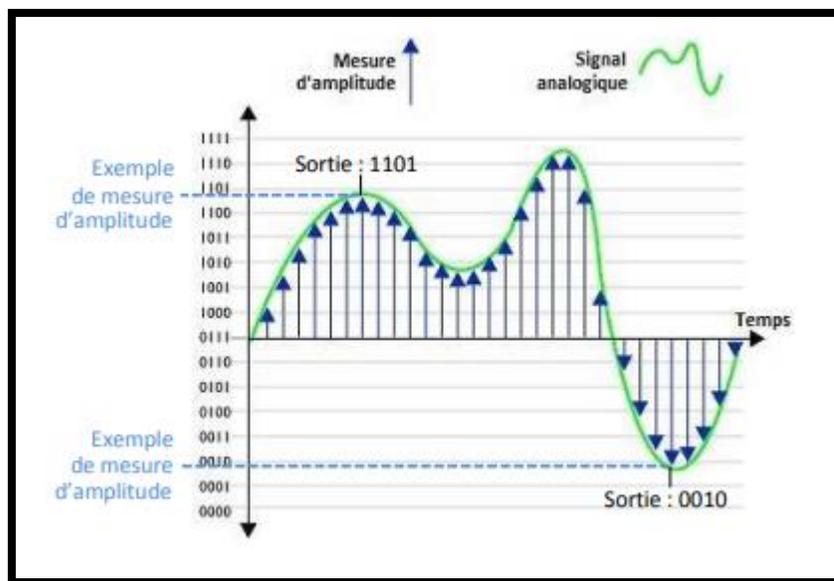
le nom de convertisseurs de Nyquist. Les convertisseurs pipeline sont en fait des convertisseurs de Nyquist.

### I.2.2 Principe de conversion et définitions

La conversion analogique-numérique est l'étape qui permet de passer d'un signal analogique continu en temps et en amplitude à un signal discret en temps (échantillonnage) et en amplitude (quantification). La conversion analogique-numérique se passe donc généralement en deux étapes distinctes : l'échantillonnage-blocage et la quantification [4].

Le principe d'un CAN est de transformer un signal analogique, donc à temps et à amplitude continus, et représentant une quantité physique (signal sonore, vitesse, rayonnement,...), en un signal numérique discret, quantifié par un nombre défini de '0' et de '1' (4 dans l'exemple de la Figure II.1) appelés « bits ». Ce nombre est appelé « résolution », et de sa valeur va dépendre la précision obtenue et donc la complexité du convertisseur. Le bit représentant la valeur la plus forte est appelé « MSB » pour Most Significant Bit, et le bit représentant la valeur la plus faible est appelé « LSB » pour Least Significant Bit.

Un autre paramètre fondamental (et complémentaire) est la fréquence de conversion, et celle-ci se définit par le nombre de conversions effectuées par seconde. On parle aussi de « bande passante » d'un convertisseur, qui représente la fréquence maximale du signal à convertir, et est égale à la moitié de la fréquence de conversion afin de respecter le critère de Nyquist.



**Figure I.1** : Exemple de conversion analogique-numérique dans le cas d'un convertisseur ayant une résolution de 4 bits.

En plus d'une inexactitude de conversion inhérente au caractère discret du signal numérique, de nombreux signaux parasites vont augmenter l'erreur en sortie (distorsion, bruit thermique, bruit d'horloge, etc...), c'est pourquoi, afin de refléter la résolution réelle, on parle souvent d'ENOB (Effective Number Of Bits), ou nombre de bits effectifs. Il se définit comme tel :

$$ENOB = \frac{SINAD - 1.76}{6.02} \quad (I. 2)$$

Avec le SINAD (Signal to Noise And Distorsion), exprimé en dB, défini comme étant le rapport entre la valeur rms du signal fondamental et la racine carrée de la somme des carrés des composantes harmoniques et du bruit, le terme 1,76 étant dû au bruit de quantification ( $10 \cdot \log_{10}(3/2)$ ), et le terme 6,02 étant dû à la transformation dB/Bits ( $20 \cdot \log_{10}(2)$ ).

Ainsi, il existe une relation linéaire entre le nombre de bits effectifs et le rapport entre le signal efficace et les bruits et distorsions. C'est pourquoi on peut voir l'un ou l'autre utilisé comme échelle de référence.

Enfin, le dernier paramètre important est sa consommation électrique. Bien entendu, les 3 caractéristiques évoquées sont liées entre elles, et il est nécessaire, pour comparer les différents convertisseurs, de disposer d'une évaluation quantitative de l'efficacité de conversion, afin d'apprécier la qualité de conception d'un CAN par rapport aux autres. C'est pourquoi une figure de mérite, ou F.o.M., est fréquemment utilisée, et s'exprime comme suit :

$$F.o.M = \frac{P_{conso}}{2^{ENOB} * 2BP} \quad (I. 3)$$

Avec la FoM en pJ/conversion,  $P_{conso}$  la puissance consommée en mW, et BP, la bande passante en Hertz.

### I.2.3 Résolution d'un CAN

On appelle 'Résolution' d'un CAN, ou 'Pas de progression' ou encore 'Quantum', la plus petite variation de tension appliquée à l'entrée qui augmente (ou diminue) la valeur binaire en sortie de 1.

D'une manière générale et pour un CAN théorique, en notant 'Q' la résolution et 'N' le nombre de bits du convertisseur, on exprimera Q de la manière suivante :

$$Q = \frac{V_{ref}}{2^N - 1} \quad (I. 4)$$

-La résolution d'un CAN est une tension, elle s'exprime donc en volt(V).

-Pour un CAN réel, le quantum est généralement donné dans la documentation du constructeur.

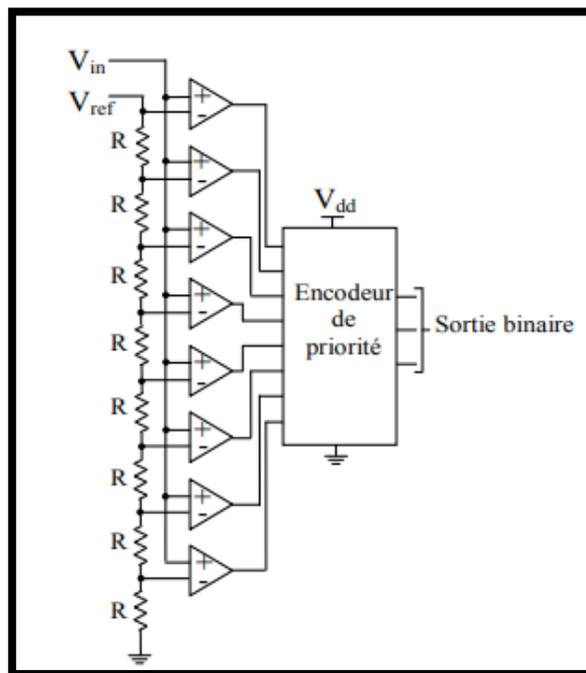
### I.3 Les différentes architectures de CAN

On peut définir cinq grandes familles de convertisseurs analogiques numériques, présentant chacune une philosophie de fonctionnement particulière :

- CAN Flash
- CAN Sigma Delta
- CAN Pipeline
- CAN à Approximation successive (SAR)
- CAN Wilkinson (rampe)

#### I.3.1 Le convertisseur flash

Aussi appelé convertisseur analogique numérique parallèle [7],[8]. Il est constitué d'une série de comparateurs, chacun d'eux comparant son signal d'entrée à une tension unique de référence. Les sorties des comparateurs sont connectées à un encodeur de priorité, celui-ci renvoie une combinaison binaire image de la tension d'entrée  $V_{in}$ . La Figure I.2 montre un CAN flash 3 bits [1] :



**Figure I.2 :** Architecture de CAN flash 3 bits à échelle de résistance.

Dès que la tension d'entrée analogique ( $V_{in}$ ) dépasse la tension de référence ( $V_{ref}$ ) de chaque comparateur, les sorties des comparateurs vont passer à un état haut de manière séquentielle. Plus la valeur de  $V_{in}$  est proche de  $V_{ref}$  plus le nombre de 1 logique délivré par les comparateurs sera

élevé. L'encodeur génère alors un code binaire basé sur la combinaison renvoyée par les comparateurs. Ce type de CAN nécessite l'intégration de  $2^{N-1}$  comparateurs (avec N le nombre de bit du convertisseur). L'architecture flash permet la mise en œuvre du CAN rapide mais présentant une dissipation de puissance élevée [1].

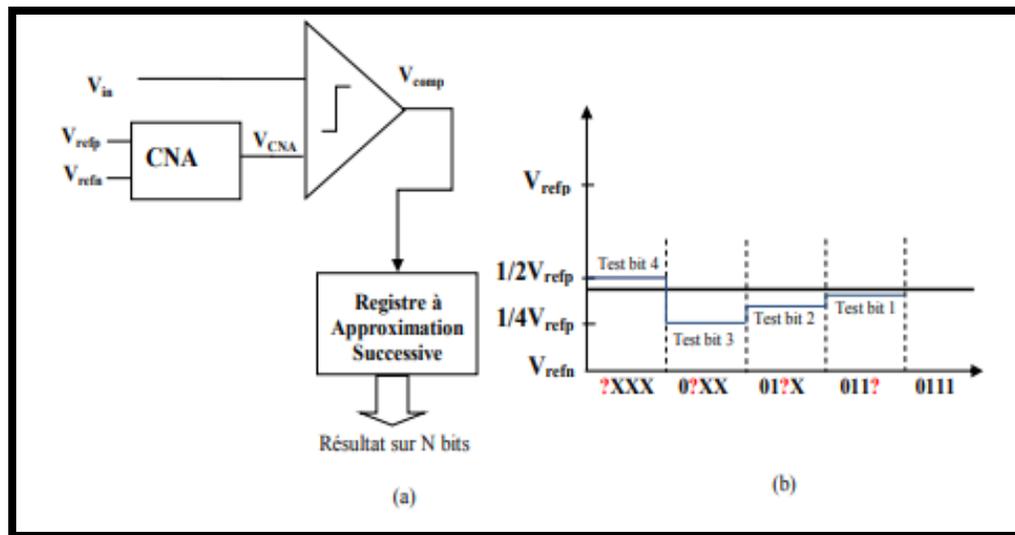
#### Avantages /inconvénients

- Les plus rapides (vitesse de conversion jusqu'à 20 GHz).
- Résolution limitée (de 6 à 10 bits).
- Puce de dimension importante.
- Capacité d'entrée élevée.
- Consommation importante.

### I.3.2 Architecture à approximation successive (SAR)

Le principe de l'architecture SAR [9],[10] est de tester successivement chaque bit en partant du bit de poids fort comme l'explique la Figure I.3.

Pour réaliser ses opérations, le convertisseur est composé d'un CNA du même nombre de bits que sa résolution, d'un comparateur et d'un registre à approximation successive permettant l'analyse du résultat du test et le contrôle du CNA. La Figure I.3 présente le détail de l'architecture du CAN SAR ainsi qu'un chronogramme de conversion.



**Figure I.3 :** Détail de l'architecture d'un CAN SAR et chronogramme d'une conversion sur 4 bits.

Le registre à approximations successives travaille selon le principe de la dichotomie. Un exemple de ce principe de fonctionnement est présenté dans la Figure I.3 (b). Pour une résolution de N bits, la conversion est réalisée en N coups d'horloge. Ce convertisseur représente un exemple de sérialisation de l'opération de conversion. Ce type de CAN a l'avantage d'être peu

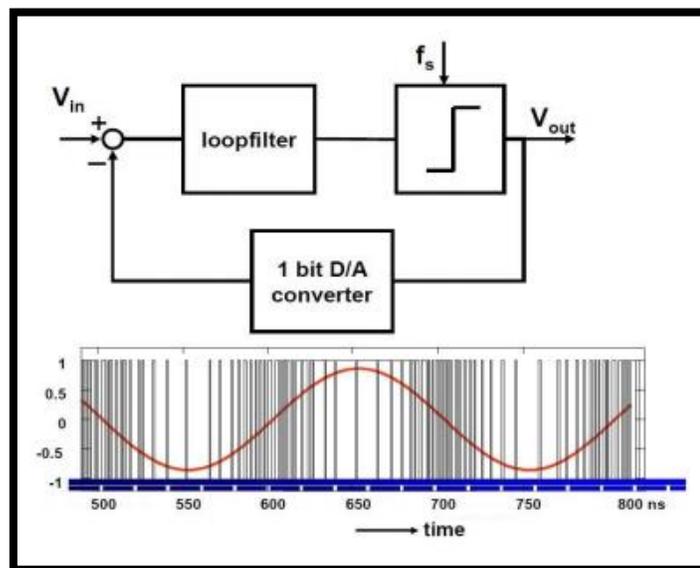
gourmant en composants : un seul comparateur et un seul CNA, et également en consommation. Par contre, le principal inconvénient est son temps de conversion : autant de nombre de coups d'horloge que de nombre de bits à atteindre. La résolution du CNA et l'offset du comparateur sont les principales difficultés de conception.

#### Avantages /inconvénients

- Résolution élevée 8 à 16 bits.
- Vitesse de conversion  $\leq 20$  MHz.
- Faible consommation.
- Vitesse d'échantillonnage limitée.
- CNA et comparateurs : principales difficultés.

### I.3.3 Architecture Sigma-Delta

Les convertisseurs Sigma-Delta [11],[12] font partie de la famille des CAN à base temporelle, et leur principe est basé sur la théorie du sur-échantillonnage. La modulation Sigma-Delta consiste à convertir le signal analogique en un train de pulsations (généralement de type unaire) qui portera une information en fréquence plutôt qu'en tension ou courant (Figure I.4) [6]. L'utilisation de pulsations se justifie par le fait qu'ils sont en pratique insensibles au bruit : une variation de 10mV sur une pulsation de 1V ne va pas changer sa valeur numérique.



**Figure I.4 :** Principe de la modulation Sigma-Delta.

Le filtre de boucle (loopfilter) est de type passe-bas, afin d'exclure le bruit haute fréquence du spectre du résidu ( $V_{in} - V_{DAC}$ ). Puis, le comparateur évaluera si le résidu est supérieur ou inférieur à la tension de mode commun, et sa sortie sera l'entrée du CNA. La moyenne du signal de sortie numérique ( $V_{out}$ ) sur un intervalle donné représente la moyenne du signal analogique

sur le même intervalle. Puisque le comparateur est bien plus rapide que le signal filtré, la conversion peut être réalisée à très haute résolution.

Toutefois, le sur-échantillonnage est indispensable si l'on veut une estimation précise du signal. La conversion est donc nécessairement à une vitesse bien moins élevée que l'horloge.

Ces raisons expliquent pourquoi les convertisseurs Sigma-Delta sont très répandus dans des domaines comme l'échantillonnage audio, où une haute résolution est prépondérante par rapport à la vitesse. Ces convertisseurs sont ceux qui permettent actuellement les résolutions les plus élevées.

#### Avantages /inconvénients

- Résolution la plus élevée(entre 16 à 24bits).
- Vitesse de conversion  $\leq 5\text{MHz}$ .
- Excellente linéarité.
- Faible consommation.
- Excellente rejection numérique du bruit.
- Vitesse d'échantillonnage limitée.

#### I.3.4 Architecture Pipeline

Cette architecture consiste en une succession de différents étages [13],[14]. Chacun des étages contient: un circuit échantillonneur /bloqueur (E/B), un CAN à faible résolution, un convertisseur numérique - analogique, un circuit sommateur et un amplificateur [1].

Le convertisseur Pipeline est un compromis entre les CAN « Flash » et les CAN « SAR ». En effet, comme nous l'avons noté précédemment, les CAN « Flash » sont constitués de  $2^{N-1}$ comparateurs et les CAN « SAR » d'un seul comparateur. Contrairement aux architectures de convertisseurs précédents, les CAN « Pipeline » répartissent l'opération de conversion sur M étages. L'architecture de ce convertisseur est illustrée sur la Figure I.5 ci-dessous [3].

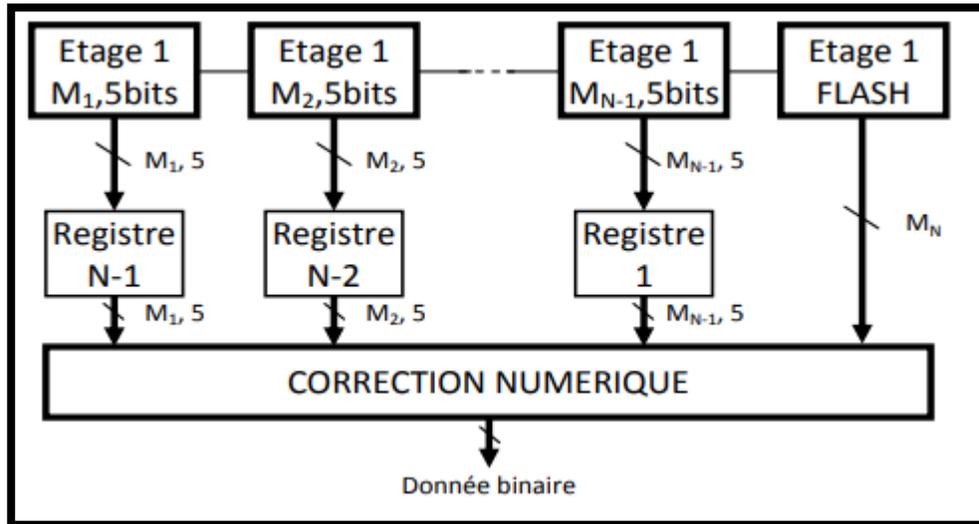


Figure 1.5 : Architecture de CAN pipeline.

Chacun des M étage est un bloc de conversion élémentaire numérisant le signal présenté à son entrée et fournissant le signal d'erreur analogique amplifié à l'étage suivant. Ce dernier est appelé le résidu. L'architecture de chaque étage est présentée sur la Figure I.6 ci-dessous. Il est constitué d'un CAN Flash fournissant sur un nombre de bits réduit une partie de la donnée binaire. La deuxième partie de l'étage est constituée d'un « sommateur », d'un convertisseur numérique – analogique et d'un amplificateur permettant d'amplifier le signal d'erreur dans le but d'obtenir un signal à la pleine échelle pour l'étage suivant. Cette deuxième partie est généralement appelée « MDAC » (Multiplying DAC).

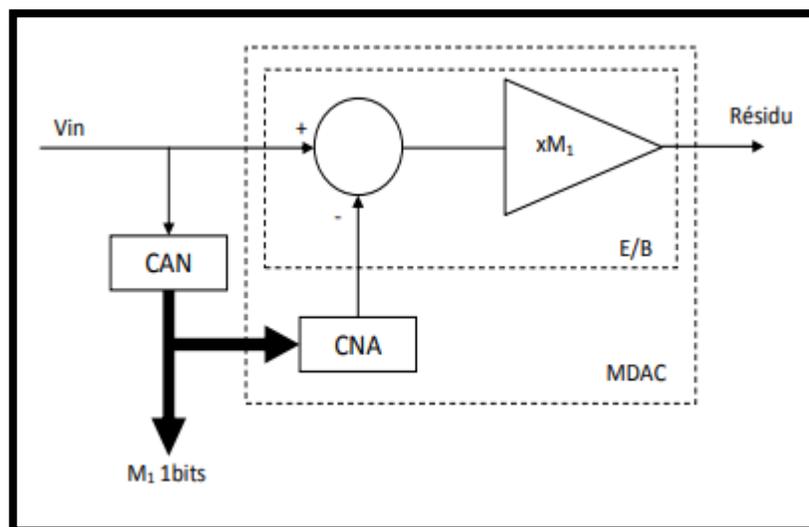


Figure I.6 : Architecture d'un étage MDAC.

La présence des registres à décalage permet de rendre cohérent et de synchroniser les données binaires en sortie. Le convertisseur de type Pipeline possède une architecture efficace en termes de résolution et de vitesse avec une consommation assez raisonnable et une taille réduite pour le circuit.

A chaque coup d'horloge, le convertisseur effectue  $n$  conversions en parallèle. Chaque conversion est dédiée à une partie du code binaire. En traversant le convertisseur (en  $n$  horloges), la tension d'entrée est convertie en commençant par les bits de poids fort et finissant par les bits de poids faible. Le schéma du convertisseur pour une architecture à  $k$  bits par étage sur trois étages est présenté sur la Figure I.5 [1].

A la fin de chaque étape, on calcule le résidu de la conversion partielle, ce résidu est ensuite ramené à pleine échelle par une multiplication. Ce convertisseur possède un temps de latence en raison de la propagation de l'entrée dans les cellules (ici trois coups d'horloge). Une fois le convertisseur est « chargé », une nouvelle conversion est effectuée à chaque coup d'horloge.

#### Avantages /inconvénients

- Résolution :8 à 16bits.
- Vitesse de conversion entre 10 à 500MHz.
- Très rapide.
- Correction numérique des erreurs.
- Meilleur compromis vitesse/résolution.

## I.4 Conclusion

Dans ce chapitre, les concepts de base du convertisseur analogiques-numériques ont été introduites. Ensuite, les caractéristiques fondamentales pour caractériser les CANs ont été décrites. Enfin, les principales architectures de convertisseurs analogiques-numériques ont été examinées.

Comme nous l'avons vu au cours de ce chapitre, il existe de nombreuses architectures permettant la conversion d'un signal analogique en un signal numérique, et chacune présente ses avantages et inconvénients en termes de performances. Les limitations de chacune des convertisseurs ont été définies et permettent de déterminer l'intérêt du développement de certaines. En effet, il est toujours difficile d'améliorer deux critères avec une seule configuration. Chaque architecture conduit à des spécificités et permet de s'adapter aux performances souhaitées.

# *Chapitre II*

---

*La structure interne et le principe  
de fonctionnement du convertisseur  
pipeline*

---

### II.1 Introduction

Les CAN sont conçus en utilisant beaucoup d'architecture. L'architecture choisie peut dépendre de la résolution de sortie (nombre de bits), les exigences de vitesse (fréquence d'échantillonnage) ou de puissance. L'architecture pipeline est optimisée pour la conversion à grande vitesse et offre une faible consommation électrique puis une vitesse comparable des dispositifs. En général, le concept de pipeline est utilisé pour la résolution assez faible, mais la conversion à grande vitesse.

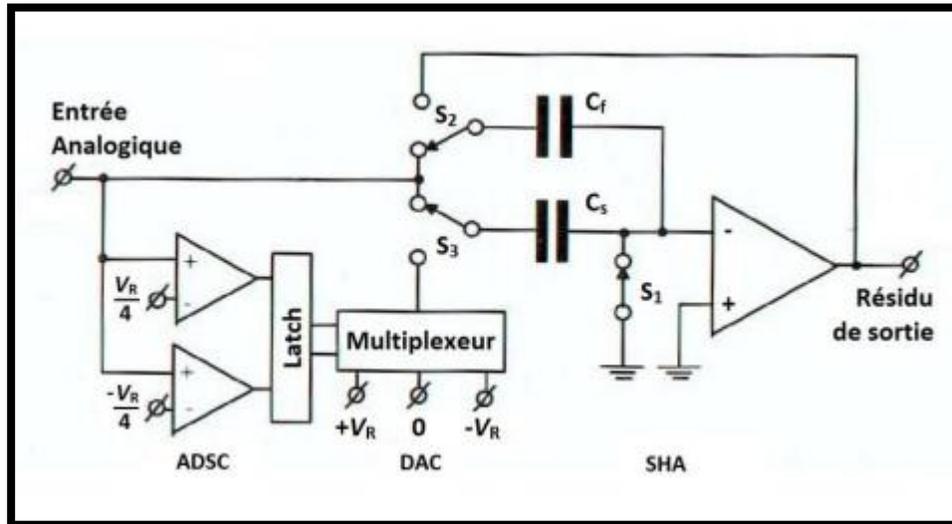
Ce chapitre se concentre sur la conception d'un CAN à l'aide de l'architecture pipeline [15]. Avant d'aborder la conception des différents blocs de base d'un convertisseur A/N pipeline: le générateur d'horloge et le comparateur et l'amplificateur opérationnel et L'étage « MDAC », Le sous-CAN et l'étage de correction logique, nous aborderons la notion de principe de fonctionnement du CAN pipeline et nous présenterons également dans ce chapitre l'approche de conception des circuits convertisseur analogiques numériques.

### II.2 Architecture du convertisseur pipeline

Comme présenté au chapitre I, dans un convertisseur d'architecture pipeline, les comparateurs sont mis en série. L'opération de codage, suivi de la transmission du résidu du signal à mesurer à l'étage suivant, s'effectue de proche en proche jusqu'à ce qu'on atteigne le dernier étage comparateur, chacun des étages contient: un circuit échantillonneur /bloqueur (E/B), un CAN à faible résolution, un convertisseur numérique-analogique, un circuit sommateur et un amplificateur [1].

Le convertisseur Pipeline est un compromis entre les CAN « Flash » et les CAN « SAR ». En effet, comme nous l'avons noté précédemment, les CAN « Flash » sont constitués de  $2N-1$  comparateurs et les CAN « SAR » d'un seul comparateur.

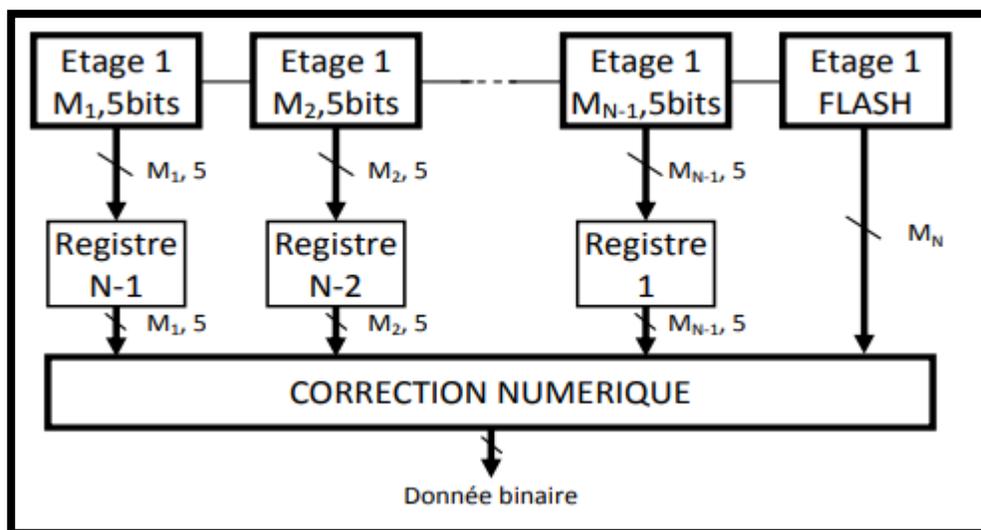
L'architecture pipeline étant choisie, étudions désormais un peu plus précisément le fonctionnement global d'un étage classique 1,5 bits (Figure II.1).



**Figure II.1 :** Structure schématique d'un étage classique single-ended de 1,5 bits d'un CAN pipeline. Il est constitué d'un ADSC, d'un DAC et d'un SHA.

### II.3 Principe de fonctionnement du convertisseur pipeline

Les CAN « Pipeline » répartissent l'opération de conversion sur  $M$  étages. L'architecture de ce convertisseur est illustrée sur la Figure II.2 ci dessous [3].



**Figure II.2 :** Architecture de CAN pipeline.

Chacun des  $M$  étage est un bloc de conversion élémentaire numérisant le signal présenté à son entrée et fournissant le signal d'erreur analogique amplifié à l'étage suivant. Ce dernier est appelé le résidu. L'architecture de chaque étage est présentée sur la Figure II.3 ci dessous. Il est

constitué d'un CAN Flash fournissant sur un nombre de bits réduit une partie de la donnée binaire. La deuxième partie de l'étage est constituée d'un « sommateur », d'un convertisseur numérique analogique et d'un amplificateur permettant d'amplifier le signal d'erreur dans le but d'obtenir un signal à la pleine échelle pour l'étage suivant. Cette deuxième partie est généralement appelée « MDAC » (Multiplying DAC).

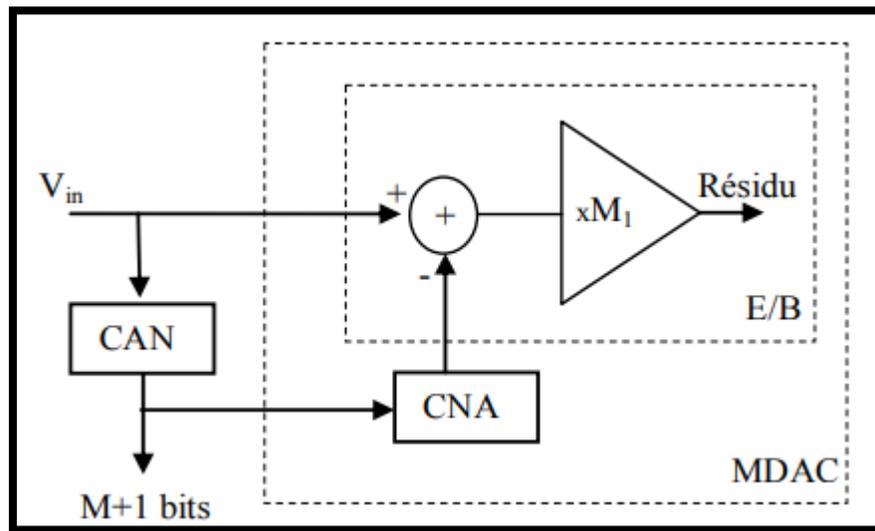


Figure II.3 : Architecture d'un étage "MDAC".

La présence des registres à décalage permet de rendre cohérent et de synchroniser les données binaires en sortie. Le convertisseur de type pipeline possède une architecture efficace en termes de résolution et de vitesse avec une consommation assez raisonnable et une taille réduite pour le circuit.

A chaque coup d'horloge, le convertisseur effectue  $n$  conversions en parallèle. Chaque conversion est dédiée à une partie du code binaire. En traversant le convertisseur (en  $n$  clocks), la tension d'entrée est convertie en commençant par les bits de poids fort et finissant par les bits de poids faible. Le schéma du convertisseur pour une architecture à  $k$  bits par étage sur trois étages est présenté sur la Figure II.2 [1].

A la fin de chaque étape, on calcule le résidu de la conversion partielle, ce résidu est ensuite ramené à pleine échelle par une multiplication. Ce convertisseur possède un temps de latence en raison de la propagation de l'entrée dans les cellules (ici trois coups d'horloge). Une fois le convertisseur « chargé », une nouvelle conversion est effectuée à chaque coup d'horloge.

### II.3.1 Fonctionnement d'un étage à 1,5 bits

Il s'agit d'une structure à capacités commutées un étage classique (à 1,5 bits) est constitué :

- D'un sous-CAN flash (comparateurs et bascules).
- D'un multiplexeur.
- De capacités d'échantillonnage ( $C_S$ ) et de retour ( $C_f$ ).
- D'un amplificateur-soustracteur.
- D'interrupteurs analogiques.

Ici, la plage totale (full-scale) tolérée en entrée va de  $-V_R$  à  $+V_R$ . Lors de la première phase, dite d'échantillonnage, l'entrée analogique est appliquée aux capacités  $C_S$ , et  $C_f$ , ainsi qu'aux comparateurs du sous-CAN afin d'évaluer la valeur de l'entrée par rapport à  $\frac{-V_R}{4}$  et  $\frac{+V_R}{4}$ .

Puis, durant la deuxième phase, dite de soustraction-amplification,  $C_f$  est connectée à la sortie (contre-réaction), alors que  $C_S$  est connectée à la sortie du multiplexeur, délivrant une tension valant  $-V_R$  (si  $V_{in} < -V_R/4$ ),  $0V$  (si  $-V_R/4 < V_{in} < +V_R/4$ ),  $+V_R$  (si  $V_{in} > +V_R/4$ ).

L'équation des charges donne alors :

$$V_{out} = \left(1 + \frac{C_S}{C_f}\right) \cdot V_{in} - \frac{C_S}{C_f} \cdot \mathcal{E} \cdot V_R \quad (\text{II. 1})$$

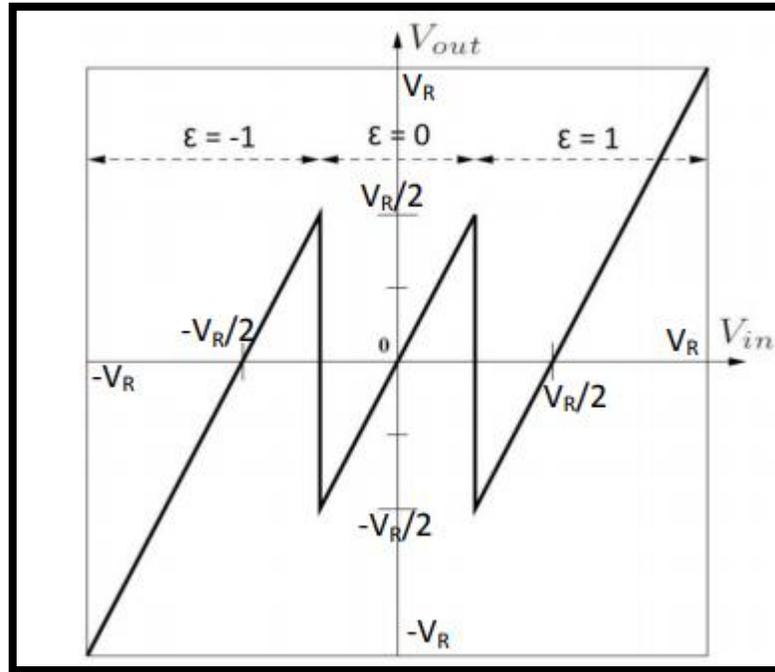
Où :

$$\mathcal{E} = \begin{cases} 1 & \text{si } V_{in} > +V_R/4 \\ 0 & \text{si } -V_R/4 < V_{in} < +V_R/4 \\ -1 & \text{si } V_{in} < -V_R/4 \end{cases}$$

Généralement, on prend  $C_S = C_f$ , ce qui donne donc :

$$V_{out} = \begin{cases} 2V_{in} - V_R & \text{si } V_{in} > +V_R/4 \\ 2V_{in} & \text{si } -V_R/4 < V_{in} < +V_R/4 \\ 2V_{in} + V_R & \text{si } V_{in} < -V_R/4 \end{cases}$$

Ainsi, l'amplificateur a un gain de 2 en boucle fermée et la fonction de transfert idéale est la suivante (Figure II.4) :



**Figure II.4 :** Fonction de transfert idéale d'un étage 1,5 bits.

L'avantage de ce type d'amplification du résidu est que l'on profite de la bonne linéarité en milieu de plage, celle-ci se dégradant lorsque l'on se rapproche de la pleine échelle.

## II.4 Les blocs de construction clés d'un CAN Pipeline

### II.4.1 Le générateur d'horloge

Il existe différentes topologies du générateur d'horloge [16][17]. Les signaux d'horloge utilisés dans les circuits à capacités commutées dans le CAN pipeline sont générés par le générateur d'horloge comme le montre la Figure II.5. À partir d'un signal d'horloge  $clock\_in$  fonctionnant à 100MHz, les deux signaux d'horloge non-chevauchées  $\phi_1$  et  $\phi_2$  sont générés. D'autres signaux d'horloge  $\phi_{1a}$  et  $\phi_{2a}$  sont avancés légèrement que  $\phi_1$  et  $\phi_2$  respectivement, ce qui permet de réduire l'injection de charges [17].

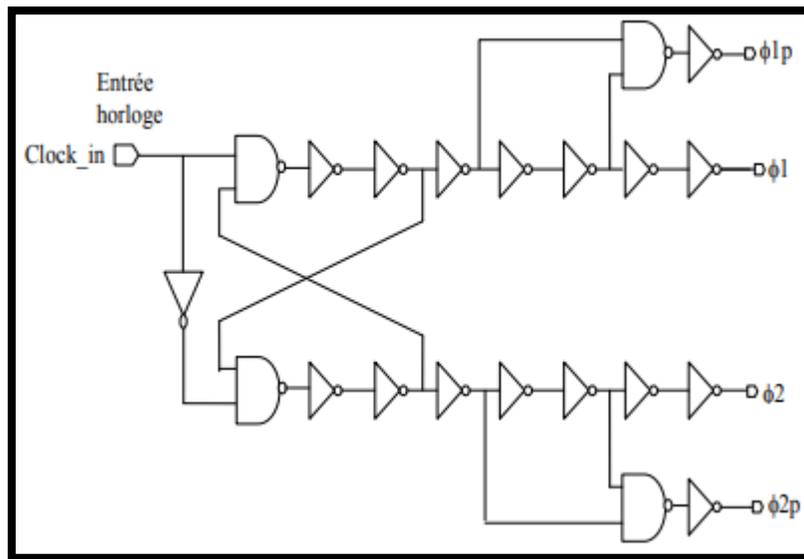


Figure II.5 : Générateur d'horloge.

### II.4.2 Les Amplificateurs Opérationnels

L'amplificateur joue un rôle crucial dans les performances du CAN pipeline. Il est donc nécessaire de choisir avec soin son architecture afin d'alléger au maximum l'étalonnage numérique correcteur d'erreurs devenu indispensable avec l'augmentation croissante des performances.

Un amplificateur opérationnel n'est pas seulement un composant largement utilisé dans la plupart des circuits analogiques, mais un élément constitutif très important d'un CAN pipeline à capacité commutée car il limite souvent les performances telles que la vitesse et la précision, et consomme plus de la puissance dans les circuits à capacités commutées. Afin de ne pas limiter les performances de linéarité de l'amp-op par les non-idéalités, les amp-ops doivent avoir un grand gain DC et une large bande passante suffisante pour que la sortie s'installe de 1/2 LSB à la valeur désirée en un demi-cycle d'horloge [16].

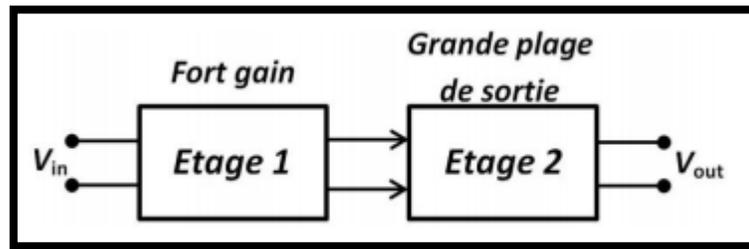
L'élément de base de l'étage ( MDAC ) est l'amplificateur opérationnel (amp-op) [3].

Le gain en boucle ouverte de l'amplificateur doit être élevé pour garantir la précision du convertisseur A/N [21]. De plus, la fréquence d'échantillonnage du CAN est limitée par le produit gain – bande passante de l'amplificateur [19] et [18].

Dans cette section, les paramètres importants des différentes topologies d'amp-op sont examinés et leurs avantages et inconvénients sont discutés.

**a) Amplificateur opérationnel à deux étages**

Nous n'avons qu'un seul étage : le courant petit-signal produit par la paire différentielle d'entrée traversait directement (ou via un nœud de repliement) l'impédance de sortie. Dans certaines applications, il peut être intéressant d'utiliser une structure à deux étages afin de combler les lacunes en gain et/ou en plage de sortie d'une structure à un étage. En effet, le premier étage aura généralement un gain assez important, et le deuxième aura pour objectif principal de permettre une grande plage de sortie (Figure II.6).



**Figure II.6 :** Représentation simplifiée d'un amplificateur à deux étages.

La Figure II.7 montre un schéma [16] d'un amplificateur opérationnel CMOS de base à deux étages [20][22]. Un étage différentiel d'entrée pilote une charge active suivi d'un second étage de gain. Un étage de sortie n'est généralement pas utilisé mais peut être ajoutée pour la conduite de grandes charges hors puce. Cette configuration de circuit offre une bonne plage en mode commun, un swing de sortie, le gain en tension, et le CMRR dans un circuit simple qui peut être compensé par un seul condensateur [23].

Le gain de l'amplificateur opérationnel à deux étages peut être approximativement:

$$A_V = g_{m1} \cdot (r_{o1} \parallel r_{o3}) \cdot g_{m1} \cdot (r_{o6} \parallel r_{o7}) \quad (\text{II.2})$$

Le produit gain bande passante de l'amplificateur à deux étages est donné par:

$$\omega_u = \frac{g_{m1}}{C_C} \quad (\text{II.3})$$

La vitesse de balayage est donnée par:

$$SR = \min\left(\frac{I_5}{C_C}\right) \quad (\text{II.4})$$

où  $I_5, C_C$  sont le courants de polarisation du transistor  $M_5$  et la capacité de compensation respectivement.

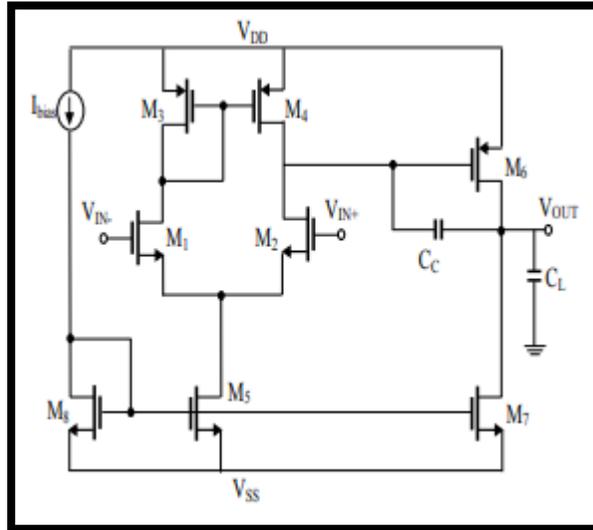


Figure II.7 : Amplificateur opérationnel à deux étages.

### b) Amplificateur opérationnel symétrique

L'amplificateur opérationnel à miroir de courant [24] ou autrement appelée OTA Symétrique [25] est extrêmement attractive dans les applications à grande vitesse et de faible puissance, Le schéma de circuit d'OTA symétrique est représenté sur la Figure II.8. L'étage d'entrée différentiel est formé par des transistors d'entrée  $M_0$ ,  $M_1$  et les transistors connectés en diode  $M_2$ ,  $M_3$ . Les miroirs de courant sont formés par les transistors connectés en diode  $M_2$ ,  $M_3$  avec le transistor  $M_6$ ,  $M_7$  et  $M$  est le facteur de multiplication de courant de miroirs de courant. Une valeur typique de  $M$  est comprise entre 1 et 3 [16].

Le gain en tension de l'amplificateur opérationnel symétrique est donné par :

$$A_V = M \cdot g_{m1} \cdot (r_{o6} \parallel r_{o7}) \quad (\text{II.5})$$

où  $r_{o4}$ ,  $r_{o6}$  sont la résistance du transistor  $M_4$ ,  $M_6$ , respectivement.

La valeur du produit gain bande passante est donnée par :

$$\omega_u = M \cdot \frac{g_{m1}}{C_L} \quad (\text{II.6})$$

Où  $g_{m1}$  est la transconductance du transistor d'entrée  $M_1$ ,  $C_L$  est la capacité de charge et  $M$  est le rapport de miroir de courant.

La vitesse de balayage de l'amplificateur opérationnel symétrique est donnée par [1]:

$$SR = M \cdot \left( \frac{I_5}{C_C} \right) \quad (\text{II.7})$$

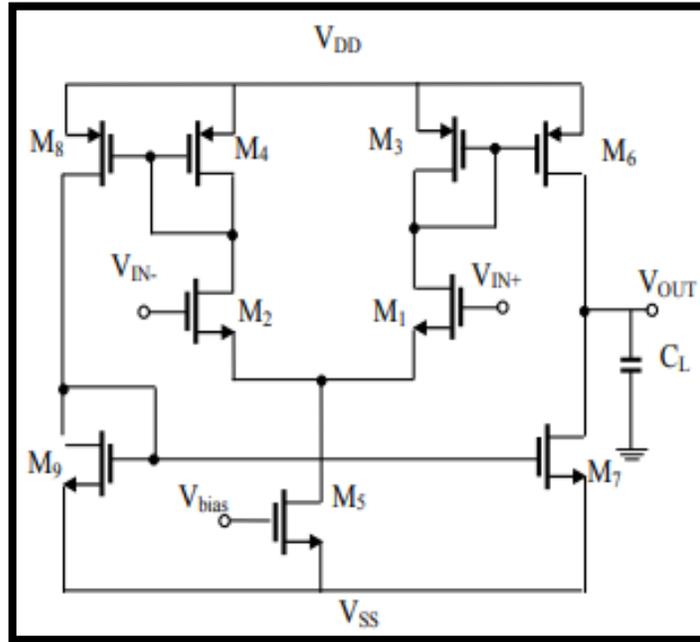


Figure II.8 : Amplificateur opérationnel symétrique.

### c) Amplificateur opérationnel télescopique

Le circuit de la Figure II.9 est un amplificateur opérationnel télescopique [27] [28], fournit un gain comparable au gain de l'amp-op à deux étages de la Figure II.7. Cette structure a été appelée amp-op télescopique parce que les miroirs de courant cascodes sont connectés entre les sources d'alimentation en série avec les transistors de la paire différentielle, résultant en une structure dans laquelle les transistors de chaque branche sont reliés le long d'une ligne droite comme les lentilles d'un télescope réfracteur [23].

La version la plus simple d'un OTA à un seul étage est l'architecture télescopique, la paire différentielle d'entrée injecte les signaux de courant dans les étages de grille commune. Ensuite, le circuit réalise la différence à la conversion à une sortie unique avec un miroir de courant cascode.

Le gain de l'amplificateur opérationnel télescopique est donnée par :

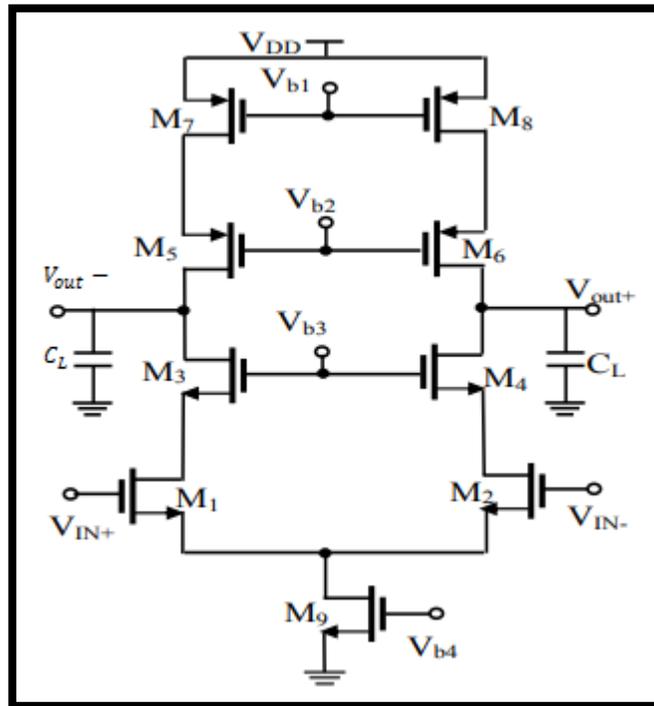
$$A_V = g_{m1} \{ (g_{m3} r_{o3} r_{o1}) \parallel (g_{m5} r_{o5} r_{o7}) \} \quad (\text{II.8})$$

L'amplificateur opérationnel télescopique est un bon candidat pour les applications à grande vitesse, de faible puissance parce qu'il s'agit d'une structure en une seule étage et il y a seulement deux branches de courant. Le produit gain bande passante de l'amplificateur est donnée par:

$$\omega_u = \frac{g_{m1}}{C_L} \quad (\text{II.9})$$

La vitesse de balayage est donnée par:

$$SR = \frac{I_{b9}}{C_L} \quad (\text{II.10})$$



**Figure II.9 :** Amplificateur opérationnel télescopique.

**e) Amplificateur opérationnel cascode replié**

La Figure II.10 présente un amplificateur opérationnel cascode replié [29][30], l'idée d'une structure de type cascode replié est de convertir la tension d'entrée en un courant puis de l'appliquer à un transistor monté en grille commune (cascode) via un nœud de repliement . Notons que le transistor d'entrée et le transistor en grille commune doivent être de type différent.

Le nom de «replié cascode" vient de plissement des charges actives cascades à canal-p de la paire différentielle et en changeant les transistors MOSFET à canal-p par des transistors MOSFET à canal-n. Ce circuit est développé pour améliorer la plage d'entrée en mode commun

et le rejet de charge de l'alimentation du deuxième étage de l'amp-op. L'amp-op "cascode replié» a des performances d'un gain important et une grande bande passante.

La structure de l'amplificateur opérationnel cascode replié [16] est illustrée sur la Figure II.10 est dit être repliée dans le sens où il inverse le sens de circulation du signal vers la masse. Cette inversion a deux principaux avantages lorsqu'il est utilisé avec une paire différentielle. Premièrement, elle augmente le swing de sortie. Deuxièmement, elle augmente la plage de l'entrée en mode commun [23].

Le gain de l'amplificateur opérationnel cascode replié est donnée par :

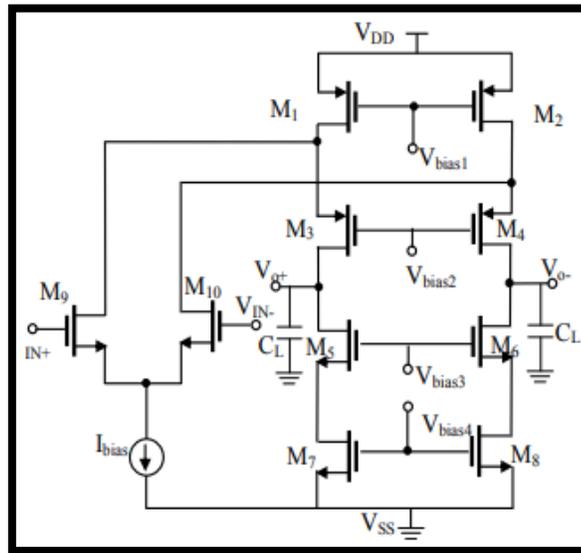
$$A_V = \{g_{m9} \cdot [g_{m3}r_{03}(r_{01} \parallel r_{02}) \parallel (g_{m5}r_{05}r_{03})]\} \quad (\text{II.11})$$

Le produit gain bande passante de l'amplificateur opérationnel est donné par:

$$\omega_u = \frac{g_{m9}}{C_L} \quad (\text{II.12})$$

La vitesse de balayage est donnée par :

$$SR = \frac{I_{bias}}{C_L} \quad (\text{II.13})$$



**Figure II.10 :** Amplificateur opérationnel cascode replié.

### f) Les topologies des amplificateurs opérationnels et le circuit MDAC

La résolution réalisable du CAN est déterminée par la précision de l'étage MDAC. De plus, comme ce bloc est le plus gourmand en énergie dans le CAN, la plupart de la concentration pour améliorer les performances du CAN, est dépendante de ce bloc. L'amplificateur opérationnel étant le seul circuit actif dans un MDAC est d'intérêt principal. La plupart des MDACs sont implémentées en utilisant des circuits à capacités commutées et donc l'ampli-op peut vraiment être un OTA (amplificateur opérationnel à transconductance) avec une impédance de sortie élevée. Certaines de ces structures OTA populaires sont présentées dans les figures. II.7, II.8, II.9 et II.10. Pour la résolution de l'intérêt ( $\geq 10$  bits), le gain de l'OTA doit être supérieur à 60 dB. Pour tenir compte des variations de processus ce qui est généralement choisi pour être supérieur à 70 dB.

Un tel gain élevé impose l'utilisation de structures cascode et cascade. Les trois OTAs populaires sont comparées dans le tableau II.1, le gain élevé et la bande passante sont les conditions importantes de l'OTA [31].

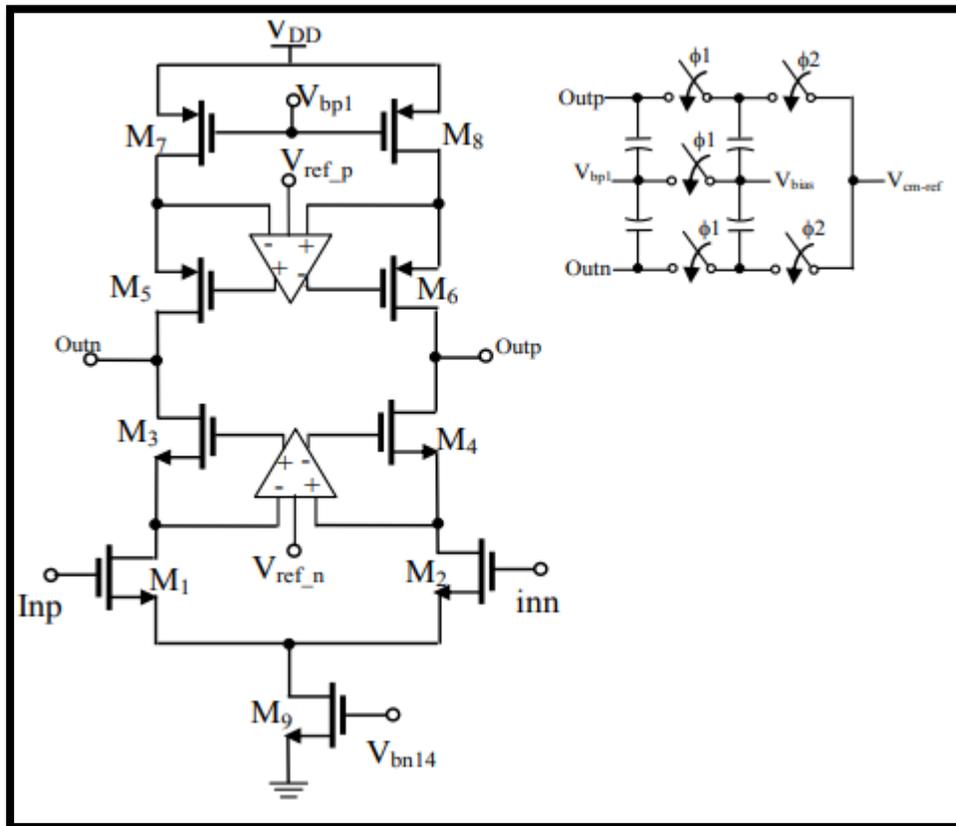
Structure	Avantages	Inconvénients
Télescopique	Grande Vitesse Puissance basse	un swing du signal réduit
Cascode Replié	Swing du signal raisonnable grande Gamme de l'entrée mode en commun	Une vitesse réduite pas de puissance efficace
à deux étages	Swing du signal Grand Adéquate pour les applications à faible voltage	Lent Consomme une grande puissance

**Tableau II.1 :** Comparaison des architectures des Amp-Op.

Pour répondre aux spécifications de gain, des amplificateurs cascodes de base sont soit en cascade comme dans un amplificateur opérationnel à deux étages ou à gain amélioré (boosté). La première approche implique une compensation Miller, qui nécessite beaucoup d'énergie gaspillée dans le maintien de la stabilité en plus de perdre la vitesse. Il a l'avantage de signal swing plus élevé que ce qui le rend populaire dans les structures de basse tension. La deuxième approche de gain boosté montré dans la Figure II.11 est beaucoup plus efficace et devient le choix des concepteurs.

L'amplificateur à gain boosté peut être une structure imbriquée comme montré dans [32] avec la stabilité le seul critère limitant ce qui augmentait le gain énormément. La stabilité dans ce cas est beaucoup plus facile à traiter et peut-être maintenu de manière fiable avec peu d'effort de conception. Un traité détaillé sur des amplificateurs à gain amélioré est trouvée dans [33].

L'implémentation des MDAC régulièrement sont différentielle pour avoir un bon PSRR (power supply rejection ratio) et CMRR (common-mode rejection ratio). Cela nécessite une boucle de rétroaction en mode commun (CMFB) pour maintenir la tension de sortie en mode commun au niveau désiré. Parmi les nombreuses structures existantes, la mise en œuvre à capacité commuté Figure II.11 est populairement utilisé dans les circuits MDAC. Les horloges CLK\_1 et CLK\_2 sont les mêmes que les horloges MDAC. L'un des deux principaux avantages de cette structure est sa nature passive, qui n'a pas besoin de puissance supplémentaire. L'autre avantage est sa capacité à gérer un signal à haut swing qui est un facteur limitant majeur dans d'autres structures. Ce dernier souvent préféré quand le swing du signal de l'OTA peut être limité par l'incapacité de la boucle CMFB à gérer un élevé [31].



**Figure II.11** : Amplificateur opérationnel télescopique à gain boosté avec la boucle CMFB.

### II.4.3 L'étage « MDAC »

Dans le CAN pipeline, en plus du premier étage qui est l'échantillonneur-bloqueur, les autres étages qui suivent comprennent l'E/B, le sous-CAN, le sous-CNA, le soustracteur, et l'amplificateur. Parmi ces cinq sous-circuits, l'E/B, le soustracteur, l'amplificateur et le 1,5-bit sous-CNA peuvent être mis en œuvre par un circuit à capacités commutées, qui est communément appelé MDAC. Un étage pipeline est représenté sur la Figure II.12. comprend un CAN flash de faible résolution et un circuit à triple-fonction, qui permet d'échantillonner le signal d'entrée, de générer le résidu en effectuant la différence entre l'entrée et une référence et d'amplifier ce résidu par un gain de  $2^{Bi}$ .

Le circuit MDAC est le constituant clé et le bloc le plus critique dans un étage pipeline. Il réalise la conversion numérique-analogique de la sortie du sous-CAN, la soustraction du signal de sortie du CNA de l'entrée analogique échantillonnée et effectue la multiplication de cette différence. Le résultat de la multiplication, appelé résidu, est maintenu en sortie du MDAC jusqu'à la fin de la phase d'échantillonnage de l'étage suivant [6].

Il existe différentes façons pour implémenter le circuit du MDAC en capacités commutées. Toutes les configurations possibles reposent sur l'articulation des capacités autour d'un amplificateur opérationnel par l'intermédiaire de commutateurs analogiques CMOS que l'on nommera switchs dans tout le reste de ce manuscrit. Ces derniers -switchs sont commandés par deux phases principales de l'horloge: phase d'échantillonnage ( $\Phi_s$ ) et phase de maintien ( $\Phi_f$ ) [6].

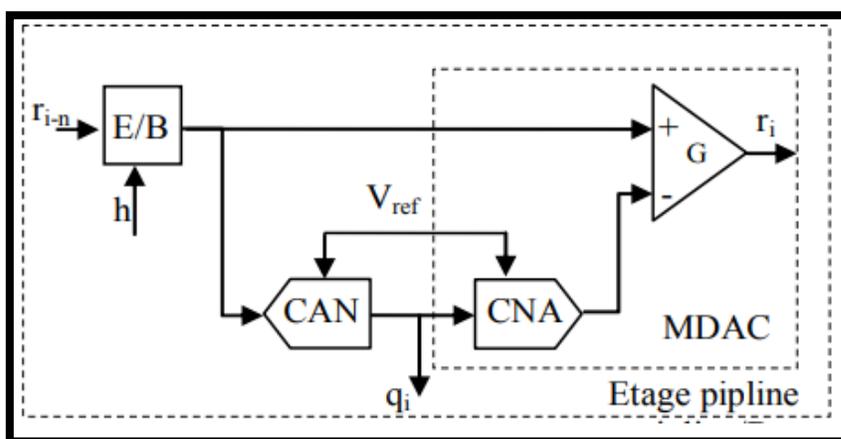
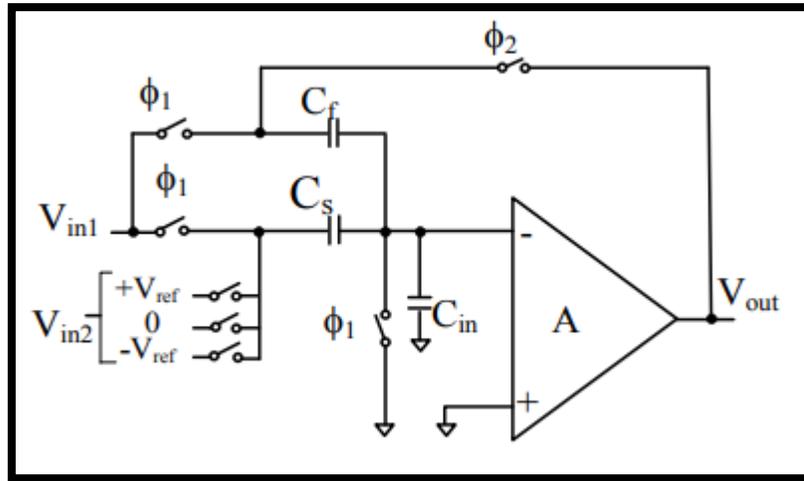


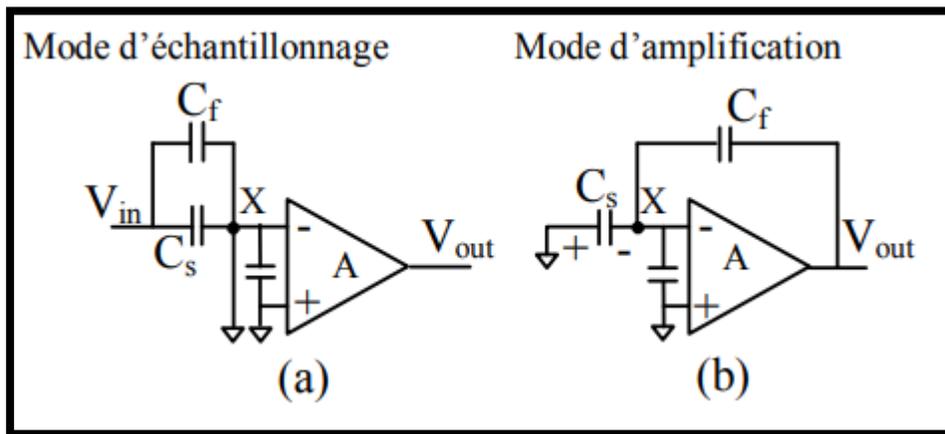
Figure II.12 : Etage d'un convertisseur Pipeline.

Le circuit MDAC est essentiellement un intégrateur à capacité commutée formé autour d'un OTA différentiel, comme indiqué dans la Figure II.13 montrant une analyse en mode simple

sortie. Ce circuit fonctionne à deux phases, une phase d'échantillonnage et une phase de maintien. Au cours de la phase d'échantillonnage représentée sur la Figure II.14 (a), le signal d'entrée est échantillonné à la fois sur  $C_s$  et  $C_f$ . Pendant la phase de maintien représentée sur la Figure II.14 (b) les condensateurs sont ensuite commutés à l'un des trois tensions,  $+V_{ref}$ ,  $-V_{ref}$ , et GND [34].



**Figure II.13 :** Un circuit MDAC en mode d'une seule sortie.



**Figure II.14 :** Configuration du circuit MDAC dans les deux phases: (a) phase d'échantillonnage, (b) phase d'amplification.

Basé sur l'idée de redistribution de charge, la fonction de transfert statique de l'étage peut être dérivée comme suit:

$$V_{out} = \left[ V_{in1} - V_{in2} \left( \frac{C_s + C_{in}}{C_s + C_f} \right) \right] \left( 1 + \frac{C_s}{C_f} \right) \quad (II.14)$$

Le circuit de MDAC est illustré sur la Figure II.15 et son diagramme de synchronisation (timing) sont représentés dans la Figure II.16. L'opération du circuit MDAC et le timing sont les mêmes que le circuit E/B. Mais dans la phase d'échantillonnage, Les deux capacités  $C_s$  et  $C_f$  échantillonnent le signal d'entrée. Pendant la phase de maintien, l'ampli-op est connecté en contre-réaction et les charges stockées dans  $C_s$  sont tous transférés à  $C_f$  en fonction de la multiplication de 2 [17].

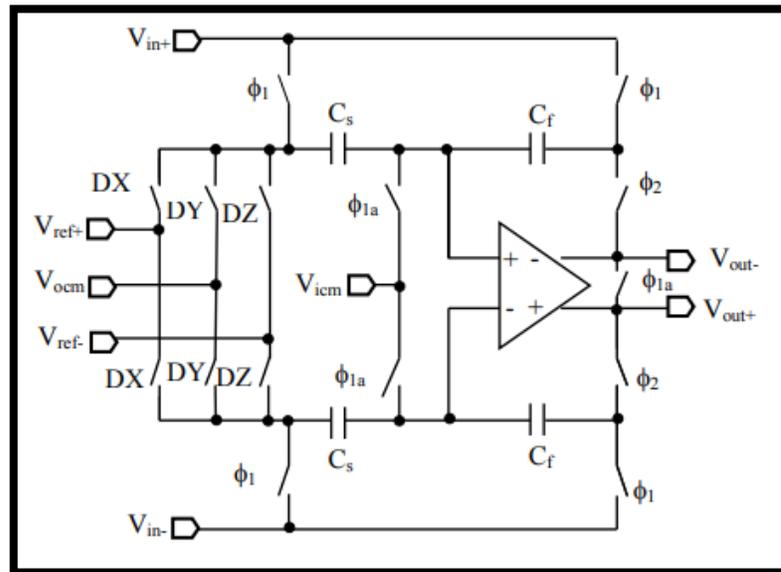


Figure II.15 : Le circuit MDAC.

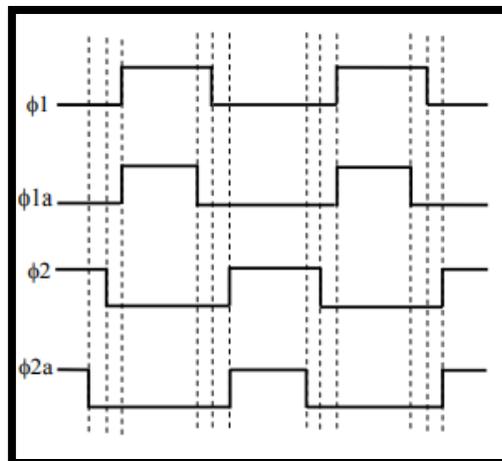


Figure II.16 : Diagramme de timing de MDAC.

## II.4.4 Les comparateurs

Un comparateur est un composant qui pour une différence de tension donnée entre ses deux entrées va fournir une tension logique égale à « 1 » ou « 0 ».

Dans cette famille de convertisseurs, les comparateurs, éléments essentiels de la conversion en estimant la valeur de la tension analogique d'entrée par rapport à des tensions de référence, doivent être conçus avec soin. Conceptuellement, dans les convertisseurs A/N de type pipeline, les comparateurs peuvent avoir un offset assez important (centaine de mV) pour des étages MDAC 1,5 bit. Dans le cas d'étage MDAC multi-bits, l'utilisation de comparateurs de plus faible offset est indispensable afin de garantir le bon fonctionnement du CAN. Il existe différentes architectures de comparateurs .

Soit le comparateur représenté sur la Figure II.17 par son symbole. Lorsque la tension appliquée à l'entrée VP est supérieure à la tension appliquée à l'entrée VN, la sortie est « positive ». A l'inverse, lorsque la tension appliquée à l'entrée VN est supérieure à la tension appliquée à l'entrée VP, la sortie est « négative ». Par la suite, nous appellerons VOH et VOL les limites des tensions de sortie respectivement positives et négatives (généralement VDD et GND dans le cas d'une sortie single-ended, +VDD et -VDD dans le cas d'une sortie différentielle).

Dans cette partie, nous détaillerons les principales architectures que nous avons pu utiliser au cours de ce travail: les comparateurs statiques et les comparateurs dynamiques.

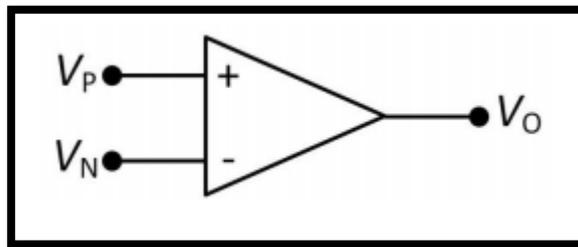
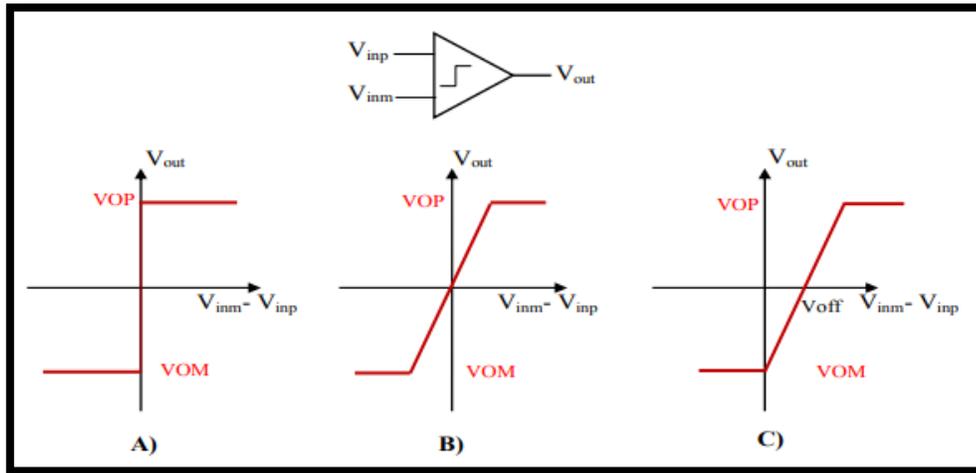


Figure II.17 : Symbole d'un comparateur single-ended.

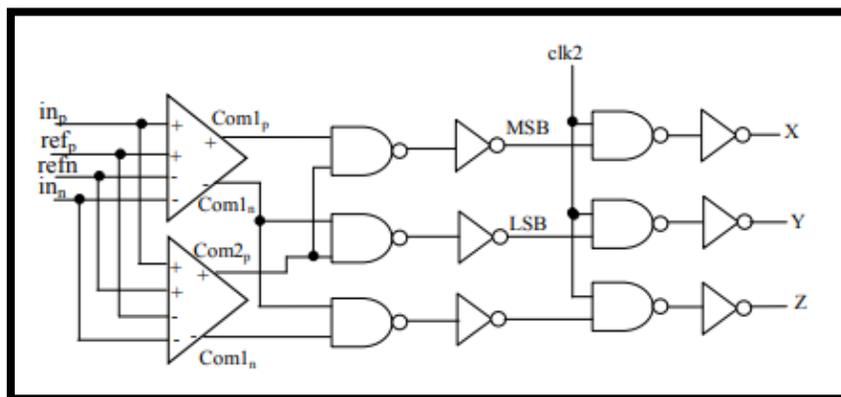
A sa fonction de transfert théorique d'un comparateur s'ajoute un offset statique ainsi qu'une vitesse de basculement finie comme le montre la Figure II.18 [1].



**Figure II.18 :** A) fonction de transfert d'un comparateur idéal, B) fonction de transfert d'un comparateur à gain fini, C) fonction de transfert d'un comparateur à gain fini présentant un offset statique.

#### II.4.5 Le sous - Convertisseur Analogique-Numérique (sous-CAN)

Chaque étage du convertisseur pipeline comporte un sous-CAN rapide de faible résolution. Les opérations d'échantillonnage et de conversion à faible résolution du signal s'effectuent en parallèle et simultanément dans un étage pipeline. Comme le codage s'effectue à la fin de la phase d'échantillonnage de chaque étage, le sous-CAN doit fournir sa sortie r au CNA au plus vite possible. Pour favoriser le temps d'établissement, la référence (sortie du CNA) doit être disponible tout à fait au début de la phase du maintien (Hold). Pour réaliser cette performance, le sous-CAN doit être très rapide, c'est pourquoi, des CANs Flash sont l'unique type de convertisseurs utilisé à cette fin.



**Figure II.19 :** Le sous-CAN à 1.5bit par étage.

L'architecture d'un CAN flash a déjà été décrite dans le chapitre I. Elle comporte des comparateurs de tension mis en parallèle et un encodeur qui sert à convertir en binaire le code thermomètre qui est constitué par les sorties logiques des comparateurs.

La Figure II.19 présente le sous-CAN de 1,5 bit par étage. Il se compose de deux comparateurs différentiels avec deux tensions de seuil:  $V_{ref}=\pm 1/4$  et certain circuit logique pour contrôler le MDAC. Les deux comparateurs ont généré un jeu de trois codes thermomètre et ensuite le circuit décodeur les convertis en codes binaires [17]. Lorsque la valeur d'entrée est comprise entre -1V et -0,25V, le MSB (Most Significant Bit) et LSB sont décodées 0 et 0 ce qui force la sortie Z à devenir niveau haut. Quand la valeur d'entrée est entre -0,25V et 0,25V, le MSB et LSB sont décodées 0 et 1 ce qui force Y a devenir niveau haut. Lorsque la valeur d'entrée est comprise entre 0,25V et 1V, le MSB et LSB sont décodées 1 et 0, ce qui force X basculer vers le niveau haut.

### II.4.5.1 Le circuit décodeur à l'intérieur du sous-CAN

L'étage CNA agit comme un multiplexeur ou décodeur qui sélectionne si d'ajouter ou de soustraire  $V_{ref}$  du signal d'entrée ou de ne prendre aucune mesure. Du schéma II.19, nous savons que les sorties différentielles des deux comparateurs, c'est-à-dire  $com1_p$ ,  $com1_n$ ,  $com2_p$ ,  $com2_n$ , passent une porte logique ET. Puis X, Y, Z peut être obtenu. La raison détaillée pour laquelle nous employons une telle architecture de logique est représenté dans le tableau II.2 [34].

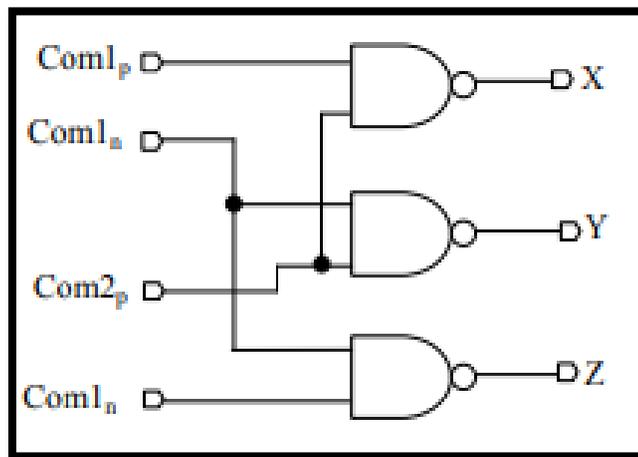


Figure II.20 : Le circuit décodeur à l'intérieur du sous-CAN.

$V_{in}$	Com1_p	Com1_n	Com2_p	Com2_n	X	Y	Z
$V_{ref}/4 < V_{in}$	1	0	1	0	1	0	0
$-V_{ref}/4 < V_{in} < V_{ref}/4$	0	1	1	0	0	0	1
$V_{in} < -V_{ref}/4$	0	1	0	1	0	1	0

**Tableau II.2 :** Table de vérité du circuit décodeur de la Figure II.20.

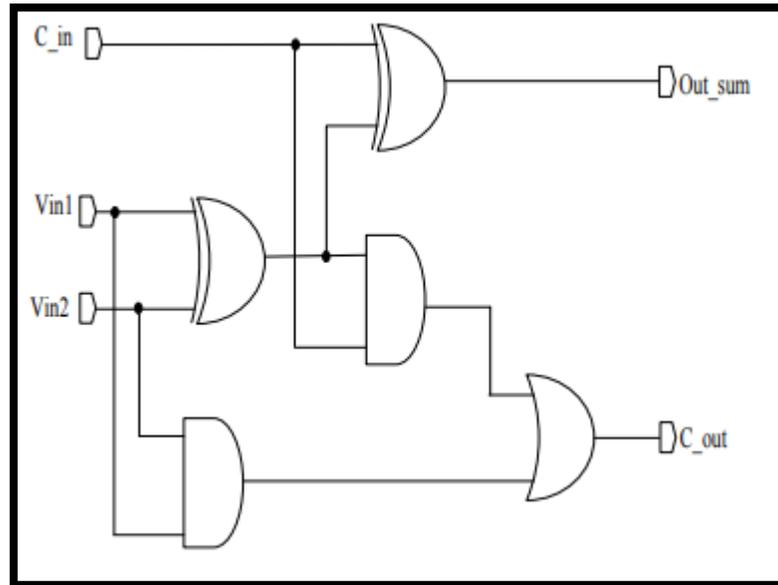
### II.4.6 L' étage de correction logique

Afin d'alléger les contraintes sur les comparateurs de l'étage pipeline, un algorithme de correction numérique des bits, appelé aussi « Redundant Sign Digit » (RSD), est utilisé. C'est cette technique qui diffère les CAN pipeline des autres CAN à multiples étages [6]. L'algorithme de RSD utilise le bit du poids faible de chaque étage comme bit de redondance. Le code correct de sortie du CAN est obtenu en opérant la somme arithmétique du bit du poids faible de l'étage k avec le bit du poids fort de l'étage qui le suit (étage k+1) comme illustré sur le tableau II.3 [6].

Sortie numérique étage 1	b1	b0			
Sortie numérique étage 2 +		b1	b0		
Sortie numérique étage 3 +			b1	b0	
Sortie numérique étage 4 +				b1	b0
Sortie numérique du CAN =	D4	D3	D2	D1	D0

**Tableau II.3:** Algorithme de reconstruction de la sortie numérique du CAN à 5 bits.

Une somme binaire simple ne peut être utilisée car, il y a des cas nécessitant la propagation d'une retenue du dernier étage jusqu'au premier étage. A cet effet, la logique de correction est réalisée avec des additionneurs (Full-Adder) qui permettent à la retenue de se propager dans le sens contraire de la propagation du signal analogique dans la chaîne pipeline. L'additionneur (Full-Adder) utilisé est un additionneur complet à 1-bit qui peut être vu dans la Figure II.21.



**Figure II.21 :** Circuit de l'additionneur complet à 1bit.

Où est C\_in valeur d'entrée de compteur, Cout est la sortie du compteur et out\_sum est la sortie numérique. On peut voir le tableau de vérité de l'additionneur dans le tableau II.4.

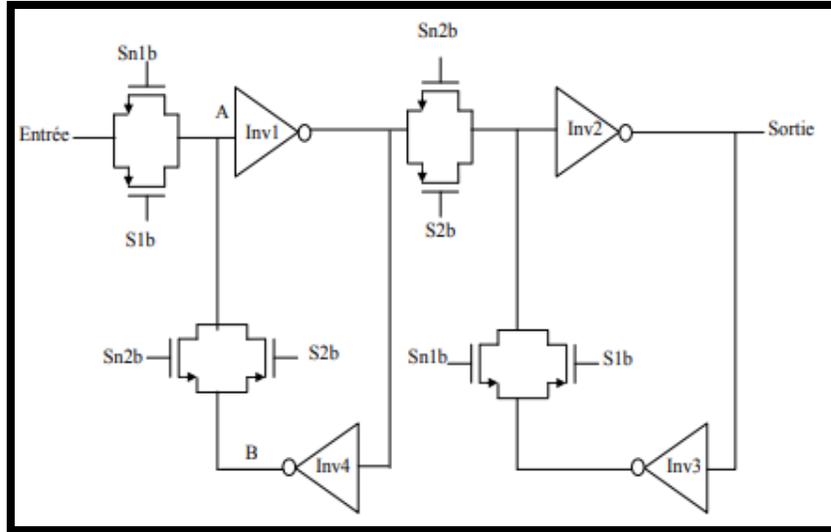
Vin2	Vin1	C_in	Out_sum	C_out
0	0	0	0	0
0	1	0	1	0
1	0	0	1	0
1	1	0	0	1
0	0	1	1	0
0	1	1	0	1
1	0	1	0	1
1	1	1	1	1

**Tableau II.4 :** La table de vérité de l'additionneur complet.

#### II.4.6.1 Les cellules de synchronisation

Dans l'architecture de CAN pipeline, il y a plusieurs N-bits similaires par étage. Chacun d'eux est contrôlé par deux phases-échantillonnage et blocage. Dans ce cas, cependant, la sortie numérique de chaque étage n'est pas générée en même temps. Le temps de décalage (retard) est existée pour ces sorties numériques. Afin d'obtenir toutes les sorties numériques en même temps, nous avons besoin d'utiliser des registres (bascule D) pour conserver les données jusqu'à ce que la

sortie numérique du dernier étage est générée. Puis toutes les sorties peuvent être traitées par la correction numérique en même temps. La structure de ce type de circuit de retard (type flip-flop D) peut être vue dans la Figure II.22 [28].



**Figure II.22 :** La bascule D type flip- flop.

#### **II.4.6.2 La correction numérique de l'erreur**

La correction numérique de l'erreur est fait en ajoutant le code de sortie de  $(N + 1)^{nième}$  étage envoyé par les cellules de synchronisation et le codes N étages de sortie envoyés par cellules de synchronisation avec un chevauchement de 1 bit du LSB, la correction d'erreurs numériques est effectuée par des additionneurs en cascade. Le circuit de correction de l'erreur numérique est montré dans la Figure II.23.

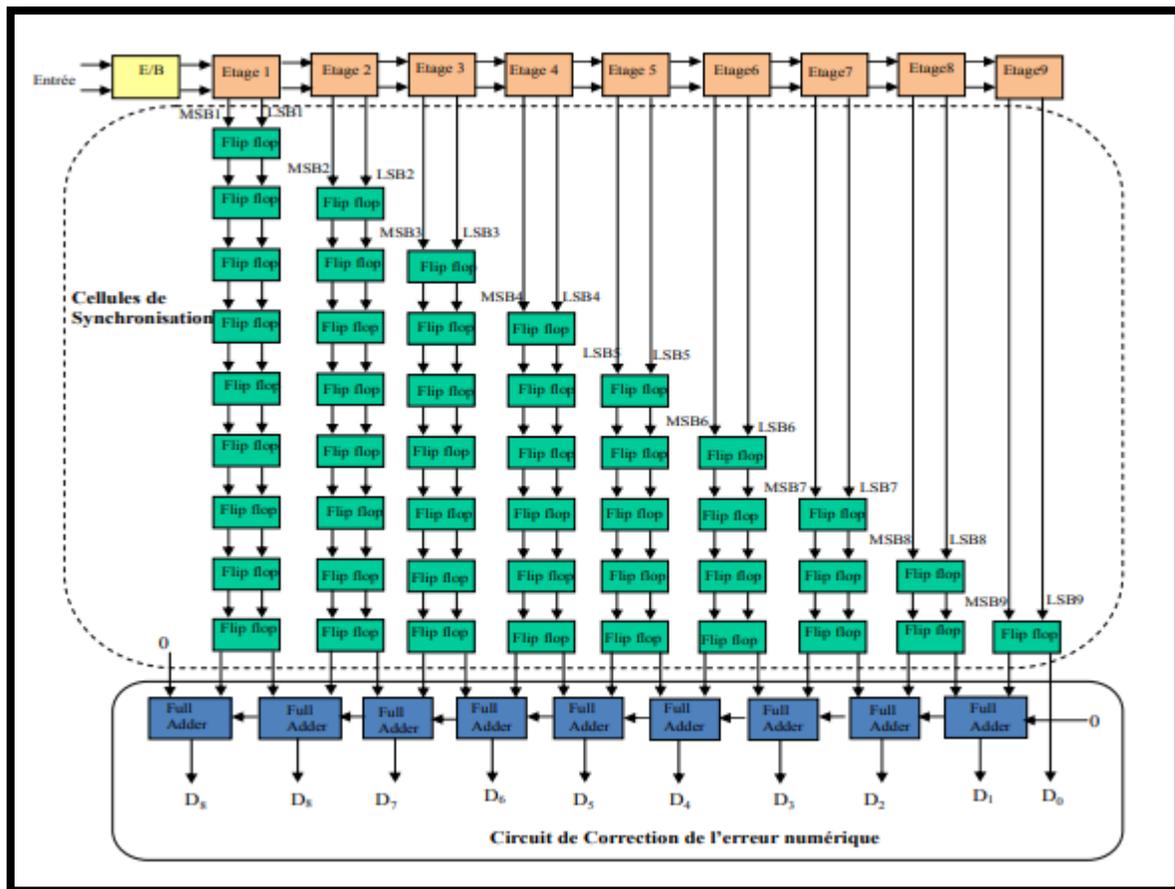


Figure II.23 : Circuit de correction de l'erreur numérique et de synchronisation.

## II.5 Les applications des convertisseurs de type pipeline

Le convertisseur analogique-numérique de type pipeline est devenu le plus populaire Architecture CAN pour des taux d'échantillonnage de quelques méga-échantillons par seconde (Mps) jusqu'à 100Mps.

Par rapport à l'CAN flash en deux étapes qui n'a que deux étapes, les CANs pipeline avoir plusieurs étages de cascades.

Les résolutions vont de huit bits aux fréquences d'échantillonnage les plus rapides jusqu'à 16 bits à la des taux plus bas. Ces résolutions et fréquences d'échantillonnage couvrent une large gamme d'applications, y compris l'imagerie CCD, l'imagerie médicale par ultrasons, les récepteurs numériques, les stations de base, vidéo numérique (par exemple, HDTV), xDSL, modems câble et Ethernet rapide, Communication, vidéo, système de bande de base.

### **II.6 Conclusion**

Ce chapitre se concentre sur la conception d'un CAN à l'aide de l'architecture pipeline . Avant d'aborder la conception des différents blocs de base d'un convertisseur A/N pipeline: le générateur d'horloge et le comparateur et l'amplificateur opérationnel et L'étage « MDAC », Le sous-CAN et l'étage de correction logique, nous aborderons la notion de principe de fonctionnement du CAN pipeline et nous présenterons également dans ce chapitre l'approche de conception des circuits convertisseur analogiques numériques.

# *Chapitre III*

---

## *Conception du convertisseur analogique numérique pipeline 8 bits*

---

### III.1 Introduction

Dans les chapitres précédents, nous avons présenté les différentes caractéristiques des convertisseurs analogiques numériques, et spécialement convertisseur analogique numérique pipeline ainsi que ces blocs de construction clés. Dans ce chapitre, on va détailler les différents éléments de notre CAN pipeline à 8 bits que nous avons réalisé en utilisant la technologie CMOS 0.18  $\mu\text{m}$  sous LTSPICE et présenté les résultats de simulation de chaque bloc élémentaire et ensuite les résultats obtenus du convertisseur complet.

### III.2 Logiciel de simulation

Le logiciel LTSPICE est un logiciel professionnel de simulation des circuits électroniques analogiques, et est un outil de conception assistée par ordinateur qui permet aussi bien aux étudiants qu'aux ingénieurs en informatique de conceptualiser des régulateurs à découpage et de simuler des circuits pour en vérifier le bon fonctionnement du circuit complet. LTSPICE est fourni avec une riche collection de composants préenregistrés que vous pouvez ajouter à votre circuit, comme des résistances, des condensateurs, des inducteurs, des diodes, ou encore des conducteurs. Par ailleurs, le programme vous offre les outils nécessaires pour tracer des circuits plus ou moins complexes, avec ou sans dérivation, de toutes les formes.

Hautement paramétrable, il vous invite à configurer chaque composant en fonction de sa résistance, de son niveau de tolérance et de sa puissance.

Nous avons utilisé la version LTSPICE XVII, qui est une réécriture partielle de LTSPICE IV avec une bibliothèque graphique moderne pour la prise en charge native de plusieurs moniteurs. Il comprend : Unicode (utilisez n'importe quel caractère de n'importe quelle langue vivante), de nouvelles équations de périphérique (IGBT, récupération logicielle et machine d'état arbitraire), des éditeurs pour la plupart des commandes de syntaxe SPICE, des extensions à Microsoft Windows pour des aperçus de vignettes schématiques, et plus encore.

Enfin, pour vous aider à prendre en main toutes ses fonctionnalités, LTSPICE propose une bibliothèque de nombreux exemples que vous pouvez manipuler et tester comme bon vous semble.

### III.3 Simulation du CAN pipeline 8 bits

#### III.3.1 Le générateur d'horloge

Un signal d'horloge est en électronique, et particulièrement en électronique numérique, un signal électrique oscillant qui rythme les actions d'un circuit. Sa période est appelée cycle d'horloge. Tous les blocs de base du convertisseur pipeline sont commandés par deux signaux d'horloge non-chevauchés phi1 et phi2 qui sont générés à partir d'un signal générateur d'horloge clk(Pulse(0 1.8 2n 10P 10P 100n 200n)).

D'autres signaux d'horloge **phi1p** et **phi2p** sont avancés légèrement par rapport à **phi1** et **phi2** respectivement, ce qui permet de réduire l'erreur résultant du phénomène d'injection de charges. Le générateur d'horloge utilisé est constitué d'un ensemble des portes logiques (des inverseurs et des portes NAND), Son schéma est présenté dans la figure (III.1) et la figure (III.2) montre les résultats de la simulation.

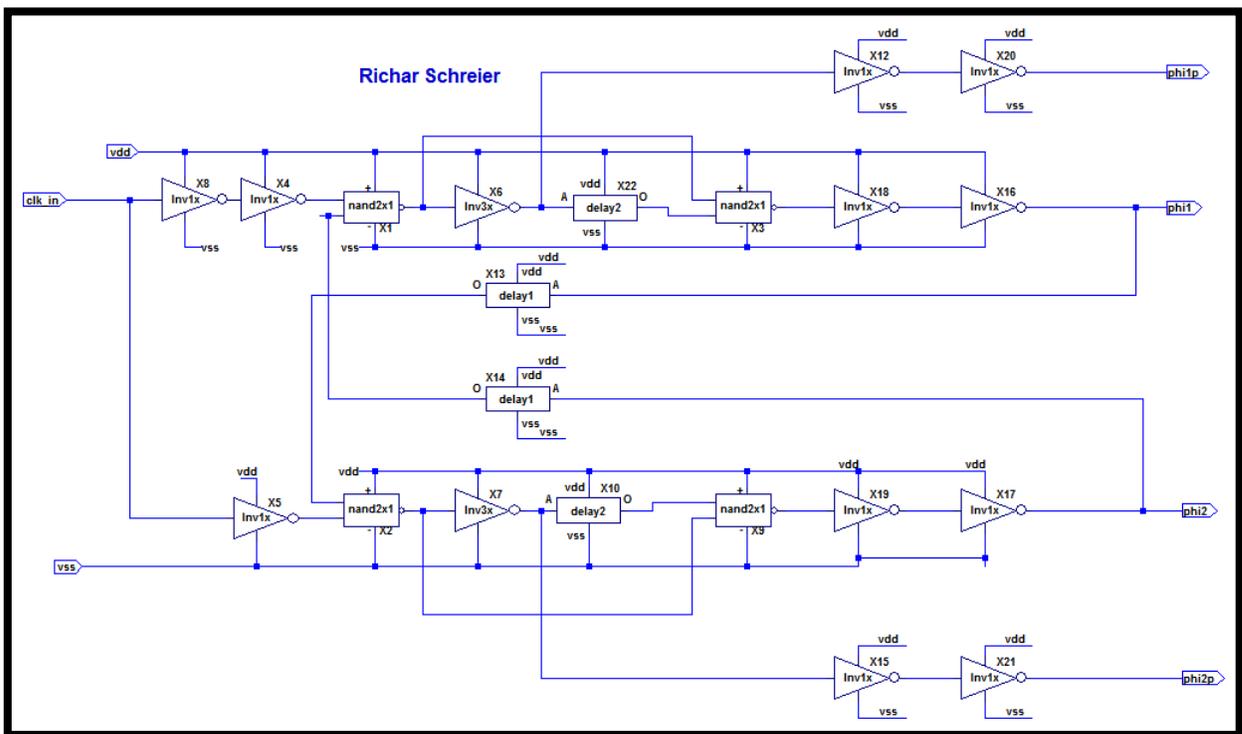


Figure III.1 : Schéma d'un générateur d'horloge.

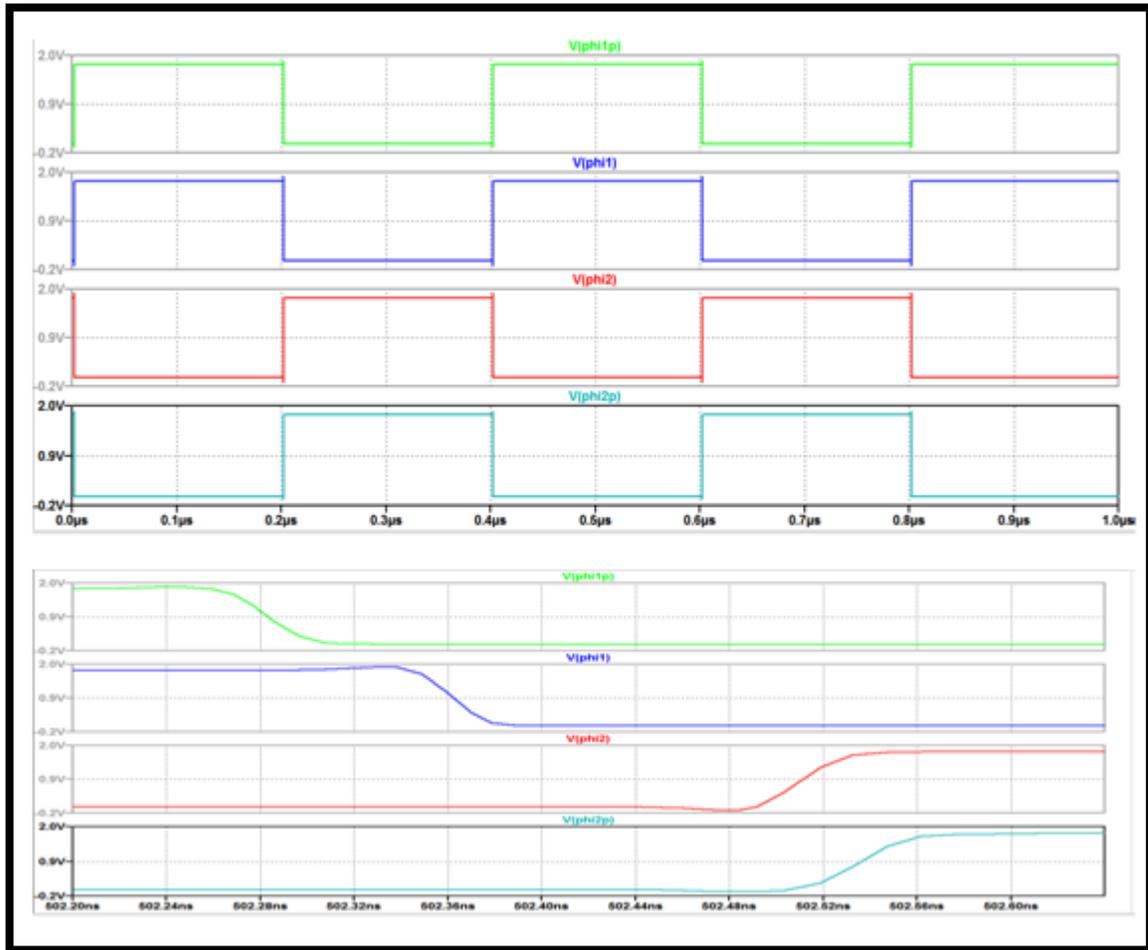


Figure III.2 : Les résultats de la simulation d'un générateur d'horloge.

### III.3.2 Les comparateurs

Dans cette famille de convertisseurs, les comparateurs, éléments essentiels de la conversion en estimant la valeur de la tension analogique d'entrée par rapport à des tensions de référence, et l'offset est trop élevé cela peut aller jusqu'à un quart de  $V_{ref}$ , dans MDAC 1.5bit, il peut monter, mais il vaut mieux être bas.

Dans MDAC multi-bits (6bits, 8bits, 10bits, 12bits...) quoique ce soit un offset faible c'est mieux pour assurer le bon fonctionnement du convertisseur, pour cela nous avons choisi un comparateur statique parmi ces caractéristiques : un offset faible, commutation très rapide et bruit de commutation ramener à l'entrée très faible, le schéma du comparateur est présenté dans la Figure (III.3).

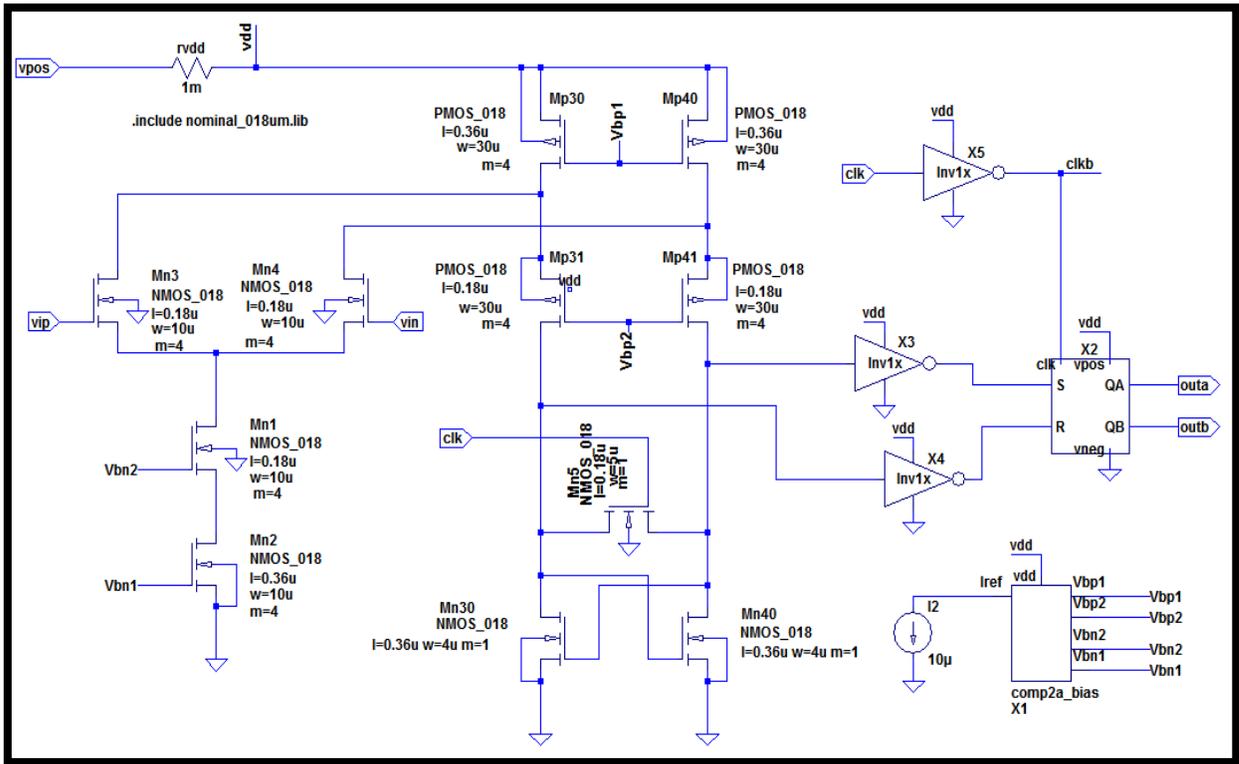


Figure III.3 :Le schéma d'un comparateur.

### III.3.3 Le Sous-CAN à 1.5-bit

Chaque étage du convertisseur pipeline comporte un sous-CAN rapide de faible résolution. Le sous-CAN de 1,5 bit par étage se compose de deux comparateurs différentiels avec deux tensions de seuil:  $V_{ref} = \pm 1/4$  et circuit décodeur, le modèle que nous avons choisi inclut l'offset de chaque comparateur.

Les deux comparateurs ont généré un jeu de trois codes thermomètres et ensuite le circuit décodeur les convertis en codes binaires.

. Le sous-CAN génère deux bits « d0 » et « d1 » que vont être utilisé dans l'étage de correction logique. Le schéma des deux comparateurs est présenté dans la figure (III.4). La figure (III.5) montre les résultats de la simulation.

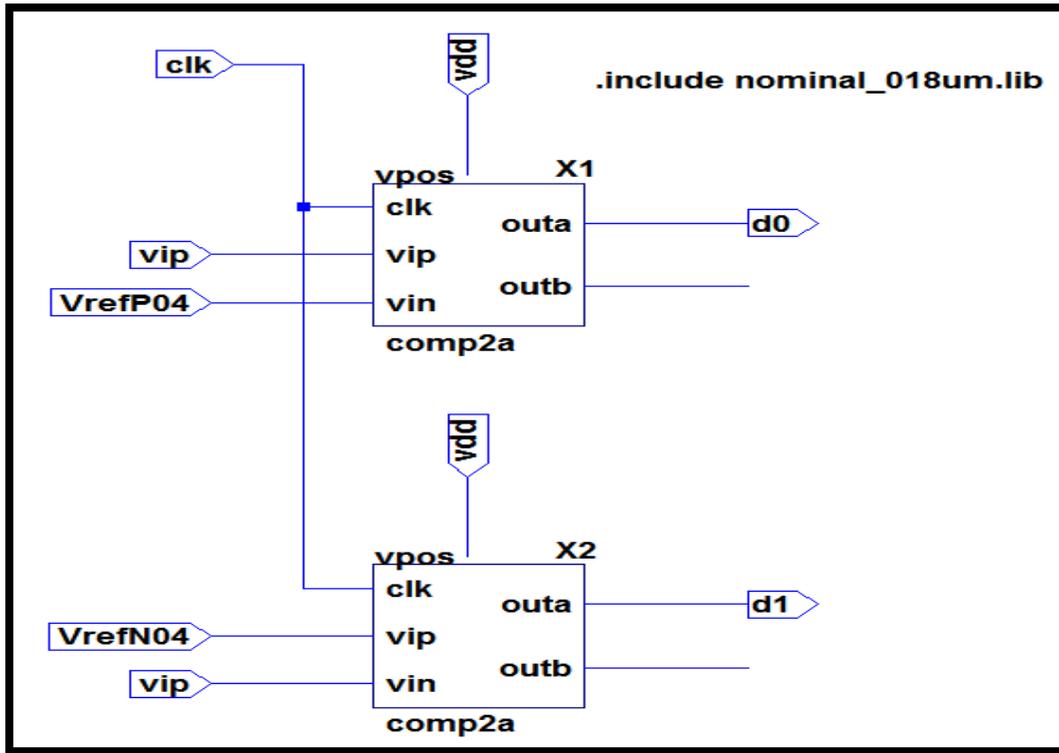


Figure III.4 :Le schéma des deux comparateurs du Sous-CAN 1.5 bit.

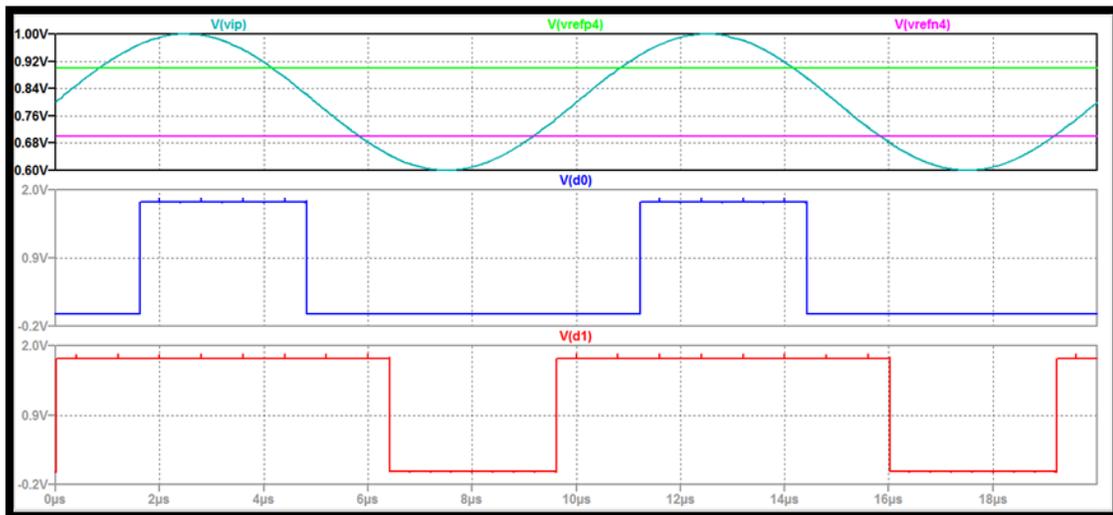


Figure III.5 :Les résultats de simulation des deux Comparateurs du Sous-CAN 1.5 bit.

La figure (III.6) représente le circuit décodeur à l'intérieur du sous-CAN La figure (III.7) montre les résultats de la simulation.

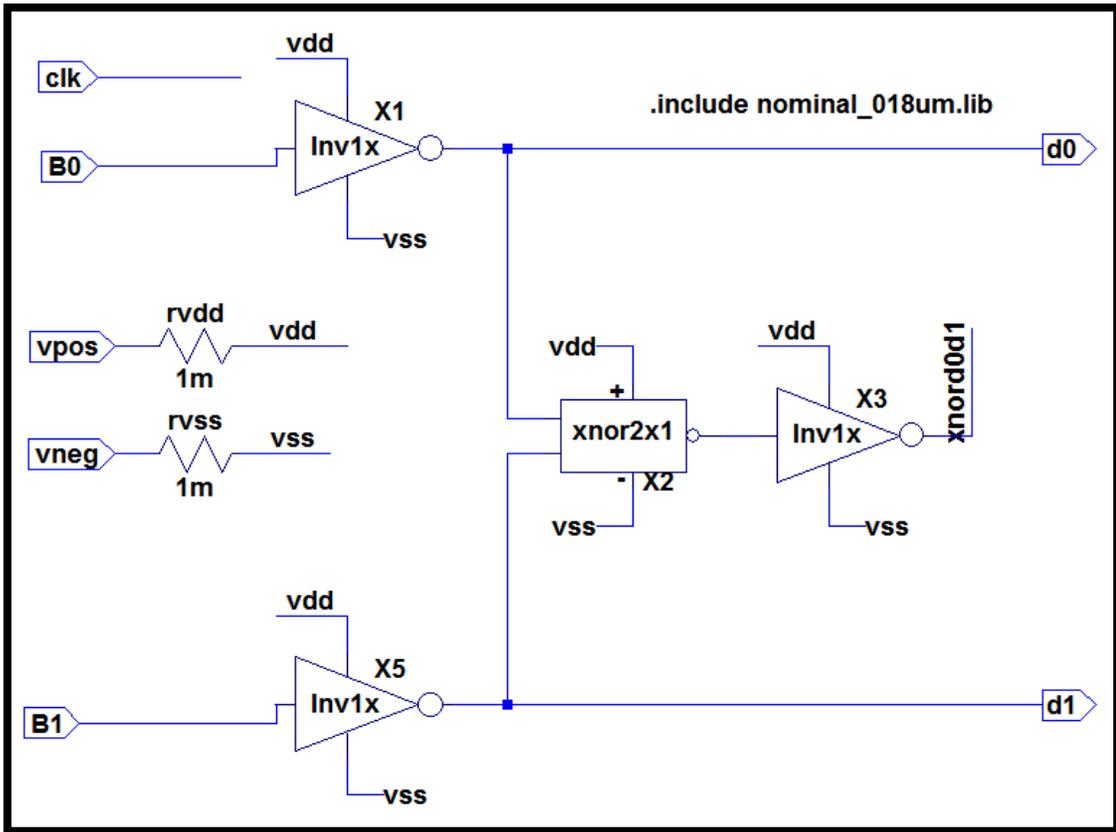


Figure III.6 :Le Schéma du circuit décodeur à l'intérieur du sous-CAN.

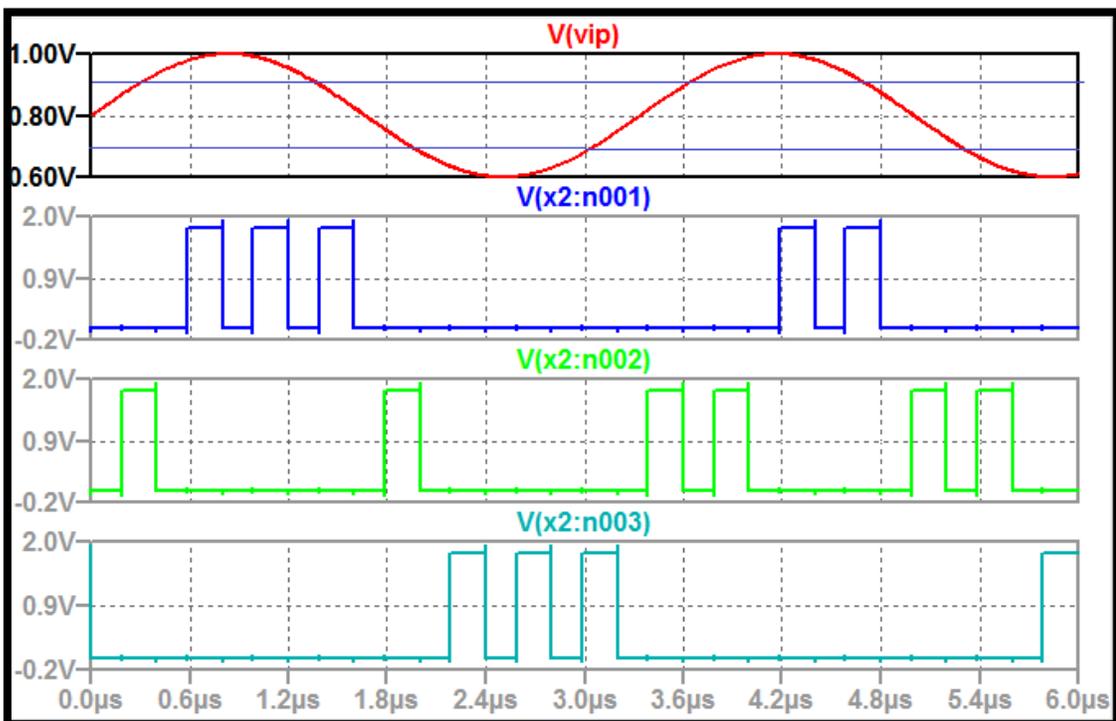


Figure III.7 :Les résultats de la simulation du circuit décodeur à l'intérieur du sous-CAN.

Et à la fin le résultat final de Sous-CAN qui comporte deux comparateurs et un circuit décodeur comme le montre la Figure (III.8).

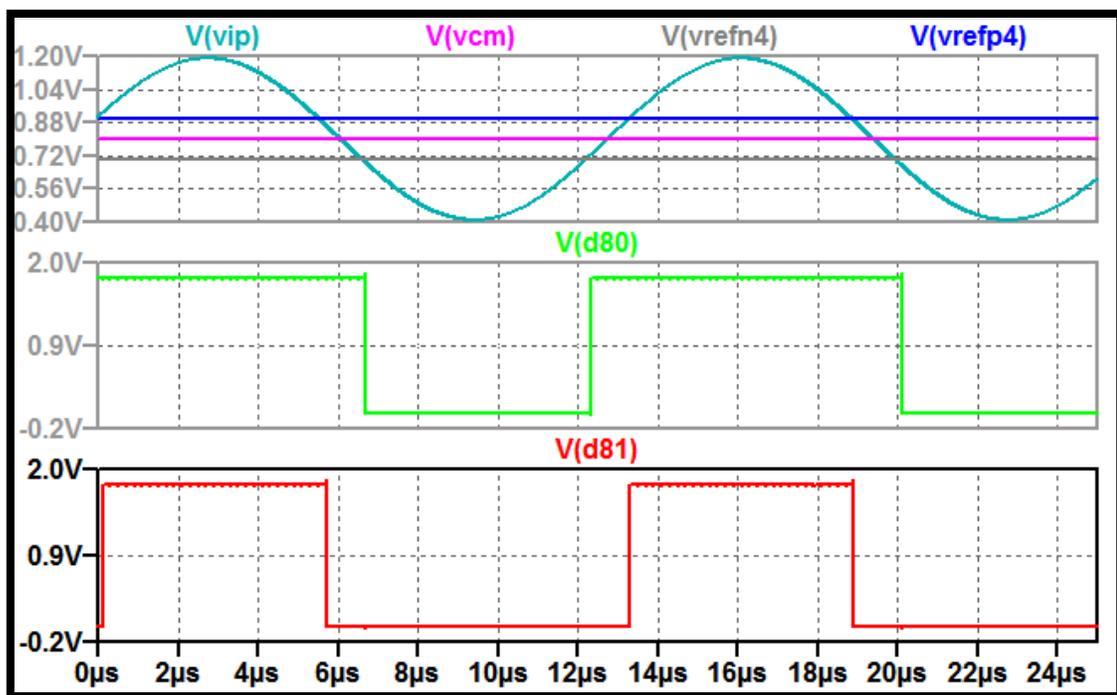


Figure III.8 :Les résultats de la simulation du sous CAN à 1.5 bit.

### III.3.4 Le Sous-CNA à 1.5-bit

L'étage sous-CNA 1.5 bit agit comme un multiplexeur, son rôle est de concentrer sur une même voie de transmission les trois sorties du décodeur. La figure (III.9) montre le schéma d'un étage CNA à 1.5 bits et la figure (III.10) montre les résultats de la simulation.

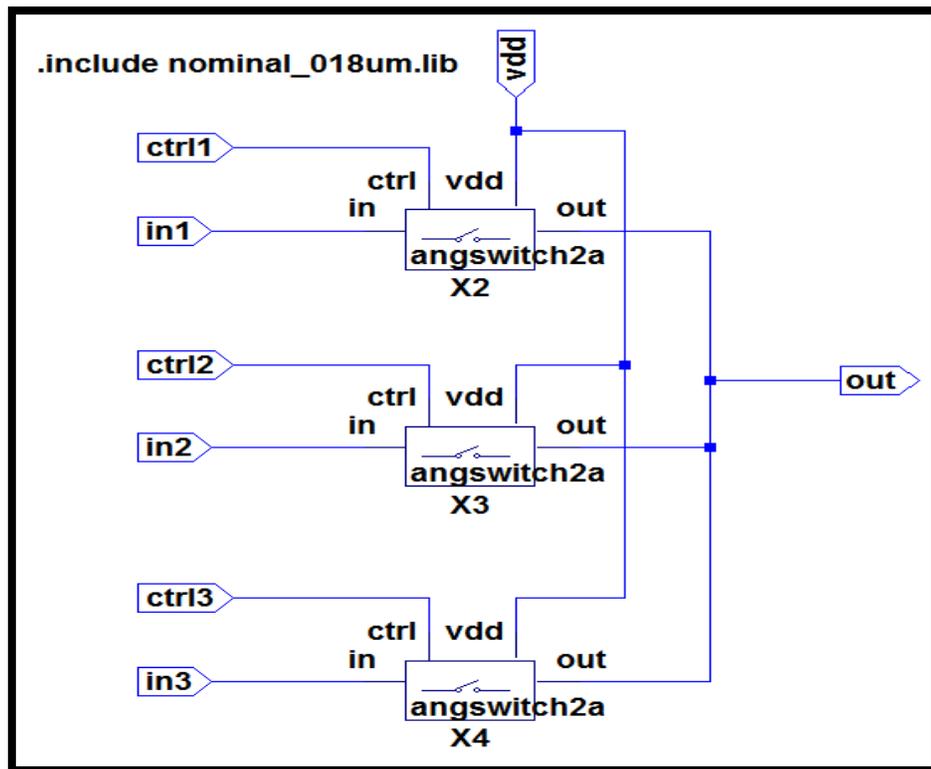


Figure III.9 :Le schéma du sous-CNA à 1.5-bit.

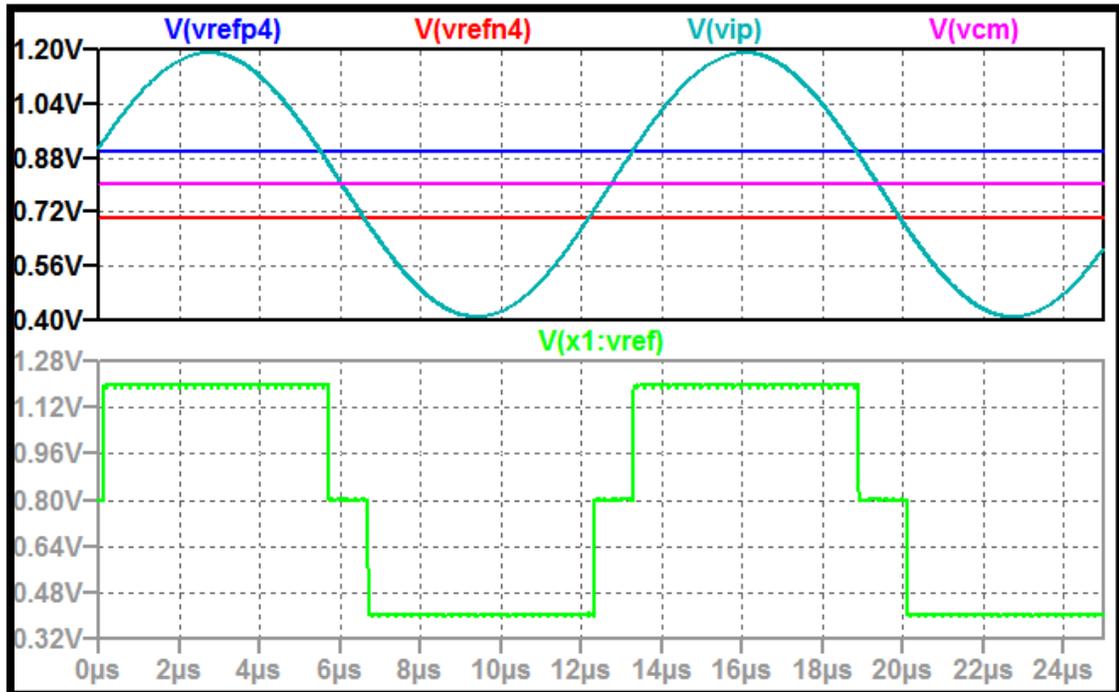


Figure III.10 :Les résultats de la simulation du sous-CNA à 1.5-bit.

### III.3.5 Le MDAC

Le circuit MDAC est l'élément de base dans l'étage pipeline, il s'agit d'un circuit à capacités commutées, il peut également faire l'échantillonnage/blocage, la conversion numérique analogique, la soustraction et l'amplification du résidu.

Le MDAC est composé de trois composants généraux : un amplificateur qui doit être rapide, commutateurs qui doivent être rapides et condensateurs qui doivent être précis pour éviter le phénomène de distorsion, il faut noter que la valeur de la capacité influe sur la rapidité du système. Plus la capacité de ce condensateur est petite, plus le système est rapide. Une autre chose à prendre en considération est la taille de ces condensateurs. Plus les condensateurs sont grands, plus la consommation de surface est importante. Par conséquent, les condensateurs doivent être mis en œuvre avec de petites tailles à l'esprit. Cependant, avec des condensateurs plus petits, il y a un risque de perte de précision. Donc, il faut faire un compromis entre taille/précision.

Les deux condensateurs  $C_s$  (condensateur d'échantillonnage) et  $C_f$  (condensateur de retour) échantillonnent le signal d'entrée, il faut que  $C_s = C_f$  pour avoir un gain en boucle fermée égale 2. Le schéma est présenté dans la figure (III.11) et la figure (III.12) montre les résultats de la simulation.

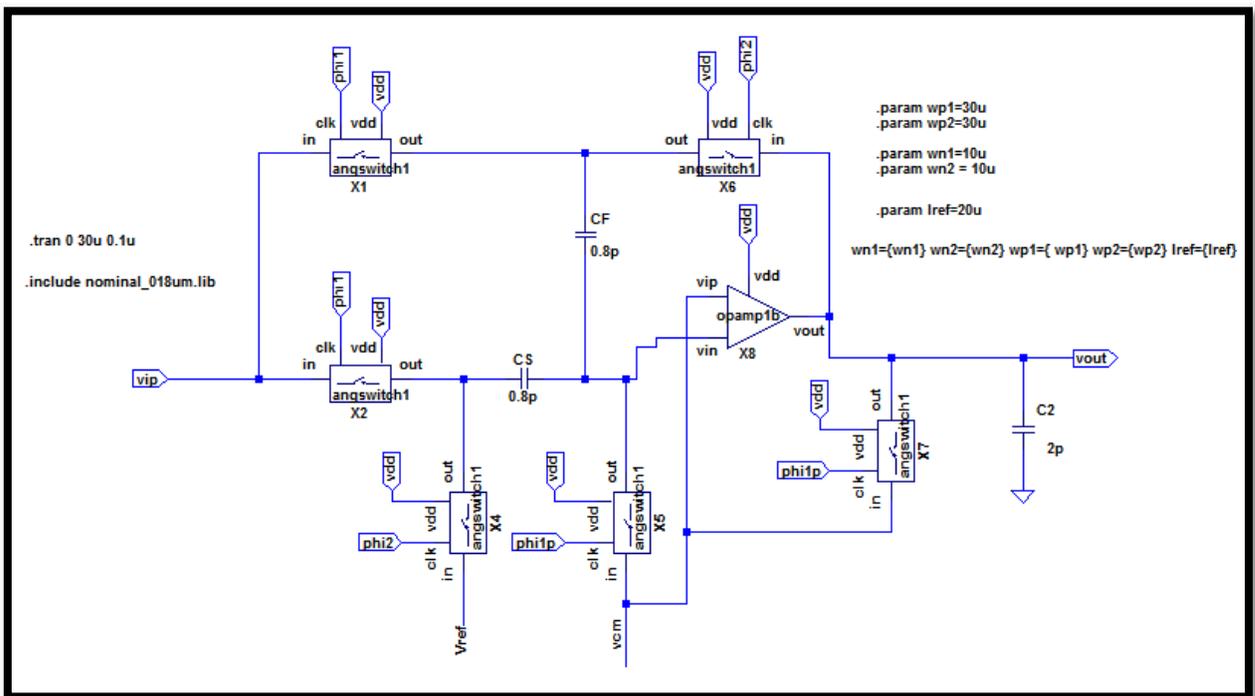
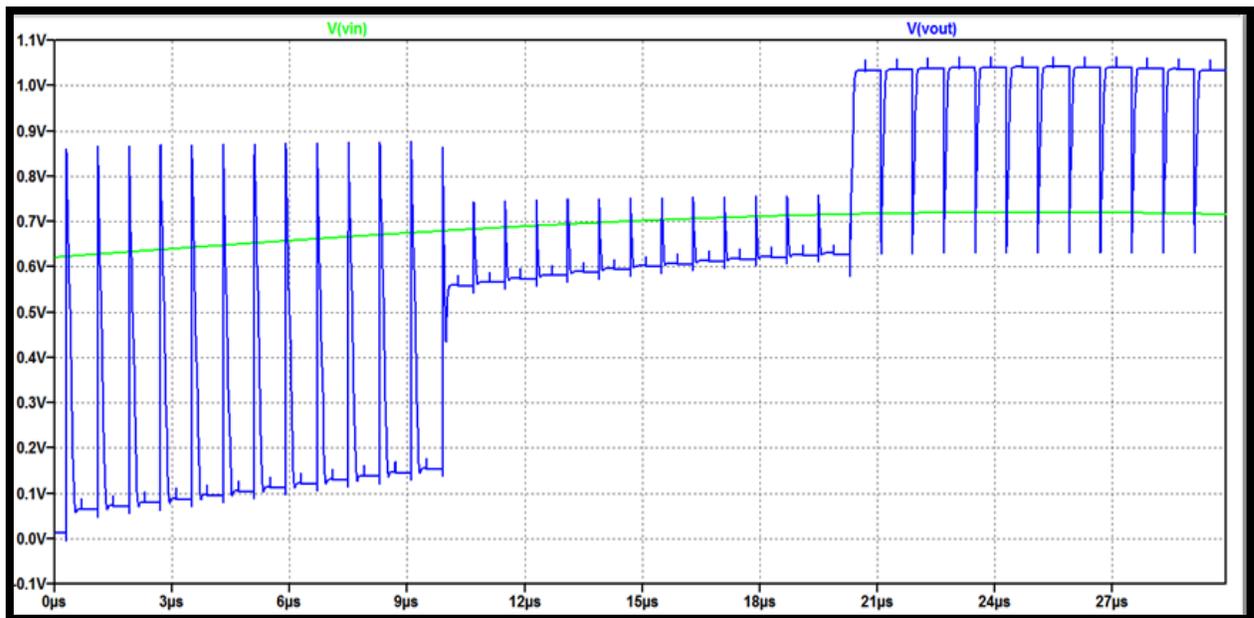


Figure III.11 : Le circuit MDAC.



**Figure III.12** :Résultats de simulation du circuit MDAC.

### III.3.6 L'amplificateur

L'amplificateur est l'élément de base de l'étage (MDAC), l'amplificateur choisi doit être rapide (ça veut dire que le gain en boucle ouverte de l'amplificateur est assez élevé) pour contrôler commutation des capacités dans le circuit MDAC.

On a choisi un amplificateur opérationnel de type cascode replié qui possède trois gains (63db, 67db et 68db), parmi ces caractéristiques : rapide, stable, plage dynamique, plage de linéarité) entre 200mV ET 1.5V. La figure (III.13) représente le schéma de l'amplificateur utilisé.

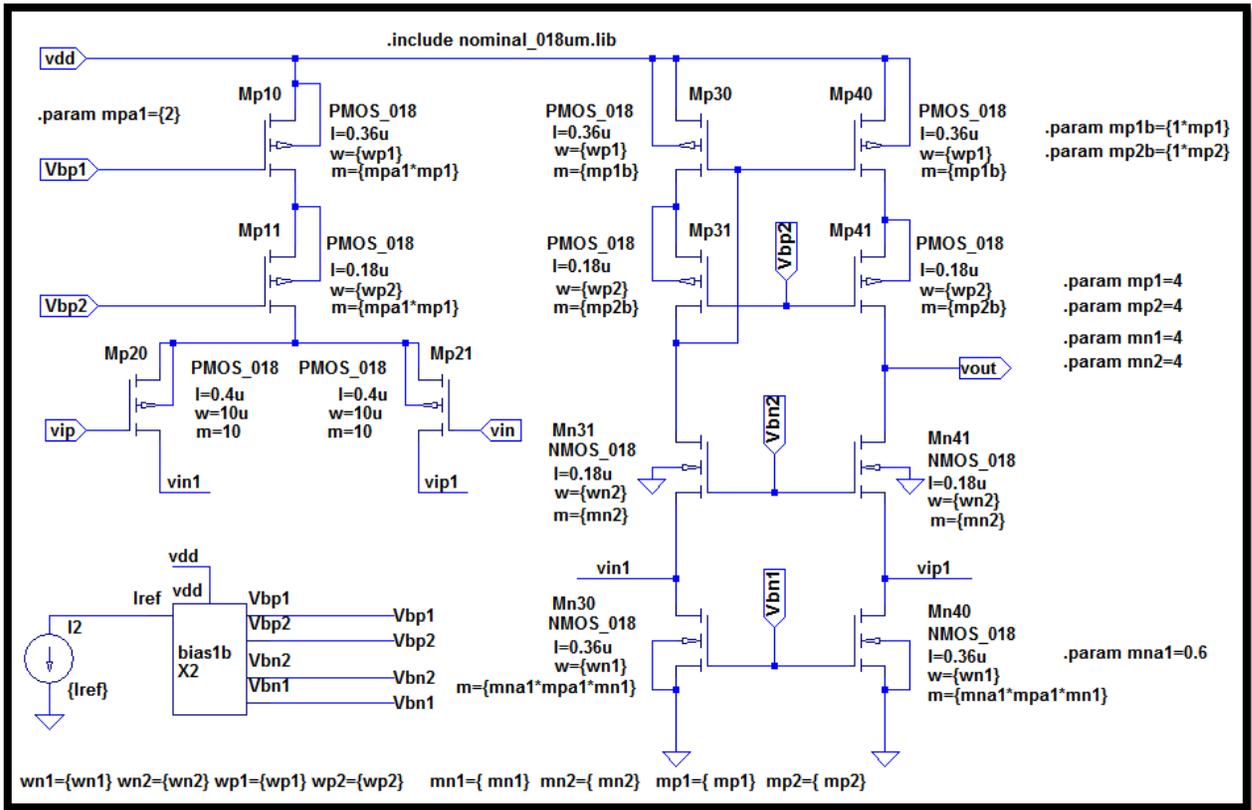


Figure III.13 :Le schéma de l’amplificateur.

### III.3.7 L’étage pipeline

L’étage pipeline se compose du sous-CAN 1,5-bits, sous-CNA 1,5-bits et du MDAC. La tension en sortie d’un étage pipeline égale à :

$$V_{out} = \begin{cases} 2V_{in} - V_R & \text{si } V_{in} > V_R/4 \\ 2V_{in} & \text{si } -V_R/4 < V_{in} < +V_R/4 \\ 2V_{in} + V_R & \text{si } V_{in} < -V_R/4 \end{cases}$$

La figure (III.14) montre le schéma de l’étage pipeline et les résultats de simulation dans la figure (III.15).

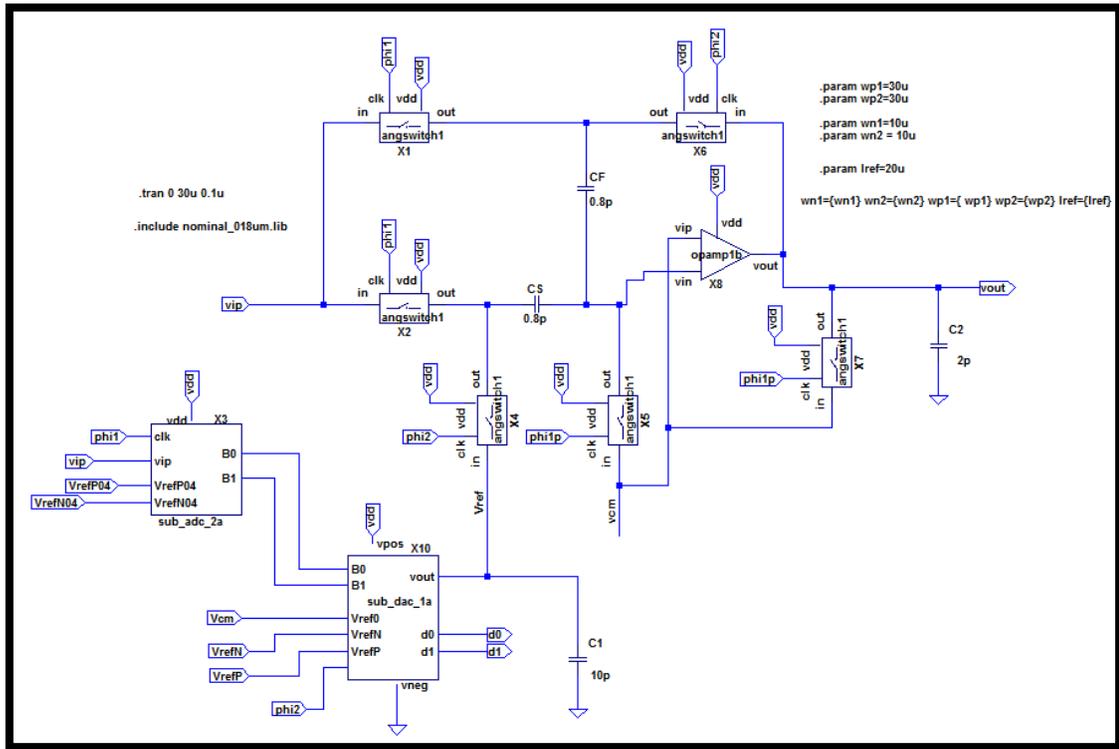


Figure III.14 :Schéma de l'étage pipeline.

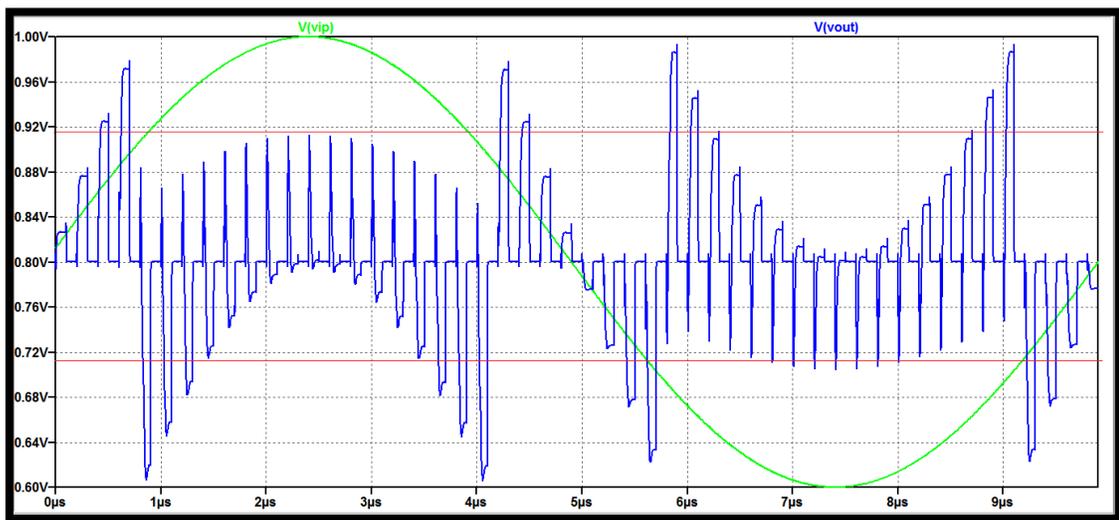


Figure III.15 :Résultat de simulation de l'étage pipeline.



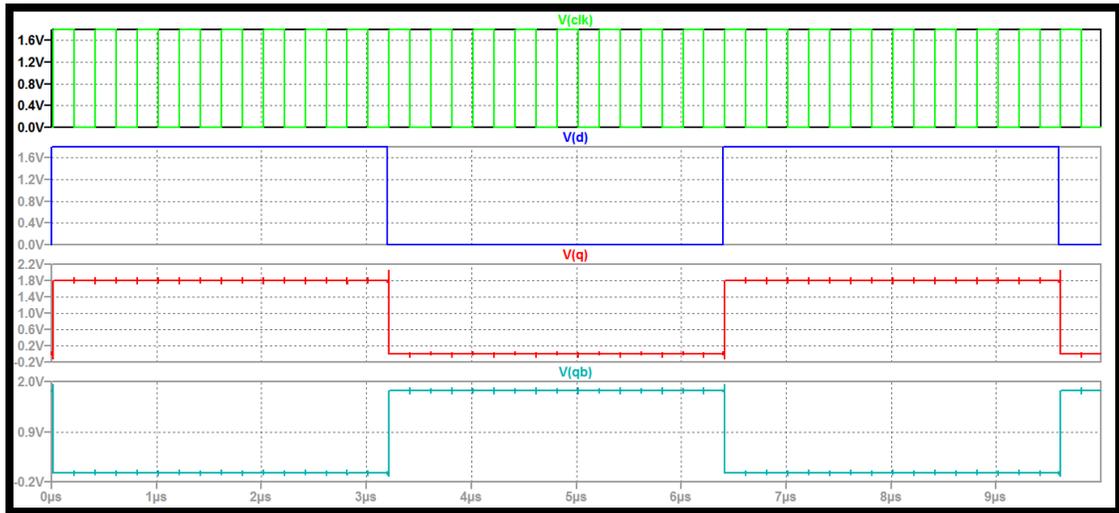


Figure III.17 : Les résultats de la simulation d’une bascule D.

Le schéma d’un étage de retard et le résultat de son simulation sont présentés dans les Figures (III.18) et (III.19) respectivement.

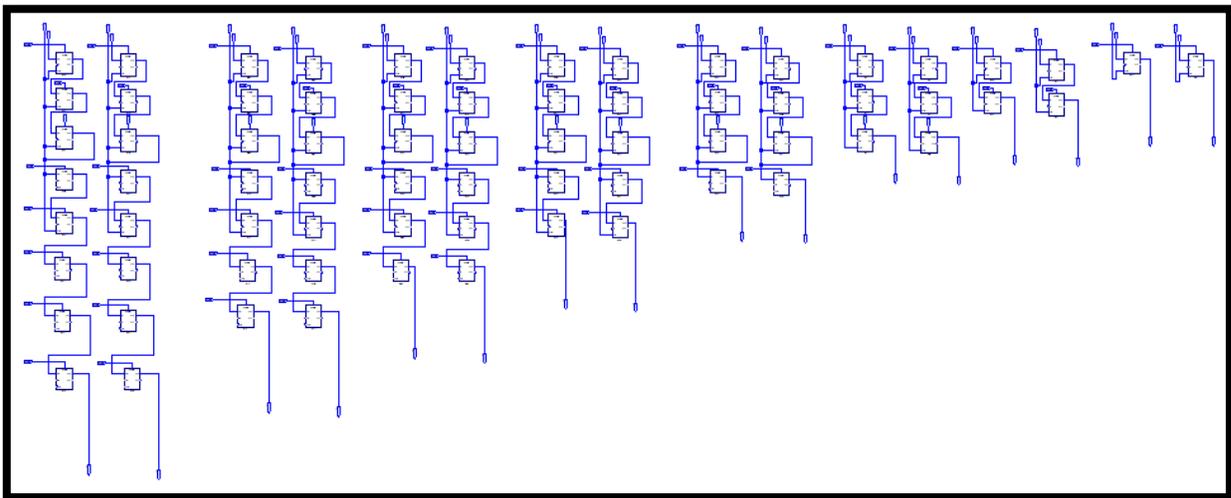


Figure III.18 : Le schéma d’un étage de retard.

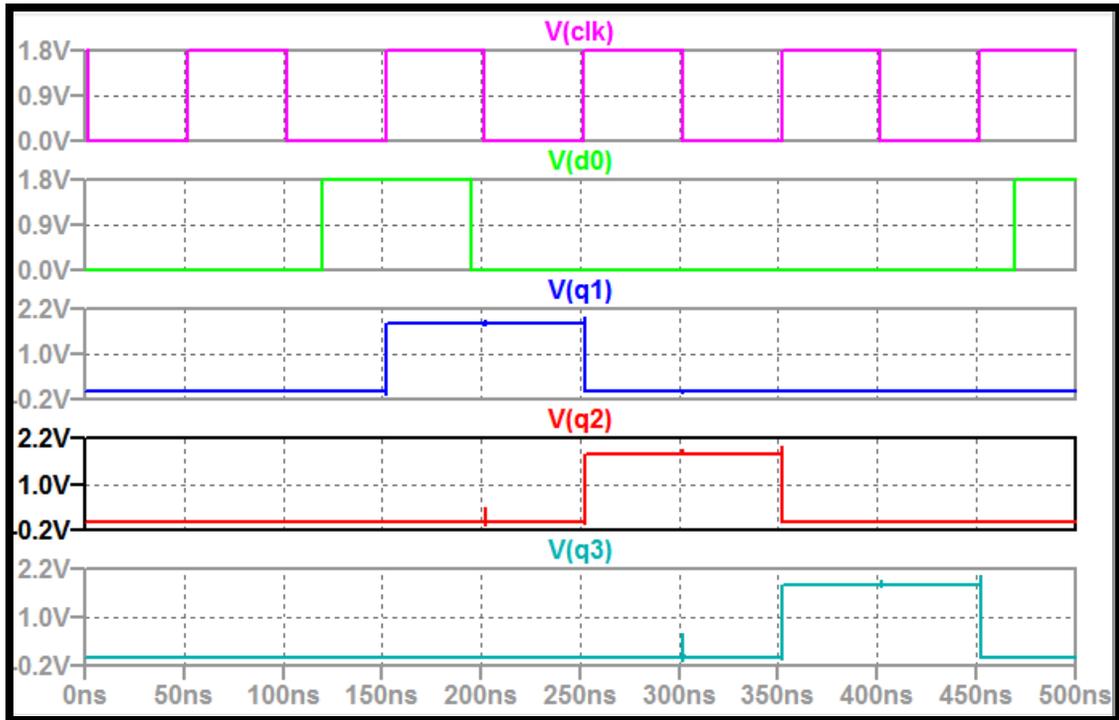


Figure III.19 : Les résultats de la simulation d'un étage de retard.

### III.3.8.2 L'étage de correction

La correction numérique de l'erreur est faite en ajoutant le code de sortie de  $(N + 1)^{\text{nième}}$  étage envoyé par les cellules de synchronisation et le codes N étages de sortie envoyés par cellules de synchronisation, la correction d'erreurs numériques est effectuée par des additionneurs complets. Ces derniers font la compensation numérique des inexacitudes dans les circuits par la réduction de tous les étages 1.5bit à des étages de 1 bit, Cette volonté permet d'améliorer la tolérance du système. Le schéma d'un étage de retard est présenté dans la Figure (III.20) et la figure (III.21) montre les résultats de la simulation.

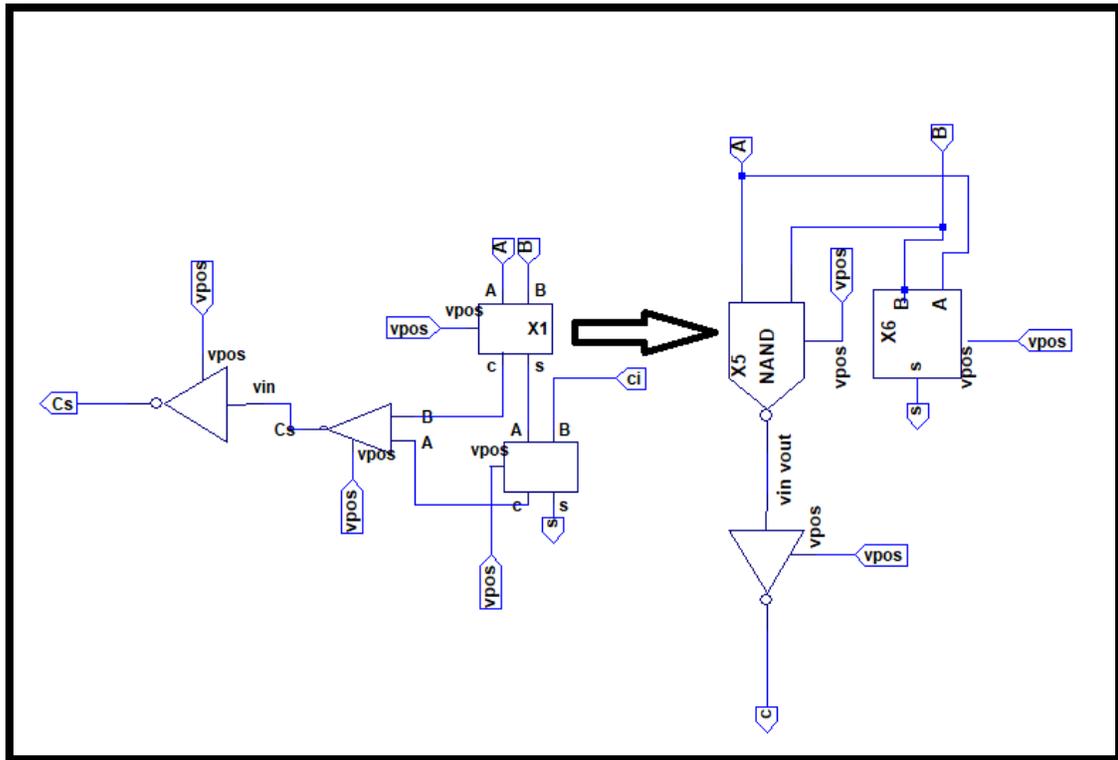


Figure III.20 : Le schéma d'un additionneur complet.

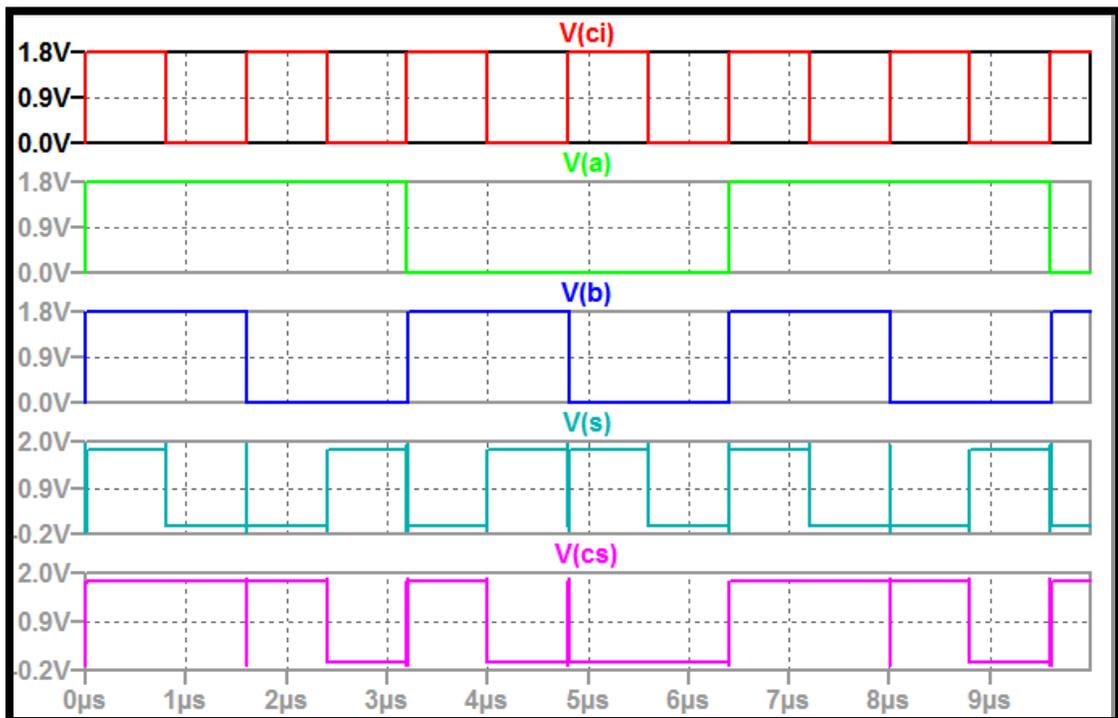


Figure III.21 : Les résultats de la simulation d'un additionneur complet.

Le schéma d'un étage de correction est présenté dans la Figure (III.22).



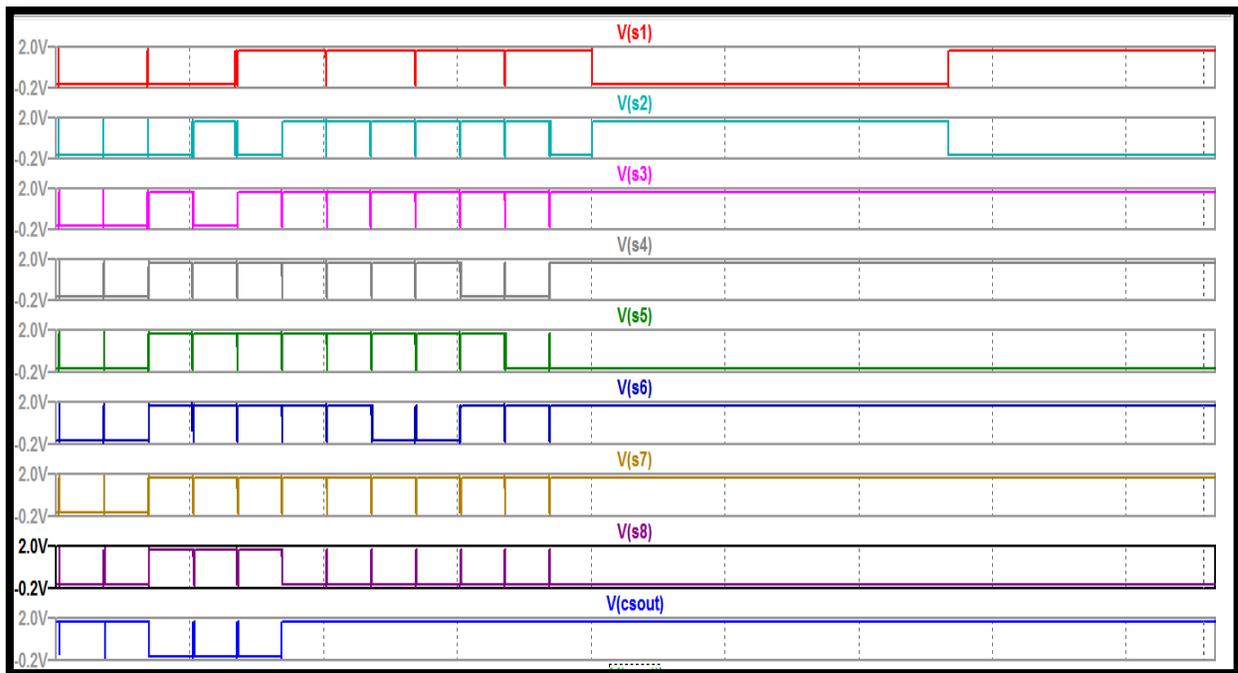


Figure III.24 : Résultats de la simulation du CAN pipeline complet.

### III.4 Conclusion :

Dans ce chapitre, la conception d'un convertisseur A/N pipeline a été développée avec succès. Le développement du modèle du convertisseur de type pipeline à 08 bits est fait en technologie CMOS 0.18  $\mu\text{m}$  avec l'utilisation du logiciel LTSPICE.

D'abord, nous avons détaillé les différents éléments de notre CAN que nous avons réalisés en utilisant la technologie CMOS 0.18  $\mu\text{m}$  sous LTSPICE. Ensuite, nous avons présenté les résultats de simulation de chaque bloc élémentaire ainsi que les résultats obtenus du convertisseur complet.

---

*Conclusion*

*Générale*

---

## Conclusion générale

Dans ce manuscrit de mémoire de MCIL 5, nous avons présenté l'étude et la conception d'un convertisseur analogique numérique pipeliné. Ce genre de convertisseurs a une place importante dans les CANs car celui, et sans doute, qui offre aujourd'hui le meilleur compromis possible entre la rapidité, la résolution et le coût.

L'objectif principal de ce projet était de présenter les détails de conception du CAN pipeline dans les procédés microélectroniques modernes. Cette architecture pipeline est exploitée à une tension d'alimentation de 1,8 V avec 8 bits de résolution et un gain de 63 dB pour l'amplificateur opérationnel. Les différents circuits du CAN sont simulés avec l'outil de simulation LTSPICE en utilisant les modèles de la technologie CMOS 0.18 $\mu$ m/1.8V de la TSMC (Taiwanaise Semiconductor).

Ce manuscrit a été divisé en trois chapitres :

Dans le premier chapitre, nous avons fourni une brève introduction à la conversion analogique-numérique. D'abord, nous avons donné un bref aperçu des principes fondamentaux de conversion analogique-numérique. Par la suite, nous avons présenté les caractéristiques et les performances des convertisseurs analogiques numériques (A/N).

Le deuxième chapitre du travail a été axé sur le principe de fonctionnement des CANs de type pipeline, l'étude a montré que la conception d'un CAN pipeline reste une tâche méticuleuse qui demande une bonne maîtrise des éléments de base. C'est pour ça, nous avons détaillé dans ce chapitre les blocs de construction clés d'un convertisseur analogique numérique de type pipeline.

Dans le troisième chapitre, nous avons conçu le CAN pipeline avec une résolution de 8 bits dans le procédé CMOS 0.18  $\mu$ m. Tout d'abord, nous avons détaillé les différents éléments que nous avons simulé en utilisant la technologie CMOS 0.18  $\mu$ m sous LTSPICE ainsi que présenté les résultats de simulation de chaque bloc élémentaire et ensuite les résultats obtenus du convertisseur complet.

## Bibliographie

- [1] N. PILLET, "Conception et intégration de convertisseurs Analogique/Numérique, compacts, à bas bruit, adaptés aux capteurs CMOS destinés à la détection de particules charges," Thèse Doctorat, Université de Strasbourg, France, 2010.
- [2] J. Ruiz-Amaya, M. Delgado-Restituto, and A. Rodriguez-Vazquez, "Behavioral modeling of pipeline ADC building blocks," *International Journal of Circuit Theory and Applications*, vol. 40, pp. 571-594, Jun 2012.
- [3] F.-E. RARBI, "Conception d'un convertisseur analogique numérique pipeline de grande dynamique et de faible consommation pour le codage des signaux de détecteurs à forte granularité," Thèse Doctorat, Université de Grenoble, France, 2010.
- [4] E. ALLIER, "Interface analogique numérique asynchrone: une nouvelle classe de convertisseurs basés sur la quantification du temps," Thèse Doctorat, Institut National Polytechnique de Grenoble, France, 2003.
- [6] M. DAHOUMANE, "Conception, Réalisation et Caractérisation de l'Électronique Intégrée de Lecture et de Codage des Signaux des Détecteurs de Particules Chargées à Pixels Actifs en Technologie CMOS," Thèse Doctorat, Université de Strasbourg, 2009.
- [7] M. Masoumi, E. Markert, U. Heinkel, and G. Gielen, "Ultra Low Power Flash ADC for UWB Transceiver Applications," in *2009 European Conference on Circuit Theory and Design*, Vols 1 and 2, 2009, pp. 41-44.
- [8] A. Ismail and M. Elmasry, "A 6-bit 1.6-GS/s low-power wideband flash ADC converter in 0.13- $\mu$  m CMOS technology," *IEEE Journal of Solid-State Circuits*, vol. 43, pp. 1982-1990, Sep 2008.
- [9] J. G. Peterson, "Monolithic Video A-D Converter," *IEEE Journal of Solid-State Circuits*, vol. 14, pp. 932-937, 1979.
- [10] T. Ogawa, H. Kobayashi, M. Hotta, Y. Takahashi, H. San, N. Takai, and Ieee, "SAR ADC Algorithm with Redundancy," in *2008 Ieee Asia Pacific Conference on Circuits and Systems*, 2008, pp. 268-271.

- [11] M. Dessouky and A. Kaiser, "Very low-voltage digital-audio Delta Sigma modulator with 88-dB dynamic range using local switch bootstrapping," *IEEE Journal of Solid-State Circuits*, vol. 36, pp. 349-355, Mar 2001.
- [12] S. Paton, A. Di Giandomenico, L. Hernandez, A. Wiesbauer, T. Potscher, and M. Clara, "A 70-mW 300-MHz CMOS continuous-time Sigma Delta ADC with 15-MHz bandwidth and 11 bits of resolution," *IEEE Journal of Solid-State Circuits*, vol. 39, pp. 1056-1063, Jul 2004.
- [13] D. Miyazaki, S. Kawahito, and M. Furuta, "A 10-b 30-MS/s low-power pipelined CMOS A/D converter using a pseudodifferential architecture," *IEEE Journal of Solid-State Circuits*, vol. 38, pp. 369-373, Feb 2003.
- [14] A. M. A. Ali, A. Morgan, C. Dillon, G. Patterson, S. Puckett, P. Bhoraskar, H. Dinc, M. Hensley, R. Stop, S. Bardsley, D. Lattimore, J. Bray, C. Speir, and R. Sneed, "A 16-bit 250-MS/s IF Sampling Pipelined ADC With Background Calibration," *IEEE Journal of Solid-State Circuits*, vol. 45, pp. 2602- 2612, Dec 2010.
- [15] K. Sockalingam, "Error Compensation in Pipeline A/D Converters," Master thesis, University of Maine, 2000.
- [16] C.-H. Cho, "A Power Optimized Pipelined Analog-to-Digital Converter Design in Deep Sub-Micron CMOS Technology," PhD thesis, School of Electrical and Computer Engineering, Georgia Institute of Technology, Atlanta, USA, 2005.
- [17] S.-C. Huang, "High Speed Pipelined ADC Using Opamp Sharing and Scaling Techniques for Display Interface," Master thesis, National Chung Cheng University (NCKU), Tainan, Taiwan, 2006.
- [18] M. M. Liu, *Demystifying Switched Capacitor Circuits*: Newnes, Ed. Elsevier, 2006.
- [19] P. J. Q. a. A. H. M. v. Roermund, , *Switched-Capacitor Techniques for High-Accuracy Filter and ADC Design.*: Springer, 2007.
- [20] P. R. Gray and R. G. Meyer, "MOS OPERATIONAL-AMPLIFIER DESIGN - A TUTORIAL OVERVIEW," *IEEE Journal of Solid-State Circuits*, vol. 17, pp. 969-982, 1982.
- [21] O. BERNAL, "Conception de convertisseurs analogique-numérique en technologie CMOS basse tension pour chaînes vidéo CCD spatiales," Ph.D Thesis, Institut National Polytechnique de Toulouse France, 2007.

- [22] J. Mahattanakul, "Design procedure for two-stage CMOS operational amplifiers employing current buffer," *IEEE Transactions on Circuits and Systems Ii-Express Briefs*, vol. 52, pp. 766-770, Nov 2005.
- [23] P. J. H. Paul R. Gray, Stephen H. Lewis, Robert G. Meyer, *Analysis and Design of Analog Integrated Circuits: JOHN WILEY & SONS, INC*, 2001.
- [24] P. E. A. D. R. Holberg, *CMOS analog circuit design*. Oxford University Press, 2012.
- [25] R. G. C. A. Lopez-Martin, E. Lopez-Morillo, L. Acosta, T. Snchez-Rodriguez, C. Rubia-Marcos, J. Ramirez-Angulo, *Analog Circuit Design, Low-voltage power-efficient amplifiers for emerging applications*. Netherlands: Springer, 2008.
- [26] J. W. Sleight, I. Lauer, O. Dokumaci, D. M. Fried, D. Guo, B. Haran, S. Narasimha, C. Sheraw, D. Singh, M. Steigerwalt, X. Wang, P. Oldiges, D. Sadana, C. Y. Sung, W. Haensch, M. Khare, and Ieee, "Challenges and opportunities for high performance 32 nm CMOS technology," in *proceedings of International Electron Devices Meeting*, vol 1 and 2, 2006, pp. 431-434.
- [27] K. Gulati and H. S. Lee, "A high-swing CMOS telescopic operational amplifier," *IEEE Journal of Solid-State Circuits*, vol. 33, pp. 2010-2019, Dec 1998.
- [28] J. Wang and Y. L. Qiu, *Analysis and design of fully differential gain-boosted telescopic cascode opamp*, 2004.
- [29] T. C. Choi, R. T. Kaneshiro, R. W. Brodersen, P. R. Gray, W. B. Jett, and M. Wilcox, "High-Frequency CMOS Switched-Capacitor Filters for Communications Application," *IEEE Journal of Solid-State Circuits*, vol. 18, pp. 652-664, 1983.
- [30] K. Nakamura and L. R. Carley, "An Enhanced Fully Differential Folded-Cascode Op Amp," *IEEE Journal of Solid-State Circuits*, vol. 27, pp. 563-568, Apr 1992.
- [31] N. Sasidhar, "Low Power Design Techniques for High Speed Pipelined ADCs," PhD Thesis, Oregon State University (OSU), Oregon, USA, 2009.
- [32] Y. Chiu, P. R. Gray, and B. Nikolic, "A 14-b 12-MS/s CMOS pipeline ADC with over 100-dB SFDR," *IEEE Journal of Solid-State Circuits*, vol. 39, pp. 2139-2151, Dec 2004.
- [33] K. Bult and G. Geelen, "A Fast-Settling CMOS Op Amp for SC Circuits with 90-dB DC Gain," *IEEE Journal of Solid-State Circuits*, vol. 25, pp. 1379-1384, Dec 1990.
- [34] J. Wang, "A 10-bit 25Msps Pipeline ADC for Companding Baseband Processing in Wireless Application," Master Thesis, Delft University of Technology, Netherlands, 2009.
- [35] G. M. C. Toumazou, and B. Gilbert, *Trade-offs in analog circuit design: Kluwer Academic Publishers*, 2002.

