

REPUBLIQUE ALGERIENNE DEMOCRATIQUE POPULAIRE
MINISTRE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE
SCIENTIFIQUE

Université de Mohamed El-Bachir El-Ibrahimi - Bordj Bou Arreridj

Faculté des Sciences et de la technologie

Département d'Electronique

Mémoire

Présenté pour obtenir

LE DIPLOME DE MASTER

FILIERE : Electronique.

Spécialité : Microélectronique

Par

- **Daba Mouna Rim**
- **Djahnit Mouna**

Intitulé

Etude et conception d'un capteur d'image APS en technologie CMOS.

Évalué le :

Par la commission d'évaluation composée de :*

<i>Nom & Prénom</i>	<i>Grade</i>	<i>Qualité</i>	<i>Etablissement</i>
<i>M. Messia</i>	<i>MCA</i>	<i>Président</i>	<i>Univ-BBA</i>
<i>M lyes. Dib</i>	<i>MCB</i>	<i>Encadreur</i>	<i>Univ-BBA</i>
<i>M. Djamouai</i>	<i>MCB</i>	<i>Examineur</i>	<i>Univ-BBA</i>

Année Universitaire 2020/2021

* Conformément à :

- L'arrêté n°055 du 21 janvier 2021 Fixant dispositions exceptionnelles autorisées en matière d'organisation et gestion pédagogique, de l'évaluation et de la progression des étudiants, durant la période COVID-19 au titre de l'année universitaire 2020-2021 ;
- Procès-verbal de la réunion de l'équipe du domaine des Sciences et Technologies du mois de Mai 2021.

DÉDICACE

À la mémoire de mon grand-père '**Daba Djeloul**', j'ai grandi grâce à ton amour Tu es mon plus fort repère. Tu as été toujours à mes côtés. Aujourd'hui, de là-haut tu peux être fier de moi, j'ai réalisé mon rêve et ton rêve de toujours.

Merci pour tout papa Djeloul. Que dieu t'accueille dans son vaste paradis inchallah.

À la lumière de mes jours, la source de mes efforts la flamme de mon cœur, ma vie et mon bonheur : ma grand-mère '**Malika**' que j'adore.

L'homme de ma vie, mon exemple éternel, celui qui s'est toujours sacrifié pour me voir réussir, à toi mon père '**Daba Hassen**'.

À maman '**Amour Nora**' pour son amour, ses sacrifices et sa tendresse.

À mon soutien moral, source de joie et de bonheur, mon fiancé '**Lamine**' pour l'encouragement et l'aide qu'il m'a toujours accordé.

À ma sœur '**Lidia**' et mon frère '**Aymen**' pour l'amour qu'ils m'ont réservé, Je le leurs souhaitent une vie pleine de bonheur et succès.

À ma tante '**Assia Daba**' et mes chers **ancles** pour leur présence et leur support inconditionnel.

À la mémoire de mon cher tonton '**Kamel Amrouche**', que Dieu l'accueille dans son vaste paradis.

À ma tante '**Tibourtine Nacira**' pour ses encouragements à aller jusqu'au bout de ce projet.

À mes cousines **Melissa, Zahoua, Ibtissam, Lila, Rania, Dounia, Roumaïssa, Lina** et les chouchous de la famille **Louay** et **Iyad**.

À mes **beaux-parents** que je respecte beaucoup.

Une reconnaissance spéciale à mon cher ancle '**Salah Daba**' pour son aide inestimable et toute ma famille

DÉDICACE

على مشارف النسيء من أعوام قونا فيها مرار العيش وحلوة العلم وعلى ذلك الدرب الطويل سطرنا
أجمل ذكرنا هنا ننيه مسيري الدرس به الشكر والحمد هلا أول والى أحبابي ثانيا

أهدي نخرجي الى من جرع الكأس نارغا ليسقوني فطرة حب الى من حصد الشواك عن دربي ليهدهد لي طريق العلم:

أبي و أمي الغالي

الى صديقي دربي .. شريك حياتي .. نبض قلبي لن أقول لك شكرا بل سأعيش الشكر معك دائما
زوجي الغالي
عبد هلا

الى جنوني المنظر، المستقبل الجميل.. الذي صبر معي على المشقة والتعب:
ابني نالدة كبدي

الى اللذين ظفرت بهم كهديفة من القدر اخوة وعرفوا معنى الأخوة:

ناصر أنور

اخواني الصغار براعم العائلة : سعيد، محمد

الى العائلة التي أهداني إياها هلا عائلتي الثانية عائلة زوجي الغالي.....

إلى صديقاتي الغليات

وأخيرا الى أساتذتي من بداية مسيري الدرس إلى اللذين غمروني بلنصح النوجيه و الإرشاد

REMERCIEMENT

Avant tout, nous tenons nos remerciements à notre **Dieu** de nous avoir donné la force et le courage d'aller jusqu'au bout de notre projet.

Une reconnaissance très spéciale à Monsieur **Dib Lyes**, notre encadreur qui a fourni des efforts énormes, par ses informations, ses conseils et ses encouragements.

Aux membres de jury pour l'honneur qu'ils nous ont fait en acceptant de juger ce travail, et tous les professeurs de département d'électronique.

A tous ceux qui furent à un moment ou à toute instante partie prenante de ce travail.

Table des matières

Introduction général	1
Chapitre1 :	
1. Introduction.....	2
2 .Définition.....	2
3. Historique.....	2
4. Capteurs CCD.....	3
5. Capteurs CMOS.....	6
6 .Comparaison entre les capteurs CCD et les capteurs CMOS.....	12
7. Conclusions.....	13
Chapitre 2 :	
1 Introduction.....	14
2. La chaîne de l'image.....	14
2.1 La matrice d'éléments photosensibles.....	15
2.1.1 La photodiode.....	16
2.1.2 Paramètres liés à la photodiode.....	19
2.1.3 La photodiode PIN.....	21
2.1.4 Les pixels.....	21
2.1.4.1 Les pixels à intégration.....	22
2.2 Le circuit de lecture colonne.....	24
2.3 La conversion analogique numérique.....	25
2.3.1 La conversion pour toute la matrice.....	26
2.3.2 La conversion au niveau des amplificateurs colonnes.....	26
2.3.3 La conversion au sein des pixels.....	26
3. Conclusions.....	28
Chapitre 3 :	
1 Introduction.....	29
2 conceptions et simulation.....	29
2.1 Capteur de pixel actif.....	29
2.2 Pixels.....	31
2.3 Circuit de lecture (colonne).....	34
2.4 Le décodeur.....	36
2.5 Multiplexeur.....	40
2.6 Compteur.....	47
2.6.1 demi-additionneurs.....	49
2.6.2 D-FlipFlop.....	50
2.7 Circuit logique d'intégration.....	53
3. Layout complet du capteur d'image CMOS APS.....	54
4 conclusions.....	56
Conclusion générale.....	57
Bibliographie	

Chapitre 1:

Figure 1.1 : Schéma du système d'imagerie numérique [1]	2
Figure 1.2 : Première image électronique prise avec les CCD	3
Figure 1. 3 : Transfert par puits de potentiel dans un capteur CCD.	3
Figure 1. 4: Principe de lecture CCD Pleine trame	4
Figure 1. 5 : Principe de lecture CCD transfert de trame.	4
Figure 1. 6 : Principe de lecture CCD interligne	5
Figure1. 7 : Architecture d'un capteur CMOS APS.	5
Figure 1. 8 : Schéma d'un pixel APS à capacité MOS.	7
Figure1. 9 : Chronogramme de fonctionnement du pixel à capacité MOS.	8
Figure 1. 10 : Schéma du pixel APS photodiode 3T.	8
Figure 1. 11 : Chronogramme du mode intégration.	9
Figure 1.12: Chronogramme rolling shutter	9
Figure 1. 13: Représentation schématique du circuit de lecture CDS d'une colonne de la matrice	10
Figure 1. 14 : Image du FPN colonne engendrée par le circuit de lecture CDS.	10
Figure 1. 15 : Schéma d'un pixel à photodiode pinned.	11

Chapitre 2:

Figure 2.1: Schéma bloc d'un capteur d'image CMOS et la chaîne de conversion	15
Figure 2.2: Principe de fonctionnement des capteurs d'image CMOS	15
Figure 2.3 : Schéma bloc d'un imageur CMOS : aucune ligne et colonne est sélectionnée	16
Figure 2.4 : Schéma bloc d'un imageur CMOS : lecture d'un seul pixel.	16
Figure 2.5: Type de rayonnement, longueur d'onde, énergie d'un photon et sensibilité spectrale de quelques matériaux [1].	17
Figure 2.6 : Caractéristique de fonctionnement de la photodiode la figure	18
Figure 2.7 : Caractéristiques de fonctionnement de la photodiode dans le sens inverse	18
Figure 2.8 : ZCE de la photodiode	19
Figure 2.9 : Rendements des trois régions de la jonction PN [7].	20
Figure 2.10 : Coefficient d'absorption de la lumière par le silicium intrinsèque en échelle logarithmique.	20
Figure 2.11 : Une représentation de la diode PIN [5].	21
Figure 2.12: Pixel à intégration (standard) à trois transistors.	22
Figure 2.13 : Fonctionnement transitoire des pixels à intégration.	23
Figure 2.14 : Pixel à intégration à photodiode PIN.	24
Figure 2.15 : Fonctionnement transitoire des pixels à intégration à photodiode PIN	24
Figure 2.16 : Schéma bloc d'un amplificateur colonne.	25
Figure 2.17 : Schéma de pixel à sortie numérique.	27
Figure 2.18 : Schéma de pixel à sortie numérique à convertisseur simple rampe	27
Figure 2.19 : Diagramme de pixel à sortie numérique à convertisseur	27

Chapitre 3:

Figure 3.1: Schéma fonctionnel d'un capteur d'image a pixel actif	29
Figure 3.2: schéma d'un pixel actif	31
Figure 3.3 : Layout de pixel 3T	31
Figure 3.4 : Simulation d'un pixel de la matrice	32
Figure 3.5. Layout d'une matrice de pixels 4x4	32
Figure 3.6. Simulation de la matrice 4x4	33

Liste des figures

Figure 3.7: schéma d'une matrice 16×16	33
Figure 3.8 : Schéma du Circuit de lecture	34
Figure 3.9 : Schéma du suiveur de tension	34
Figure 3.10 : Layout du Circuit de lecture (colonne)	35
Figure 3.11 : La réponse du circuit de lecture	36
Figure 3.12 : Configuration logique de décodeur 4 vers 16	37
Figure 3.13 : Schéma logique d'une porte AND 4	37
Figure 3.14 : Layout de AND 4 CMOS	38
Figure 3.15 : Résultat de simulation de la porte AND 4	38
Figure 3. 16 : Layout du décodeur 4 vers 16	39
Figure 3.17 : résultat de la simulation du décodeur 4 vers 16	40
Figure 3.18 : Porte de transmission	40
Figure 3.19 : Layout de la porte de transmission	41
Figure 3.20: résultat de simulation de la porte de transmission	41
Figure 3.21 : symbole du multiplexeur 2 vers 1	42
Figure 3.22 : Layout du multiplexeur 2 vers 1	42
Figure 3.23 : résultat de simulation du multiplexeur 2 vers 1	43
Figure 3.24 : Multiplexeur 4 vers 1 utilisant le multiplexeur 2 vers 1	43
Figure 3.25 : Layout du multiplexeur 4 vers 1	44
Figure 3.26 : résultat de simulation du multiplexeur 4 vers 1	44
Figure 3.27 : Multiplexeur 16 vers 1	45
Figure 3.28 : Layout du multiplexeur 4 vers 16	46
Figure 3.29 : Zoom d'une partie du multiplexeur	47
Figure 3.30: résultat de simulation d'un multiplexeur 4 : 1	47
Figure 3.31 : schéma fonctionnel du compteur	48
Figure 3.32: le schéma fonctionnel complet du compteur	48
Figure 3.33 : schéma logique du demi-additionneur	49
Figure 3.34 : Schéma logique du demi-additionneur en utilisant la porte de transmission	49
Figure 3.35 : Layout de la porte XOR	50
Figure 3.36 : résultat de simulation de la porte XOR	50
Figure 3.37 : schéma fonctionnel de la bascule D-FlipFlop	51
Figure 3.38 : Layout de la bascule D-FlipFlop	51
Figure 3.39: Layout de la bascule D-FlipFlip	52
Figure 3.40 : Layout du compteur 10 bits	52
Figure 3.41 : Zoom d'une partie du compteur 10 bits	52
Figure 3.42 : résultat de simulation du compteur 10 bits	53
Figure 3.43 : Layout du circuit logique du temps d'intégration	54
Figure 3.44 : résultat de simulation du circuit logique du temps d'intégration	54
Figure 3.45 : capteur d'image APS en technologie CMOS 100 nm	55

Liste des tableaux

Tableau 1 : Mode de fonctionnement du capteur.....	30
Tableau 2 : table de vérité du décodeur 4 vers 16.....	36
Tableau 3 : Table vérité du XOR.....	49
Tableau 4 : Table vérité de l'AND4	49
Tableau 5 : table de vérité du circuit du temps d'intégration	53

Résumé

Le capteur d'image CMOS à pixel actif (**APS**) est le capteur d'image le plus utilisé dans plusieurs domaines d'application par rapport à d'autre capteur comme le capteur d'image **CCD**. Sa consommation électrique est beaucoup plus faible que celle de capteur **CCD**, sa vitesse de lecture et le plus faible coût de production, sont les principales raisons de sa grande utilisation. On le retrouve par exemple dans : les appareils à photos numériques, Webcams, téléphones portables, caméras de surveillances, comptages, imagerie rapide. Donc l'étude de ce type de capteur est une importance capitale. Le but de ce travail est l'étude et la réalisation le Layout (dessins de masques) du capteur d'image APS en utilisant le logiciel Microwind en technologie **CMOS 100 nm**. Alors des Layouts ont été réalisés pour les blocs constituant le capteur : la matrice de pixels, le multiplexeur, le compteur, le circuit de lecture et le circuit logique d'intégration. Des simulations de ces Layouts ont été faites de chaque bloc séparément. Les résultats obtenus confirment le bon fonctionnement de ces Layouts réalisés. A la fin de ce travail, un Layout complet du capteur a été fait avec succès en connectant les différents blocs les uns aux autres.

مستشعر الصورة (CMOS) لبكسل نشط (APS) ، هو مستشعر الصور الأكثر استخدامًا في العديد من مجالات التطبيق مقارنة بأجهزة الاستشعار الأخرى مثل مستشعر الصورة CCD. إن استهلاكها للطاقة ، أقل بكثير من مستشعرات CCD ، وسرعة القراءة وتكلفة الإنتاج المنخفضة هي الأسباب الرئيسية لاستخدامها الكبير. نجده على سبيل المثال في: الكاميرات الرقمية ، كاميرات الويب ، الهواتف المحمولة ، كاميرات المراقبة ، والعدس ، والصور السريعة. لذا فإن دراسة هذا النوع من أجهزة الاستشعار لها أهمية وصوى. الهدف من هذا العمل هو دراسة وانشاء التصميمات لهذا المستشعر باستخدام تقنية CMOS. 100nm، لذلك تم وضع تخطيطات للكامل الذي يشكل المستشعر: مصفوفة البكسل ، العدس ، والعداد ، ودائرة القراءة ، ودائرة الدمج المنطقي. تم إجراء محاكاة لهذه التخطيطات لكل كتلة على حدة. تؤكد النتائج التي تم الحصول عليها الأداء الصحيح للتصميمات المنتجة. في نهاية هذا العمل ، تم إجراء تصميم كامل و شامل لجهاز الاستشعار بنجاح عن طريق توصيل الكتل المختلفة ببعضها البعض.

Abstract

Abstract :

The Active Pixel CMOS (APS) image sensor, is the most widely used image sensor in several fields of application compared to other sensors such as the CCD image sensor. Its power consumption, much lower than that of CCD sensor, its reading speed and lower production cost, are the main reasons for its great use. It is found, for example, in digital cameras, webcams, cell phones, surveillance cameras, counting and rapid imagery. So the study of this type of sensor is of utmost importance. The goal of this work is the study and realization of the Layout (mask drawings) of the APS image sensor using Microwind software in 100nm CMOS technology. So layouts were made for the blocks constituting the sensor: the pixel matrix, the multiplexer, the counter, the read circuit, and the logic integration circuit. Simulations of these Layouts were made of each block separately. The results obtained confirm the correct functioning of these Layouts produced. At the end of this work, a complete Layout of the sensor has been successfully done by connecting the different blocks to each other.

Introduction générale

De nos jours, les capteurs de vision sont florissants dans l'industrie de la haute technologie et couvrent une grande gamme d'applications. Pour exemple, nous les retrouvons dans le grand public : appareils photos numériques, Webcams, téléphones portables; dans l'industrie : caméras de surveillances, comptages, imagerie rapide et notamment dans les applications sécurité automobile surveillance du conducteur et de la trajectoire, détection des obstacles ...etc.

Depuis leur apparition, les capteurs d'images ne cessent de se développer et d'améliorer leurs caractéristiques électro optiques (sensibilité, dynamique de fonctionnement, le bruit...). Cela est dû à l'explosion du marché économique des imageurs grâce à leurs utilisations massives dans de nombreux domaines.

C'est quoi un capteur d'image ????

C'est un capteur qui convertit l'énergie lumineuse en énergie électrique. Cela signifie qu'un capteur-photo convertit les photos qui lui tombent dessus en plus d'électrons (c'est-à-dire un courant) Un photo-capteur est constitué d'un matériau semi-conducteur, généralement du silicium, qui possède une propriété appelée photoconductivité. La génération d'électrons dans un champ électrique dépend de l'intensité de la lumière incidente sur celui-ci. Nous avons trois photodétecteurs les plus utilisés : la photodiode, le phototransistor bipolaire, et le phototransistor à effet de champ. Le principe de fonctionnement de ces trois dispositifs est le même que les diodes, les transistors bipolaire, et transistors à effets du champ ordinaires. La seule différence est que les photo-capteurs ont de la lumière en entrée. Ces appareils ont des fenêtres transparentes qui permettent à l'énergie lumineuse de tomber dessus. Le capteur photo utilisé dans ce projet est la photodiode. Un appareil qui convertit la scène visuelle en signaux électriques s'appelle un capteur d'image. La principale application des capteurs d'images est l'appareil photo numérique. Un capteur d'image est constitué d'un réseau de pixels caractérisés soit par la technologie CCD, soit par la technologie CMOS. Avant l'existence des capteurs d'images CMOS, les caméras CCD étaient dominantes. Les CCD étaient principalement utilisés dans les télescopes astronomiques, les scanners et les caméscopes. Après la création des capteurs CMOS, le CCD a perdu de son importance, en raison de son faible coût et de la possibilité d'intégrer différentes fonctions dans les capteurs CMOS. Les capteurs d'image CMOS sont finalement devenus le capteur d'image de choix dans une large partie du marché.

Dans ce travail, nous décrivons la conception, la simulation d'un capteur d'image à pixels actifs CMOS. Ce travail est subdivisé en trois chapitres

- Le chapitre 1 donne les bases des différents types de capteurs et de leur fonctionnement.
- Le chapitre 2 donne une présentation des capteurs d'images
- Le chapitre 3 décrit la conception et les simulations de chaque bloc du capteur de pixels actifs CMOS (technologie CMOS 100nm) en utilisant un logiciel de conception et de simulation appelé **Microwind**

Chapitre 1

Introduction aux capteurs d'image

1. Introduction

Il existe deux types de capteurs d'images, les capteurs CCD et les capteurs CMOS dits à pixels actifs APS. Dans ce chapitre, on présentera le principe de fonctionnement d'un appareil photo numérique, ainsi qu'un petit historique sur la création et l'évolution des différents types de capteurs d'images. Puis on détaillera le fonctionnement des deux types de capteurs ainsi que les avantages et inconvénients de chacun d'eux.

2. Définition

Un capteur d'images est un composant électronique photosensible qui permet d'acquérir des images en captant la lumière (photons), grâce à sa partie photosensible (photodiode).

Cette énergie lumineuse est transformée en tension analogique dans le pixel puis convertit en un signal numérique, à l'aide d'un convertisseur analogique numérique (CAN). Ensuite, l'image acquise est traitée informatiquement pour améliorer ses caractéristiques (netteté, couleur...). Enfin, l'image est compressée dans le but de faciliter sa transmission et son stockage. Les différentes étapes sont présentées dans la figure (1.1) [1].

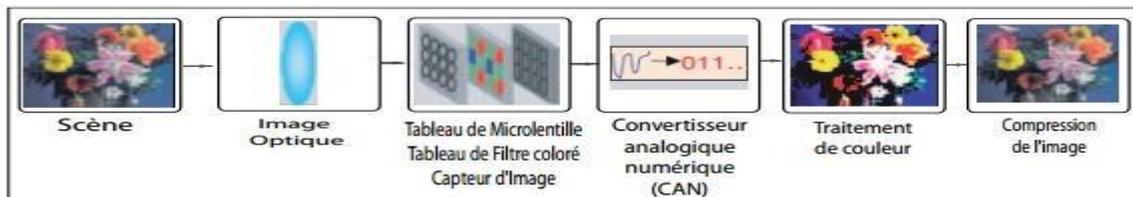


Figure 1.1 : Schéma du système d'imagerie numérique [1].

3. Historique

L'évolution des capteurs photographiques met en avant deux familles technologiques concurrentes : les capteurs CCD et les capteurs CMOS. Les premiers qui sont apparus sont les CCD, au début des années 70. Les premières études ont commencé en 1960 sur les capteurs d'images MOS. Plusieurs groupes ont travaillé dans ce domaine en utilisant les transistors NMOS, PMOS et les bipolaires. Concernant les CCD, il faut attendre les années 70 pour qu'ils soient mis au point par deux chercheurs américains : George E. Smith et Willard Boyle dans les Laboratoires Bell [1] (prix Nobel de Physique 2009).



Figure 1.2 : Première image électronique prise avec les CCD par George Smith (G) et Willard Boyle en

1974, diffusée par les laboratoires Alcatel-Lucent-Bell Alcatel-Lucent-Bell Labs/AFP.

Dès l'apparition des CCD, presque toutes les recherches se sont concentrées sur ce type d'imageurs. Il faut attendre jusqu'aux années 90 pour que les imageurs CMOS refassent leur retour. Cela est dû aux grands progrès de la technologie de fabrication des semiconducteurs VLSI et la grande possibilité d'intégration et de miniaturisation qui leur sont associés.

4. Les capteurs d'images CCD :

Les capteurs CCD se caractérisent par leur mode de lecture à transfert de charge. Dans chaque pixel, les électrons photogénérés sont collectés dans un photosite (Capacités MOS ou photodiode). Le transfert des charges consiste à emmener les charges contenues dans les pixels vers l'étage de sortie afin de réaliser la conversion charge tension. Ce procédé est réalisé par l'application de tensions de façon séquentielle sur les capacités MOS des registres de transfert. De ce fait, le signal se déplace de capacité en capacité, ligne après ligne, vers le registre horizontal de lecture [2] (fig.3). Ce dernier, par le même principe de transfert de charge, achemine les charges de chaque pixel vers le nœud de lecture où s'effectue la conversion photoélectron en tension. Les tensions pixels obtenues sont proportionnelles à l'éclairement reçu par le photosite, et l'image peut donc être reconstituée.

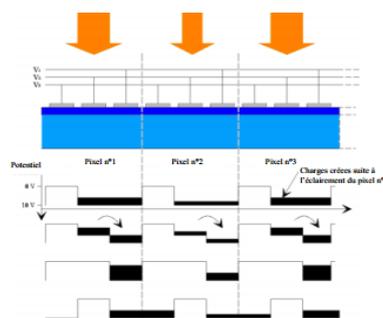


Figure 1.3 : Transfert par puits de potentiel dans un capteur CCD.

Il existe plusieurs types de matrices CCD. En technologie « pleine trame » (fullframe CCD), les photosites jouent à la fois le rôle de capteur, de stockage de charge et de transfert (fig.4). L'avantage est un rendement global intéressant, puisque presque toute la surface est sensible : le fill factor ou facteur de remplissage, rapport de la surface sensible à la surface totale du circuit intégré, est proche de 100 %. Mais il est nécessaire d'avoir un obturateur optique externe pour fixer précisément le temps d'intégration et éliminer toute lumière incidente pendant le transfert des charges.

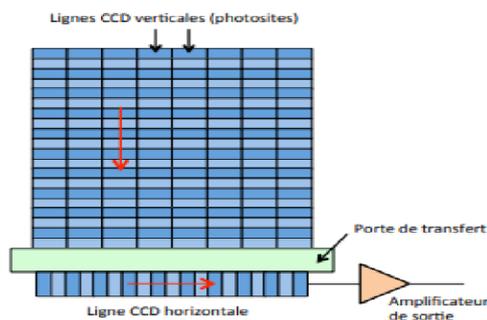


Figure 1. 4: Principe de lecture CCD Pleine trame.

La structure CCD à transfert de trame utilise une deuxième matrice CCD rendue aveugle par un masque métallique. De la même taille que la matrice photosensible, cette deuxième matrice reçoit en fin d'intégration les charges de la première matrice. Par ce principe, une nouvelle intégration peut démarrer et la matrice de stockage peut être lue à une vitesse plus raisonnable (fig.5). Cette structure nécessite l'utilisation d'une grande surface de silicium, puisque deux matrices doivent être implantées [2].

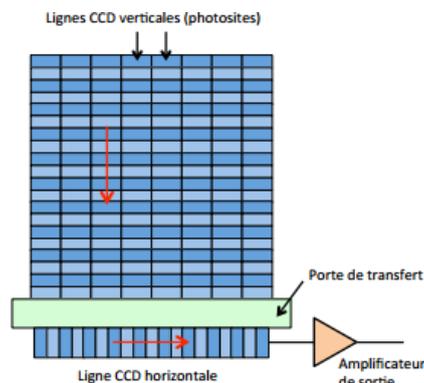


Figure 1. 5 : Principe de lecture CCD transfert de trame.

La technologie interligne utilise des lignes CCD verticales intercalées entre les sites photosensibles et protégées de la lumière par une couche métallique opaque. A la fin de l'intégration, les charges collectées par les photosites sont rapidement transférées vers les CCD verticaux pour le transfert (fig.6). Dans ce type de structure, le facteur de remplissage est considérablement dégradé. Cependant, l'obturation optique externe n'est plus nécessaire et une nouvelle intégration peut même être effectuée alors que l'image précédente est en cours de lecture.

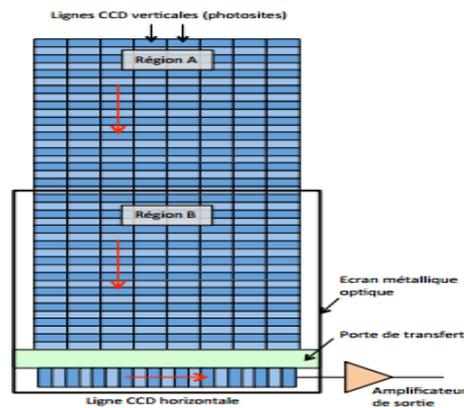


Figure 1. 6 : Principe de lecture CCD interligne.

Le transfert de charges de ligne en ligne n'est pas absolument parfait et peut se qualifier, pour chaque étage, par l'efficacité de transfert à chaque cycle (CTE, Charge Transfer Efficiency). Aujourd'hui, la valeur du CTE est proche de l'unité et donc de la perfection. Cependant, les capteurs CCD comportent toujours de plus en plus de pixels et donc de lignes (Sony DSC-F717, 6 Millions de pixels, Matrice CCD 2.560 x 1.920). Au cours du transfert de charges de ligne en ligne pour atteindre le registre de lecture, les imperfections se cumulent [2]. Les progrès des technologies CCD permettent tout de même un rendement global de transfert des charges proche de l'unité.

Les capteurs CCD ont aussi un courant d'obscurité faible. Celui-ci a pu être grandement amélioré par l'utilisation de photodiode pinned [2]. Son rendement quantique, rapport entre le nombre de photoélectrons collectés et mesurés et le nombre de photons incidents, est proche de 90%. Mais, bien que très performantes, les matrices CCD nécessitent l'utilisation d'un procédé microélectronique particulier, leur tension d'alimentation est élevée (une dizaine de Volts) et manque de souplesse d'utilisation. Par la miniaturisation des technologies CMOS, un nouveau type de capteur est apparu.

5. Les capteurs d'images CMOS-APS :

Depuis le début des années 90, les progrès constants des technologies microélectroniques CMOS ont conduit à la réalisation de nouveaux types de capteur d'images utilisant la technologie CMOS. Héritiers des matrices de photodiodes des années 60, ils possèdent au sein même du pixel des éléments actifs (transistor MOS), ce qui leur a donné le nom de Capteur CMOS à pixel actif (Active Pixel Sensor : APS).

La miniaturisation constante des technologies CMOS ainsi que le travail effectué sur l'intégration toujours plus poussée emmène les capteurs CMOS à des performances aujourd'hui proches du capteur CCD. Par l'utilisation de la même technologie microélectronique que celle permettant la réalisation des puces électroniques standards, il est possible d'implémenter sur la même puce toutes les fonctions nécessaires au fonctionnement de la caméra APS. Les capteurs réalisés sont donc autonomes, intégrant la gestion des signaux de commande du capteur, la gestion de la lecture de la matrice de pixel, le traitement de l'image, et même parfois d'autres fonctions nécessaires à des applications dédiées. De plus, l'utilisation d'un procédé microélectronique non spécifique à la fabrication de capteurs d'images permet une diminution des coûts de fabrication.

Le capteur d'images à pixel actif est constitué d'une matrice de pixels dont chaque cellule contient un élément photosensible (photodiode ou capacité-MOS), et une électronique à base de transistor MOS permettant l'initialisation, la sélection et la lecture. Une architecture de bus colonne permet la lecture de l'image ligne par ligne (fig.7). Des décodeurs ligne (Y) et colonne (X) autorisent l'accès aléatoire à un pixel, rendant possible la lecture d'un seul pixel de la matrice ou d'une partie seulement de l'image (zone d'intérêt) [2].

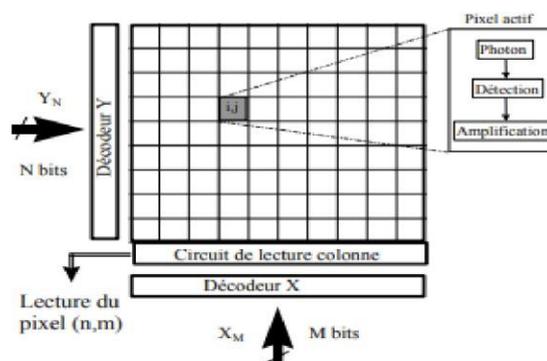


Figure 1. 7 : Architecture d'un capteur CMOS APS.

Il existe deux principaux types de capteurs CMOS : les capteurs à pixel capacité MOS et les capteurs à pixel photodiode. Le mode de fonctionnement d'un pixel APS utilisant une capacité MOS se rapproche de celui d'un pixel CCD. Par l'application d'une tension positive sur la grille de la capacité, un champ électrique est créé à l'intérieur du silicium. Les paires électrons trous photogénérés vont se voir dissocier sous l'effet de ce champ électrique, les trous écartés vers le substrat et les électrons se dirigeant vers la grille pour créer le courant photonique. Le pixel de ce type de capteur contient en plus de la capacité MOS un transistor d'initialisation **Mrst** avec le nœud de lecture, le transistor de transfert **Mtx** permettant d'isoler la zone photosensible du nœud de lecture, un transistor suiveur **M1** et un transistor de sélection ligne (fig1.8)

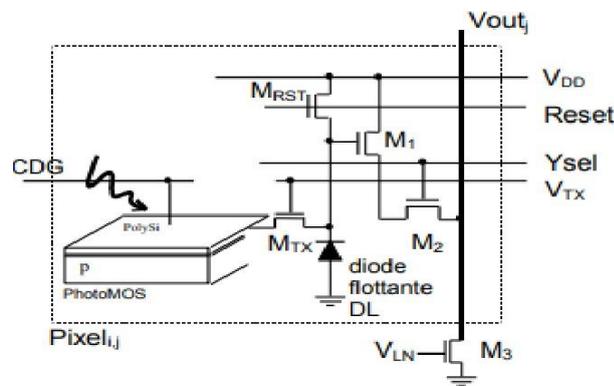


Figure 1. 8 : Schéma d'un pixel APS à capacité MOS.

La diode de lecture DL est mise au potentiel de référence et y reste pendant toute la phase d'intégration. Si pour un éclairage fort, la capacité MOS se voit saturée d'électrons, elle permettra l'évacuation du trop-plein de porteurs, et aura ainsi un rôle d'anti-éblouissement. Pendant l'intégration, le contact de grille CDG de la capacité MOS est polarisé à une tension positive afin de séparer les paires électrons trous photogénérées et de stocker les électrons sous sa grille. Pendant ce processus, le nœud de lecture est généralement isolé de la capacité MOS en fixant la tension de grille V_{tx} du transistor de transfert à une tension inférieure à V_{DD} . A la fin de l'intégration, le transistor de reset M_{rst} est désactivé, et le potentiel de référence V_{ref} du nœud de lecture est lu. Ensuite, le transfert de charges de la capacité MOS au nœud de lecture est effectué via le transistor de transfert M_{tx} , par remise à zéro de la tension CDG. La tension de la diode de lecture chute, et le nouveau signal V_{sig} est lu. La différence entre les deux signaux ($V_{ref} - V_{sig}$) représente le signal utile (fig.9) [2].

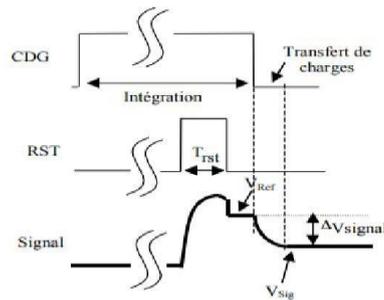


Figure 1. 9 : Chronogramme de fonctionnement du pixel à capacité MOS.

Dans les pixels utilisant une photodiode, celle-ci est réalisée par une jonction p-n. polarisée en inverse. En mode intégration, le mode de fonctionnement le plus courant, les électrons photogénérés sont collectés dans la capacité intrinsèque à la photodiode et la tension à ses bornes chute proportionnellement à la quantité d'électrons collectés. Dans le pixel de type 3T (le plus courant), trois transistors sont implémentés dans le pixel (fig.10). Le transistor de reset permet l'évacuation des charges de la photodiode, rechargeant sa capacité avant une nouvelle intégration. Le transistor suiveur M1 et celui de sélection ligne permettent l'envoi de la tension de photodiode sur le bus de lecture vertical.

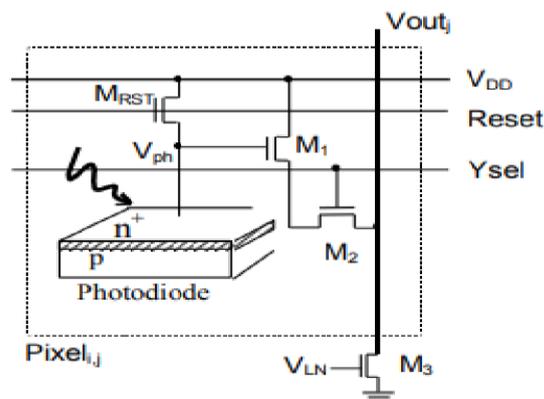


Figure 1. 10 : Schéma du pixel APS photodiode 3T.

Avant l'intégration, la photodiode est initialisée à la tension de référence V_{rst} grâce au transistor M_{rst} . A la fin de l'initialisation, le transistor de reset est bloqué, la tension aux bornes de la photodiode chute légèrement par effet de couplage et la tension V_{ref} est obtenue. L'intégration commence alors, pour un temps défini. Les charges collectées par la photodiode font chuter la tension à ses bornes, proportionnellement à l'éclairement ainsi qu'au temps d'intégration. A la fin de l'intégration, la nouvelle tension obtenue est lue (V_{sig}) (fig.11).

L'image sera reconstituée grâce à la différence entre V_{ref} et V_{sig} (signal) : c'est la lecture CDS (Correlated Double Sampling).

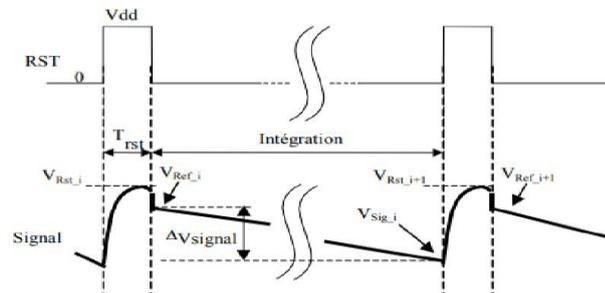


Figure 1.11 : Chronogramme du mode intégration.

Par la lecture CDS, le bruit fixe lié à la dispersion des transistors du pixel ainsi que ceux de la chaîne de lecture (suiveur) est supprimé par soustraction. La lecture des tensions V_{ref} et V_{sig} sur la même trame nécessiterait l'acquisition de deux images complètes. Il faudrait mémoriser les tensions de référence de chaque pixel avant intégration, et les soustraire, après l'intégration, à la tension du signal photonique lu. Une autre solution est donc utilisée, consistant à lire la tension de référence de la trame suivante : la tension photodiode après intégration est lue, le pixel est initialisé, et la tension de référence est lue à son tour. Effectué ligne par ligne, ce mode de lecture conduit au système de balayage de la matrice nommé rolling shutter. Les lignes sont traitées et initialisées successivement (fig1.12).

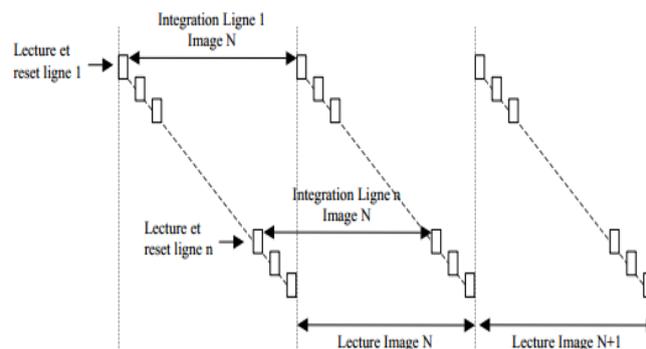


Figure 1.12: Chronogramme rolling shutter.

Afin de faciliter la lecture CDS, un circuit de lecture colonne est souvent implémenté. Pour chaque colonne, les deux tensions V_{ref} et V_{sig} sont stockées dans deux différentes mémoires

analogiques à capacité situées au bas de la matrice. (C_{sig} et C_{ref}) (fig.13). Afin de minimiser les erreurs de mesure, ce circuit de lecture est complètement symétrique [2].

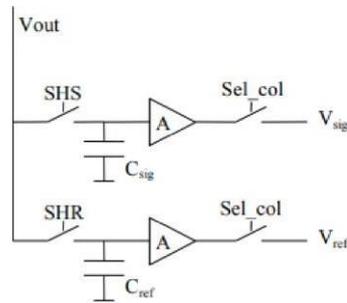


Figure 1. 13 : Représentation schématique du circuit de lecture CDS d'une colonne de la matrice APS.

Un des problèmes engendrés par le circuit de lecture CDS est la présence d'un bruit fixe colonne. Le FPN (Fixed Pattern Noise) est une variation fixe du signal de sortie pour des pixels fournissant un signal d'entrée uniforme. La dispersion de fabrication du schéma ci-dessus engendre une variation de réponse colonne à colonne des éléments constituant le circuit de lecture et dégrade la qualité du capteur par l'ajout d'un FPN colonne (fig.14). Ce bruit fixe peut être supprimé de façon efficace selon différentes méthodes [2] (soustraction d'une image en obscurité par exemple).

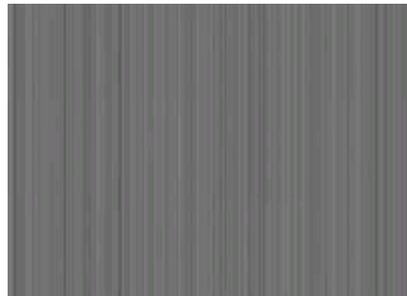


Figure 1. 14 : Image du FPN colonne engendré par le circuit de lecture CDS.

De nombreuses améliorations ont été apportées aux capteurs CMOS en utilisant les connaissances développées grâce à l'étude des CCD. Les procédés de fabrication ont évolué, permettant depuis peu l'implémentation de photodiodes optimisées, et augmentant ainsi les performances des capteurs d'images CMOS.

Initialement développée pour les capteurs CCD, la photodiode pinned (PPD) (fig.15) est aujourd'hui aussi utilisée dans les capteurs CMOS. Une couche p+ est implémentée en surface de la zone photosensible, ce qui permet de créer une séparation entre la zone de collection et la surface photosensible (zone « déplétée »). Les pixels utilisant ce type de photodiode comportent généralement 4 transistors et leur fonctionnement se rapproche de celui d'un pixel à capacité MOS (transfert des charges de la zone photosensible à la diode de lecture).

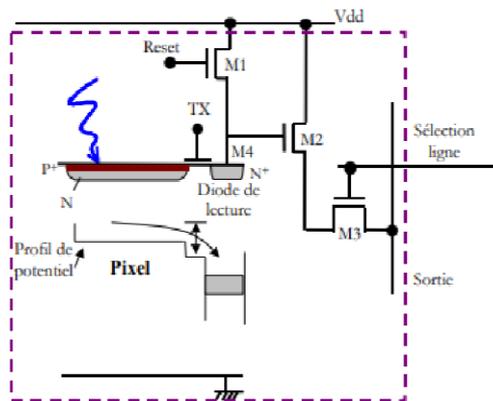


Figure 1. 15 : Schéma d'un pixel à photodiode pinned.

Après avoir été initialisée à une tension de référence, la PPD intègre les porteurs photogénérés dans la zone dopée N du silicium, et la tension à ses bornes décroît. A la fin de l'intégration, la diode de lecture est initiée à VDD via le transistor M1. Comme pour le pixel à photodiode, le blocage du transistor de reset fait chuter la tension de la diode de lecture par effet de couplage et la tension V_{ref} est obtenue. Dans le cas de ce pixel, celle-ci peut alors être lue afin d'effectuer une vraie lecture CDS (v_{ref} et V_{sig} lues sur la même trame). Ensuite, un transfert de charges est effectué grâce au transistor Tx, la tension de la diode de lecture chute, et le signal V_{sig} est obtenu. L'utilisation d'une photodiode pinned permet un transfert de charges total vers la diode de lecture. Les charges ne sont donc pas partagées entre les deux capacités (photodiode et diode de lecture), et la totalité du signal utile est utilisée. D'autres avantages découlent de l'utilisation de ce type de photodiode, comme la réduction de bruit dans le capteur et la réalisation d'une vraie lecture CDS [2].

Les possibilités quasi infinies de la technologie CMOS ont fait naître des capteurs APS utilisant des modes de lecture et des structures de pixel aussi nombreux que différents.

Aujourd'hui, certains pixels peuvent intégrer plus d'une centaine de transistors pour une taille et un facteur de remplissage plus que correct.

6. Comparaison entre les capteurs CCD et les capteurs CMOS

Ce sujet a été évoqué par Fossum [3], dans cette partie on fera un résumé des principales différences entre les deux types de capteurs CCD et CMOS :

- **Coût** : c'est le principal avantage des capteurs APS par rapport aux capteurs CCD, car les capteurs CCD ne peuvent pas être produits en technologie CMOS standard et sont donc fabriqués dans des centres de production dédiés.
- **Lecture des capteurs** : le transfert de charge dans un capteur CCD se fait de pixel à pixel ce qui fige le mode de lecture. Contrairement aux capteurs CMOS où l'adressage est fait par l'activation d'une ligne et d'une colonne, augmentant ainsi la vitesse de lecture des capteurs CMOS et l'accès potentiellement libre aux pixels.
- **Facteur de remplissage** : le facteur de remplissage est le pourcentage de l'aire du pixel sensible à la lumière par rapport à la surface du pixel. Les capteurs CCD ont un facteur de remplissage proche de 100%. En revanche, dans les capteurs APS il reste autour de 50 à 70% , mais avec la diminution de la taille des transistors et l'utilisation de microlentilles, le facteur de remplissage dans les capteurs APS s'est beaucoup amélioré.
- **Bruit** : c'est le principal désavantage des capteurs APS par rapport aux capteurs CCD, car les capteurs APS présentent du bruit temporel et du bruit spatial fixe causés par les amplificateurs dans la matrice de pixels et dans les circuits de lecture. Cependant, des techniques pour la diminution du bruit sont utilisées.
- **Consommation** : les capteurs APS sont polarisés à la tension d'alimentation de la technologie CMOS utilisée, ils consomment moins que les capteurs CCD qui ont besoin de valeurs de tension de l'ordre de la dizaine de volts pour réaliser le transfert de charges des pixels jusqu'au convertisseur analogique numérique.
- **Dynamique de fonctionnement** : la dynamique de fonctionnement dans les capteurs CMOS est de 60-70dB pour les capteurs standard et elle est de 120dB pour les

capteurs logarithmiques. Par contre, pour les capteurs CCD la dynamique de fonctionnement est de l'ordre de 80-90dB.

- **Marché** : il y a moins de cinq ans, les capteurs d'images CMOS étaient l'une des parties à forte croissance dans les semi-conducteurs, par contre, depuis le milieu de la dernière décennie, cette catégorie d'optoélectronique a lutté contre la chute des prix, cela est dû : à la croissance de la concurrence des fournisseurs, au ralentissement de la croissance des taux des capteurs dans les applications téléphonie mobile, et à la dernière récession. Après avoir chuté de 16% en 2009, les ventes de capteurs d'images CMOS ont rebondi de 17% en 2010, ce qui est équivalent à 4,5 milliards de dollars comparé l'industrie des semi-conducteurs d'une croissance de plus de 32% l'an dernier.

Toutefois, à compter de 2011, les ventes des capteurs d'images CMOS devraient gagner un nouvel élan de croissance à partir d'applications de nouveaux systèmes au-delà d'appareils photo des téléphones et de l'autonomie d'appareils photo numériques, comme il a été conclu dans le rapport de " Optoelectronics, Sensors, and Discretes (O-S-D) " de IC Insights 2011.

7. Conclusions :

Dans ce chapitre nous avons présenté les capteurs d'images et leurs domaines d'utilisation. Nous avons défini la fonction de ces capteurs d'images et un petit historique a été présenté. Ensuite, nous avons détaillé les deux types de capteurs d'images ainsi que le principe de fonctionnement de chacun d'eux. Nous avons alors présenté leurs avantages et inconvénients respectifs. Nous allons maintenant, dans le chapitre suivant, concentrer sur les capteurs d'images type CMOS. On présentera et on détaillera les différentes architectures de ceux-ci, leurs différentes caractéristiques et leurs avantages et inconvénients.

Chapitre 2

Présentation des capteurs d'images CMOS

1. Introduction

Dans ce deuxième chapitre, nous allons présenter les différents éléments composant la chaîne de l'image des capteurs d'images CMOS. Parmi eux, la matrice de pixel composée de la photodiode et de quelques transistors, les amplificateurs colonne, les décodeurs colonne et ligne et le convertisseur analogique numérique (CAN).

On détaillera également les deux types de capteurs d'images CMOS, le capteur à intégration ou standard et le capteur à réponse logarithmique ou à fonctionnement continu, ainsi les différents types de l'élément photosensible.

2. La chaîne de l'image

Les dispositifs d'acquisition d'images permettent de capturer une information lumineuse et de la convertir en un signal électrique, analogique ou numérique. Au sein du capteur d'images CMOS, les photons sont ainsi successivement convertis en charges photo générées, puis en photo courant, puis lus sous forme de tension analogique. Cette tension analogique est ensuite amplifiée, aiguillée vers la sortie du capteur et finalement convertie en signal numérique. La figure (2.1) illustre les différents blocs des capteurs d'image CMOS et leur rôle dans cette chaîne de conversion :

- la matrice d'éléments photosensibles qui fournit des tensions analogiques correspondant à l'information lumineuse respective de chaque pixel ;
- l'électronique de lecture qui permet d'amplifier ces tensions et de les acheminer vers la sortie du capteur ;
- un convertisseur analogique - numérique qui transforme ces tensions analogiques en signaux numériques [4].

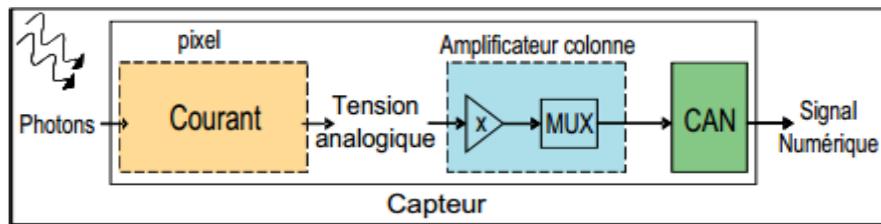


Figure 2.1 : Schéma bloc d'un capteur d'image CMOS et la chaîne de conversion des grandeurs mesurées.

Les capteurs d'image CMOS fonctionnent à la manière d'une mémoire, avec des blocs d'adressage en X et en Y. Les pixels d'une même colonne partagent un même bus de sortie, multiplexé par le décodeur ligne. L'information sur le bus de sortie de chaque colonne est ensuite échantillonnée, stockée et amplifiée dans les amplificateurs colonnes. Tous ces amplificateurs partagent un bus de sortie, multiplexé par les décodeurs colonne, qui alimente le convertisseur analogique numérique. La figure (2.2) illustre ce principe de fonctionnement [3] [4].

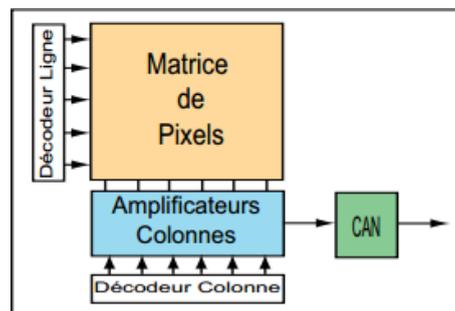


Figure 2.2 : Principe de fonctionnement des capteurs d'image CMOS.

Nous allons maintenant présenter plus précisément chacun de ces blocs : la matrice d'éléments photosensibles, les amplificateurs colonnes et la partie conversion analogique numérique.

2.1 La matrice d'éléments photosensibles

C'est une matrice de lignes et de colonnes de pixels. Ces derniers se composent d'une photodiode et de plusieurs transistors, classiquement de trois à cinq transistors.

Principe de fonctionnement : le principe de fonctionnement d'un imageur CMOS (figure (2.3)) est basé sur la sélection des pixels de la matrice photosensible un par un. D'abord, en

fonction du décodeur ligne, on sélectionne une ligne de la matrice photosensible (exemple la ligne "i") (figure (2.4)). Le décodeur ligne sélectionne une ligne. Les sorties pixels de cette ligne sont connectées aux amplificateurs colonnes qui stockent les valeurs des pixels. Le décodeur colonne sélectionne une à une les valeurs stockées dans les amplificateurs colonnes pour les envoyer au convertisseur analogique numérique.

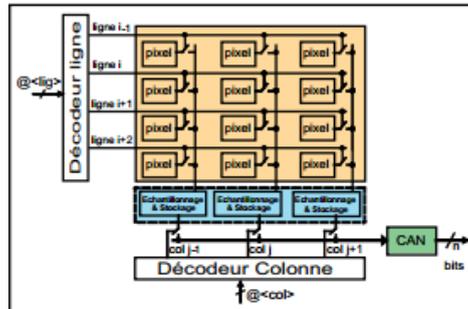


Figure 2.3 : Schéma bloc d'un imageur CMOS : aucune ligne et colonne est sélectionnée.

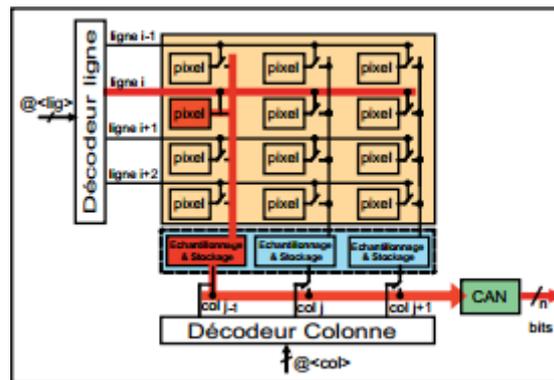


Figure 2.4 : Schéma bloc d'un imageur CMOS : lecture d'un seul pixel.

Une fois la lecture de tous les pixels de la ligne "i" terminée, on passe à la ligne suivante "i+1" et on répète les mêmes procédures jusqu'à ce qu'on ait lu tous les pixels de toute la Matrice [6].

2.1.1 La photodiode

Elle transforme la lumière (les photons) en une énergie électrique par effet photoélectrique. Les longueurs d'onde à détecter et le rendement quantique nous imposera le choix du matériau qui sera utilisé pour la conception du photo détecteur. C'est pour ces raisons que dans notre cas, pour une longueur d'onde qui est dans le domaine visible (de 0.4 à 0.8 μm) le silicium est choisi pour sa bonne sensibilité et son bon rendement quantique

(figure (2.5)). En outre, le grand avantage du silicium est qu'il est le matériau de base des circuits intégrés CMOS [5].

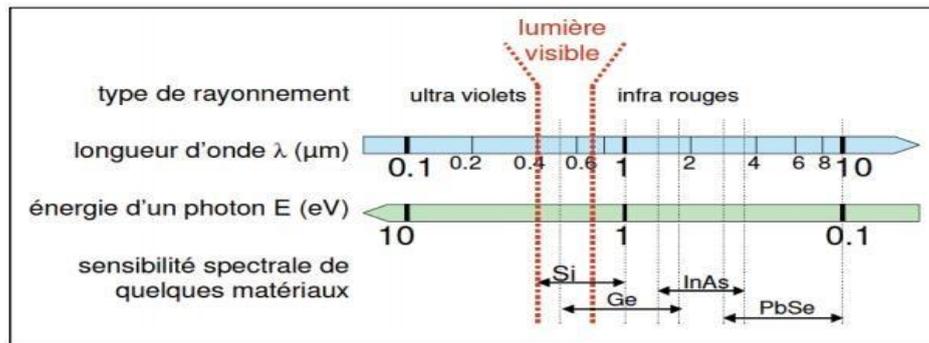


Figure 2.5 : Type de rayonnement, longueur d'onde, énergie d'un photon et sensibilité spectrale de quelques Matériaux [1].

L'effet photoélectrique se définit par la création des paires électrons-trous dans les matériaux semi-conducteurs dont la largeur de la bande interdite correspond à la gamme d'énergie du photon.

Ceci correspond à l'énergie qu'il faut à l'électron pour qu'il quitte sa barrière de potentiel qui le maintient dans le solide. L'existence de la bande interdite entraîne l'existence d'un seuil d'absorption tel que :

$$E = h\nu \quad (2.1)$$

Avec : "E" l'énergie du photon en [Joules], "h" la constante de Planck en [J.s], et "ν" la fréquence du rayonnement électromagnétique [Hz].

La fréquence temporelle pour un phénomène se propageant dans l'espace peut être également calculée par la relation (2.2) :

$$\nu = \frac{c}{\lambda} \quad (2.2)$$

Avec : "c" la vitesse de la lumière en [$m.s^{-1}$] et "λ" la longueur d'onde en [m].

Des deux équations (2.1) et (2.2), l'énergie des photons "E" est définie par l'équation de Planck (2.3) suivante :

$$E = \frac{hc}{\lambda} \quad (2.3)$$

Avec : "E" l'énergie du photon [Joules] ; "h" la constante de Planck ($6,623 \times 10^{-34}$ [J.s]) ; "c" la vitesse de la lumière ($2,998 \times 10^8$ [m.s⁻¹]) ; "λ" la longueur d'onde [m].

La figure (2.6) présente la caractéristique du courant de la photodiode en fonction de la tension à ses bornes. On constate que cette caractéristique est divisée en deux parties : la partie directe et la partie inverse.

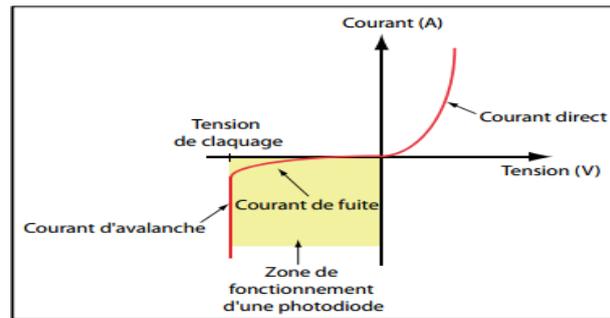


Figure 2.6 : Caractéristique de fonctionnement de la photodiode.

Figure (2.7) montre plus précisément la caractéristique de la photodiode dans le sens inverse. Pour une valeur donnée (fixe) de V_d (tension aux bornes de la photodiode), la photodiode fournit un courant variant en fonction de la puissance lumineuse (P_1, P_2, P_3, P_4).

Le courant inverse (courant circulant dans le sens inverse de la photodiode) augmente en valeur absolue et devient plus important avec l'augmentation de la puissance lumineuse ($P_1 < P_2 < P_3 < P_4$).

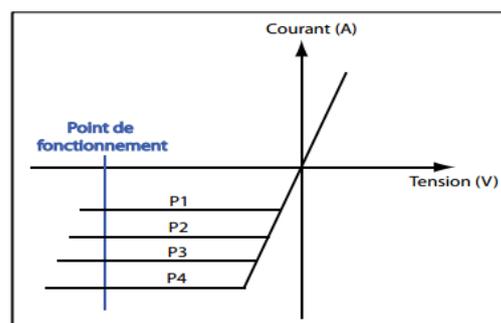


Figure 2.7 : Caractéristiques de fonctionnement de la photodiode dans le sens inverse.

On trouve trois types essentiels de photo éléments qui nous permettent de générer des charges mobiles dont la valeur est fonction du flux lumineux. Les photodétecteurs, les photodiodes et les phototransistors. Après la lecture des études faites par [8] et [9], nous concluons que parmi ces photos éléments, notre choix doit se porter sur la photodiode car c'est elle qui

présente les meilleures caractéristiques pour les applications visées dans notre travail, en terme de sensibilité et vitesse de fonctionnement par rapport aux deux autres photos éléments. La figure (2.8) montre la ZCE2 de la photodiode [1].

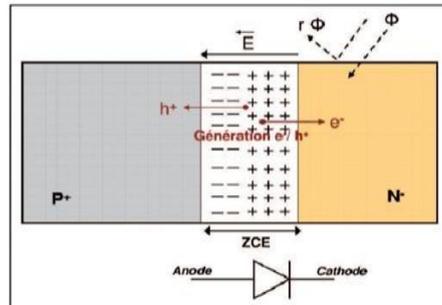


Figure 2.8 : ZCE de la photodiode.

2.1.2 Paramètres liés à la photodiode

Durant la transformation de la lumière (photons) en énergie électrique, plusieurs paramètres internes à la photodiode, rentrent en compte. Quelques-uns sont cités ci-après.

- **Le rendement quantique :** Le rendement quantique représente le pourcentage de photons qui contribuent au courant photonique dans la diode, par la création d'une paire électron-trou. Dans le cas idéal, chaque photon reçu par la diode dont l'énergie est supérieure au gap du silicium (1.12 eV, soit une longueur d'onde de la lumière incidente de moins de 1100nm) crée une paire électron-trou. Dans la pratique, le rendement quantique est limité :
 - par le coefficient de réflexion de la surface du silicium, qui peut être corrigé par un traitement surfacique approprié.
 - par la largeur de la zone de charge d'espace, où se situe la majeure partie de la détection de la lumière.
 - par les recombinaisons en surface et en profondeur des charges.

Il conviendra de distinguer le rendement quantique pur de la diode (aux alentours de 50-60%), du rendement quantique effectif du pixel, qui prend en compte le facteur de remplissage.

$$\eta = \eta \times F$$

η_{eff} : rendement effectif du pixel

η : rendement quantique de la photodiode

FR : facteur de remplissage du pixel

Le rendement quantique dépend fortement de la longueur d'onde de la lumière incidente. Il n'y a donc pas de sens à annoncer une valeur de rendement quantique sans préciser pour quelle longueur d'onde (ou plage de longueurs d'onde) cette valeur est valable. On donne généralement dans les spécifications d'un circuit d'imagerie la valeur maximale possible du rendement [7].

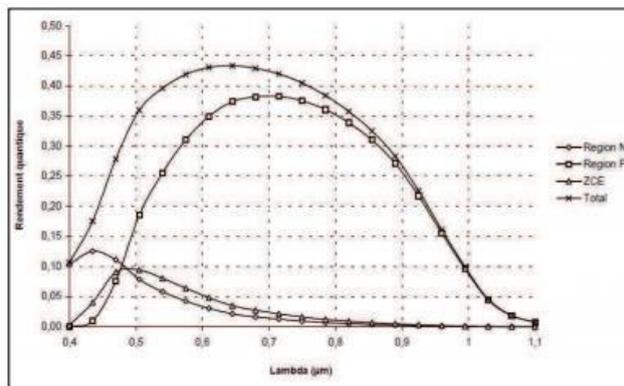


Figure 2.9 : Rendements des trois régions de la jonction PN [7].

Le facteur de conversion : il est essentiel de savoir la valeur du facteur de conversion qui exprime la tension produite par un photon capté par la photodiode, on l'appelle aussi le gain du pixel. Par conséquent, il définit la sensibilité de la photodiode et il s'exprime en Volt par électron [V/électron] [10].

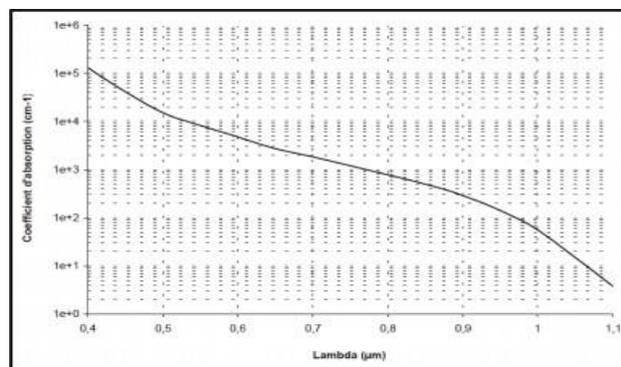


Figure 2.10 : Coefficient d'absorption de la lumière par le silicium intrinsèque en échelle logarithmique.

Le courant d'obscurité I_{dark} : Le courant d'obscurité représente le courant mesuré par le pixel en l'absence de toute illumination. Il est principalement dû au courant de saturation inverse de la photodiode, les courants de fuite des transistors étant négligeables [7].

La capacité parasite de la photodiode : Bien qu'elle ne soit pas une spécification propre du capteur, la capacité parasite de la photodiode est très importante pour la valeur du facteur de conversion (dans le cas d'un pixel intégrant) et pour le bruit lié à la remise à zéro du pixel, comme on le verra par la suite.

On cherchera dans tous les cas à obtenir une capacité parasite de photodiode la plus faible possible, ce qui sera facilité par la réduction de la taille des pixels, au fur et à mesure de leur évolution [7].

2.1.3 La photodiode PIN

On trouve comme autre type de photodiode, la photodiode PIN. C'est un composant semi-conducteur de l'optoélectronique. Elle est utilisée comme photodiode normale (PN) dans de nombreuses applications industrielles. Sa particularité vient de sa jonction composée d'une zone intrinsèque intercalée entre une région fortement dopée "P" et une autre fortement dopée "N", d'où le "I" dans le nom "PIN"[10].

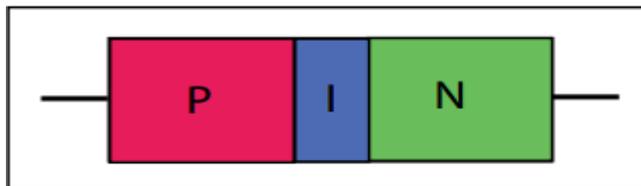


Figure 2.11 : Une représentation de la diode PIN [5].

La photodiode PIN est le résultat de l'augmentation des performances d'une diode normale via des procédés de fabrication spécifiques notamment en élargissant la largeur de la zone de charge d'espace (ZCE). La capacité parasite de la photodiode PIN est réduite ainsi que son courant d'obscurité et son rendement est supérieur à la photodiode classique.

2.1.4 Les pixels :

Le pixel est l'élément de base des capteurs d'images, il contient la photodiode et quelques transistors permettant la commande de l'intégration de la lumière, la sélection et

l'amplification du signal avant sa transmission dans les bus colonnes. C'est pour cette raison que ces circuits sont appelés "capteurs à pixels actifs" ou APS 4. La littérature propose deux types de pixels pour les capteurs d'images CMOS :

2.1.4.1 Les pixels à intégration :

Ce sont les pixels les plus connus et les plus répandus. On les retrouve dans tous les appareils photos numériques, cameras, Webcams etc , dès que ceux-ci n'utilisent pas de capteurs CCD. Ils se composent de l'élément photosensible qu'est la photodiode et de trois à cinq transistors MOS.

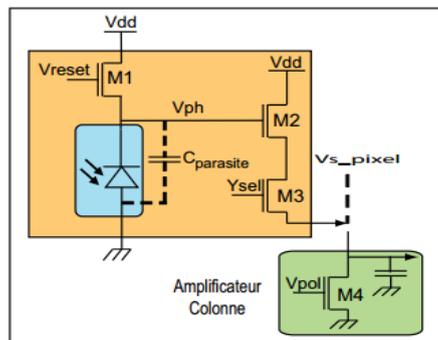


Figure 2.12 : Pixel à intégration (standard) à trois transistors.

La figure (2.12) présente un pixel standard à trois transistors. Le transistor M1 s'appelle transistor de reset, il sert à mettre le nœud V_{ph} à une valeur initiale d'intégration. Il définit donc les deux phases de fonctionnement, l'initialisation et l'intégration. Le transistor M2 constitue la première partie de l'amplificateur colonne (de type suiveur), il sert à isoler le nœud photosensible du circuit de lecture. Quant au troisième transistor M3, on l'appelle le transistor de sélection, il sert à connecter ou pas le pixel à l'amplificateur colonne. Ce fonctionnement transitoire est illustré dans la figure (2.13).

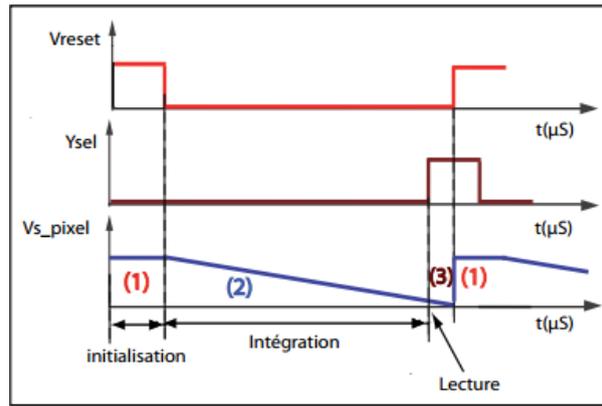


Figure 2.13 : Fonctionnement transitoire des pixels à intégration.

Le fonctionnement des pixels à intégration se fait selon l'ordre suivant :

1. Le transistor de reset est actif (passant) ce qui précharge la photodiode à la tension d'initialisation V_{reset} .
2. Le transistor de reset est inactif (bloqué) et, grâce à la photodiode, le flux lumineux génère un photo courant qui décharge la capacité parasite du noeud V_{ph} et fait chuter la tension V_{ph} de manière linéaire (figure (2.13)).
3. A la fin d'un certain temps fixé qu'on appelle le temps d'intégration, les charges sont lues à la source du transistor M3 qui est activé par le signal Y_{sel} (figure (2.12)). Le transistor M3 connecte le signal lu (V_{s_pixel}) au bus colonne (figure (2.12)).

On trouve également un autre type de pixel qui est industriellement très utilisé, ce pixel est le pixel à quatre transistors à diode PIN illustré en figure (2.14) [1].

Pixel à quatre transistors à photodiode PIN : ce type de pixel est constitué de quatre transistors, trois sont visibles sur la figure (2.14) et le quatrième est le transistor de transfert qui est au niveau de la photodiode PIN qui permet d'isoler la photodiode du noeud commun V_{ph} (figure (2.14)).

Le fonctionnement de ce genre de pixel se fait en trois phases (figure (2.15)).

1. Le transistor de reset est inactif (bloqué) ce qui laisse les charges s'accumuler dans la photodiode PIN qui est isolée du noeud V_{ph} par le transistor de transfert, ce dernier étant commandé par la tension "TG" (figure (2.14)) [6].

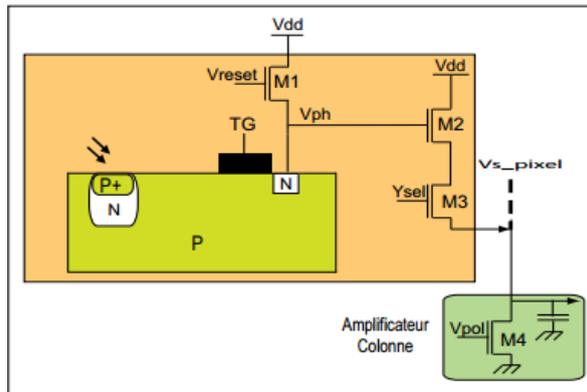


Figure 2.14 : Pixel à intégration à photodiode PIN.

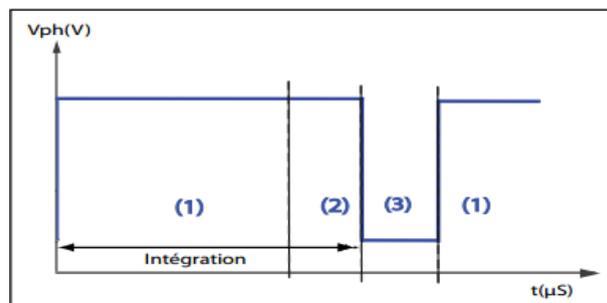


Figure 2.15 : Fonctionnement transitoire des pixels à intégration à photodiode PIN.

2. Le transistor de reset est actif (passant), ce qui précharge le noeud V_{ph} à la tension V_{reset} .
3. A la fin du temps d'intégration, la tension "TG" active la grille de transfert ce qui libère les charges accumulées dans la photodiode PIN. Puis elles sont transférées vers la capacité de grille du transistor M2. Cette tension est lue classiquement (figure (2.14)).

En raison du faible courant d'obscurité de la photodiode PIN et d'un grand facteur de conversion, cette architecture est très utilisée pour la conception des imageurs par les industriels. Surtout qu'elle présente, en plus, une intégration facile des techniques de réduction de bruit des imageurs.

2.2. Le circuit de lecture colonne

Le rôle du circuit de lecture colonne est d'amplifier le signal reçu de la photodiode, et ensuite d'acheminer séquentiellement ce signal au convertisseur analogique numérique

(CAN). Il nous permet d'échantillonner et de stocker deux informations, celle du signal et celle du reset (capteur à intégration) ou référence (capteur à réponse logarithmique).

Cela permet l'application des méthodes de réduction de bruit spatial fixe (FPN), à titre d'exemple les techniques CDS 5, NCDS 6 et DDS 7, voir figure (2.16). On verra, à la fin de ce chapitre, ces différentes méthodes de réduction de bruit FPN. Il est à noter aussi une grande contrainte imposée par l'utilisation d'un amplificateur colonne : il doit avoir une largeur identique à la largeur du pixel étant donné qu'on a un amplificateur par colonne.

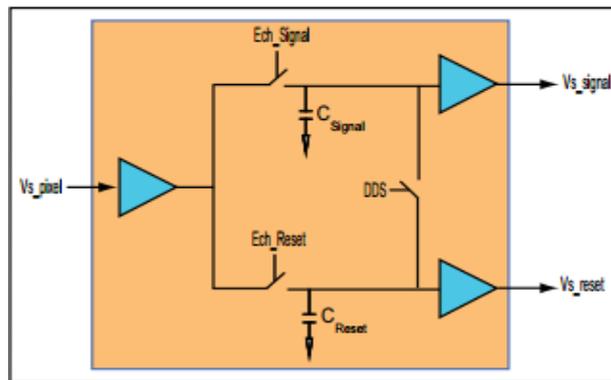


Figure 2.16 : Schéma bloc d'un amplificateur colonne.

Ces circuits de lecture colonne sont connus sous le nom d'amplificateurs colonne. Le nom d'amplificateur colonne est dû au fait qu'on ait un amplificateur pour chaque colonne de la matrice photosensible. Il faut savoir qu'il existe des imageurs à un seul amplificateur colonne et pareil pour les CAN. Plusieurs possibilités d'implémentation des CAN dans les imageurs existent, elles seront présentées par la suite dans ce chapitre, on trouve soit un seul CAN pour toute la matrice, soit un CAN pour chaque colonne, soit un CAN pour chaque pixel de la matrice photosensible. Cela dépendra de ce qu'on veut obtenir comme performances car chaque méthode a ses avantages et ses inconvénients. Ces différentes possibilités seront présentées à la fin de ce chapitre.

2.3 La conversion analogique numérique

La conversion de la tension analogique en signal numérique dans les capteurs d'images, peut être à l'intérieur ou à l'extérieur du capteur. Par contre, pour préserver l'intégrité du signal, il est préférable que cette conversion soit au sein même du capteur [3].

Pour cela, on dispose de plusieurs méthodes ayant chacune ses avantages et ses inconvénients

[1] :

- Un convertisseur pour toute la matrice.
- Un convertisseur par colonne.
- Un convertisseur par pixel.

2.3.1 La conversion pour toute la matrice

L'idée est d'avoir un CAN pour toute la matrice photosensible [6], ce qui implique un convertisseur rapide qui par conséquent consomme beaucoup.

2.3.2 La conversion au niveau des amplificateurs colonnes

Dans cette deuxième méthode, il s'agit d'avoir un CAN pour chaque colonne de la matrice [13]. Le temps de conversion au niveau des amplificateurs colonnes de l'imageur est moins rapide par rapport à la première méthode. L'inconvénient réside dans la réalisation d'un convertisseur pour chaque colonne ayant une largeur équivalente à celle d'un pixel.

2.3.3 La conversion au sein des pixels

Dans cette troisième méthode, l'idée est d'avoir un CAN dans chaque pixel [5]. Grâce à la conversion au sein du pixel, les pixels peuvent être lus à grande vitesse, de manière parallèle, permettant ainsi la suppression du bruit spatial fixe apporté par les amplificateurs colonnes. Le mode de capture instantané peut être implémenté facilement grâce à la présence de la mémoire au sein du pixel, ce qui présente un autre avantage de cette méthode par rapport aux autres. Cette méthode nécessite des transistors en plus dans le même pixel, donc des pixels plus grands et une surface de la partie photosensible (facteur de remplissage) beaucoup plus petite et par conséquent une sensibilité plus faible du capteur. Par contre, étant donné le grand progrès et l'avancement de la technologie microélectronique, cette méthode est possible. Le schéma bloc spécifique des pixels à sortie numérique est présenté dans la figure (2.17).

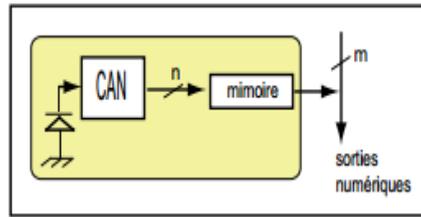


Figure 2.17 : Schéma de pixel à sortie numérique.

Ce pixel à sortie numérique est composé d'une photodiode, d'un CAN et d'une mémoire par pixel. La conversion au sein de chaque pixel peut aussi s'effectuer suivant le principe des CAN à simple rampe et comme illustré par la figure (2.18). La conversion au sein de chaque pixel peut aussi s'effectuer suivant le principe des CAN à sigma-delta [5] et [7]. Le principe de fonctionnement est montré par la figure (2.19).

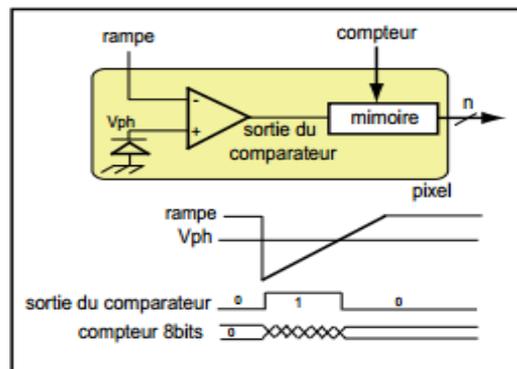


Figure 2.18 : Schéma de pixel à sortie numérique à convertisseur simple rampe.

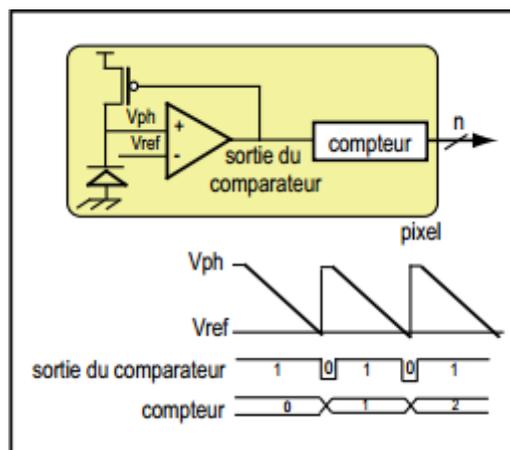


Figure 2.19 : Diagramme de pixel à sortie numérique à convertisseur.

3. Conclusions

Nous avons présenté, dans ce chapitre, la chaîne de l'image et ses différentes composantes. Elle comprend la matrice de pixel qui se compose de la photodiode qui transforme les photons en charges électriques ainsi que de quelques transistors pour la lecture de l'information des pixels. On a aussi les amplificateurs colonne pour échantillonner et stocker les informations reçues des pixels. On trouve également les décodeurs colonne et ligne qui nous servent pour la sélection des pixels de la matrice photosensible. Finalement on a les convertisseurs analogiques numériques qui convertissent la tension analogique en un signal numérique. Nous avons montré aussi les capteurs d'images CMOS et leurs différents types : le capteur à intégration ou standard et le capteur logarithmique ou à fonctionnement continu.

Chapitre 3

Layout et

Simulations

1. Introduction

L'objectif de ce travail est de réaliser un capteur d'image en technologie **CMOS** 100 nm, à pixel actif **APS**. Ce capteur possède deux types de circuit l'un est analogique et l'autre est numérique. Dans un premier temps, on va réaliser les circuits analogiques qui sont, la partie de détection qui est une matrice **16×16** pixels, chaque pixel a une dimension de **2.6× 2.6 μm**, et un circuit de lecture de chaque colonne de la matrice. En deuxième temps, nous allons réaliser les circuits numériques, qui sont le décodeur **4 vers 16**, un multiplexeur **16 vers 1**, un compteur de **10 bits**, et un circuit logique d'intégration variable. A la fin de ce chapitre, on va essayer de rassembler tous les circuits de ce capteur dans un seul bloc.

2. Conception et simulation

2. 1 Capteur de pixel actif :

Le capteur de pixels actifs utilise le principe de prélever deux échantillons sur le même pixel, puis de les soustraire afin de réduire le bruit à motif fixe et d'obtenir une image de meilleure qualité. Ce principe est connu sous le nom de double échantillonnage corrélé. Les circuits qui contrôlent la lecture de la tension d'un pixel sont principalement numériques. La figure 3.1 montre le schéma fonctionnel d'une conception de capteur à pixels actifs.

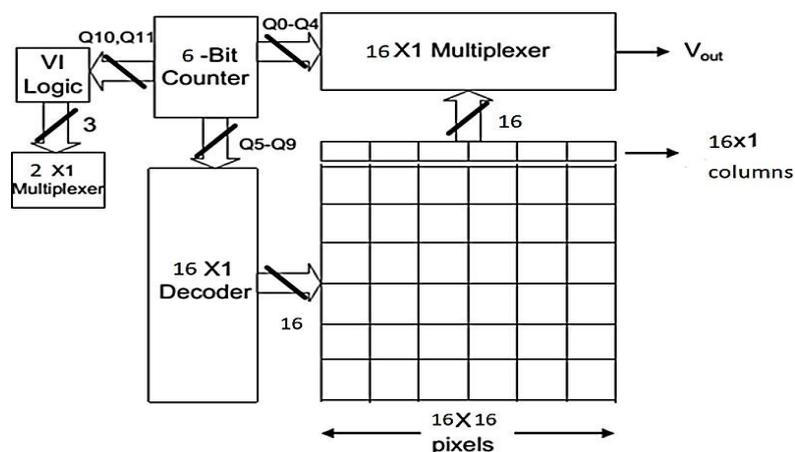


Figure 3.1: Schéma fonctionnel d'un capteur d'image à pixel actif.

La conception du capteur de pixels actifs dans notre travail se compose d'une matrice de **16x16 pixels**. La lumière incidente sur ce réseau est stockée sur le condensateur de chaque photodiode dans le pixel, puis est lue à l'aide du décodeur et du multiplexeur. Un compteur de **10 bits** est utilisé pour générer les signaux pour le multiplexeur et le décodeur. Le décodeur sélectionne une ligne à la fois. Lorsqu'une ligne est sélectionnée, la valeur échantillonnée dans chaque ligne est transmise à la colonne. Il y a **16** circuits de colonnes (circuits de lecture), un pour chaque colonne de la matrice de pixel. La valeur stockée dans une colonne est alors lue en utilisant le multiplexeur. Pour varier le temps d'intégration, un circuit logique d'intégration est nécessaire. Ce dernier génère trois impulsions de réinitialisation différentes (**Reset**) avec trois temps d'intégration différents. Ces temps d'intégration sont sélectionnés en utilisant un multiplexeur 4 vers 1.

Il existe trois modes de fonctionnement : le **mode d'intégration**, le mode **échantillonnage** et le mode **réinitialisation**. Le mode d'intégration est lorsque l'intégration du photo-courant a lieu. Les modes d'échantillonnage et de réinitialisation sont lorsque les valeurs de réinitialisation et d'échantillonnage sont lues. Le tableau ci-dessous présente les 2 MSB (Q9 et Q10) du compteur et les modes correspondants.

Q9	Q10	Mode
0	0	intégration
0	1	intégration
1	0	échantillonnage
1	1	réinitialisation

Tableau 1. : Mode de fonctionnement du capteur.

Les lignes et les colonnes sont sélectionnées uniquement pendant les modes d'échantillonnage et de réinitialisation, de sorte que nous ne lisons que les données pertinentes. Afin d'accomplir cette tâche, les signaux de sélection du décodeur et du multiplexeur passent par des portes ET à deux entrées où l'autre entrée est le bit Q10 du compteur. Cela permet au capteur de sélectionner des lignes et des colonnes uniquement dans mode échantillon et réinitialisation.

2.2 Pixels :

La figure ci-dessous (figure 3. 2), montre l'architecture 3T du capteur d'image CMOS APS, c'est l'élément essentiel pour construire ce dernier. Il joue le rôle de capturer une couleur, comme il est illustré sur la figure, la photodiode qui est responsable d'intégrer les longueurs d'ondes de la lumière. 3T signifie qu'il y a trois transistors, un transistor de réinitialisation, le suiveur de tension, et un transistor de sélection. Lorsque **Rst** est à l'état haut, le pixel est en mode de réinitialisation, maintenant si **Rst** est à l'état bas, le pixel intègre un taux dépendant de la lumière qui lui tombe dessous. Le suiveur (**Mst**) dans ce pixel est utilisé pour transférer la tension de la photodiode à la ligne de colonne via le transistor de sélection **Msel**.

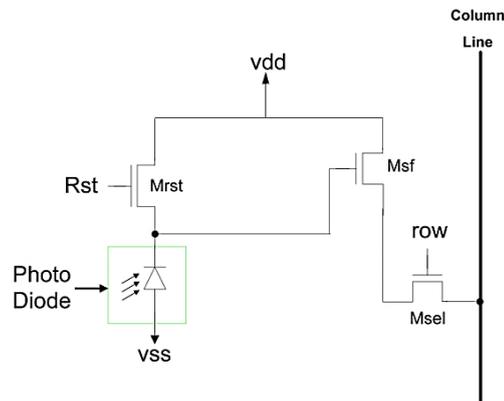


Figure 3.2: schéma d'un pixel actif.

La figure 3. 3 représente le **Layout** (dessin de masque) de pixel 3T de la figure précédente.

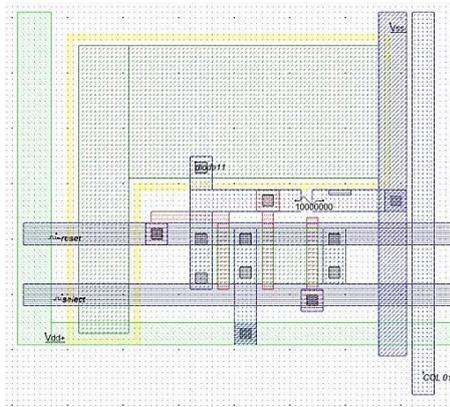


Figure 3 3 : Layout de pixel 3T.

La forme du signal du pixel, et les deux temps de réinitialisation et d'intégration sont montrés dans la figure 3. 4

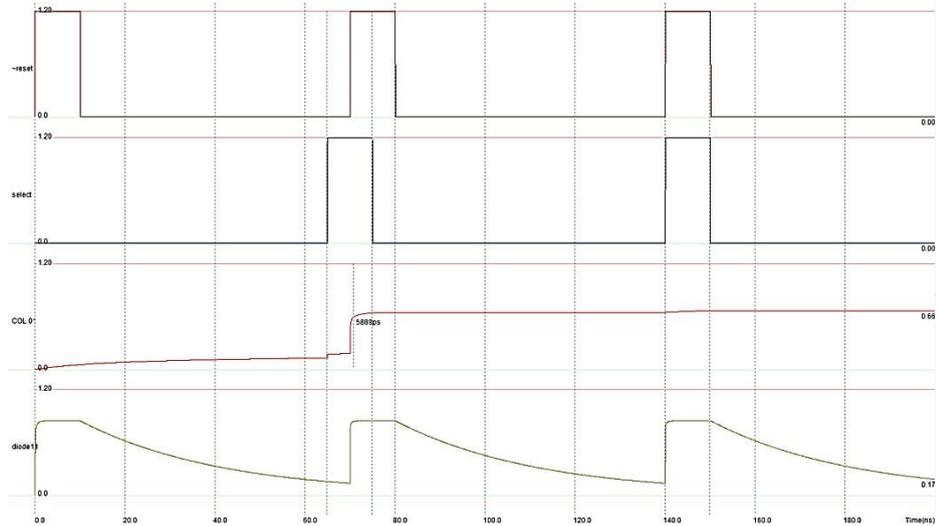


Figure 3. 4 : Simulation d'un pixel de la matrice.

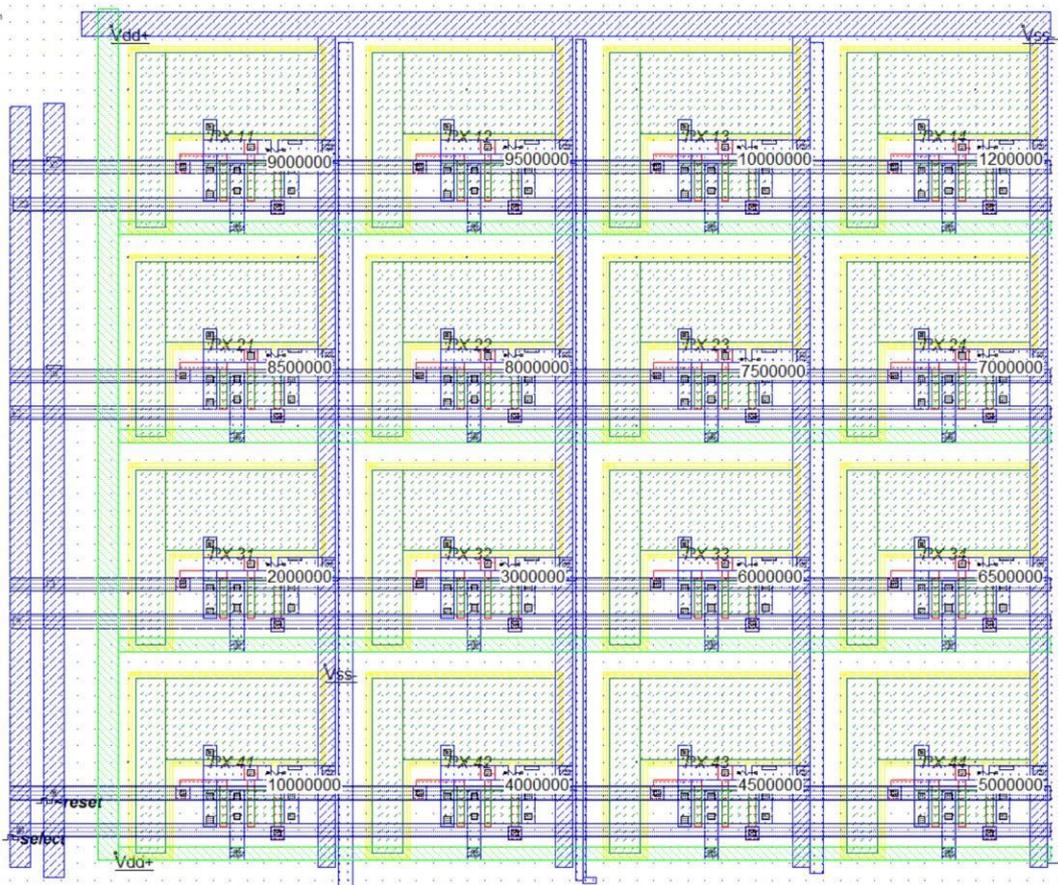


Figure 3. 5. Layout d'une matrice de pixels 4x4.

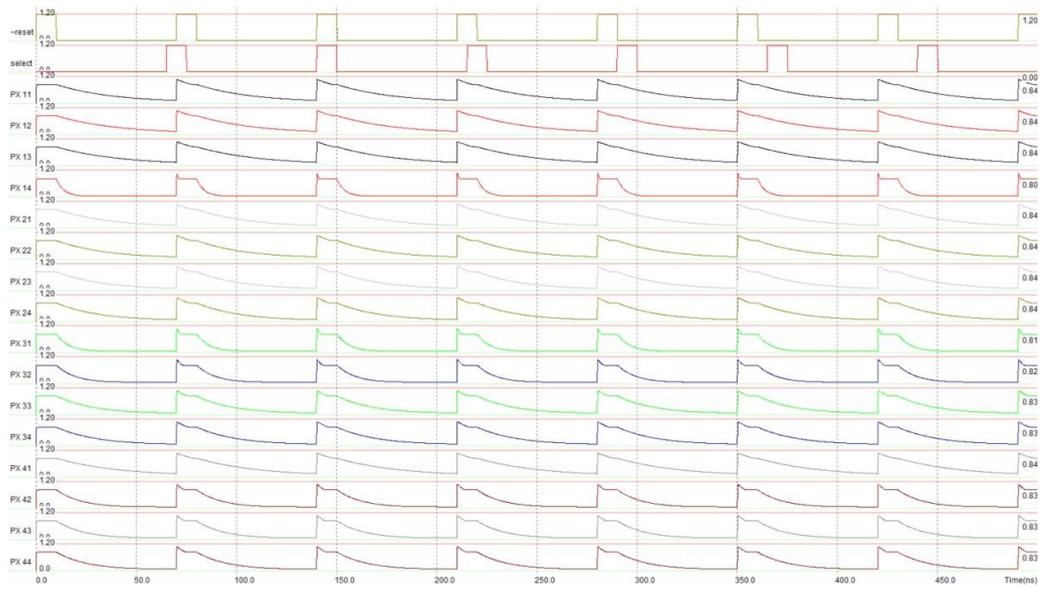


Figure 3. 6. Simulation de la matrice 4×4.

Comme nous l'avons mentionné dans l'introduction de ce chapitre, notre objectif est de réaliser la matrice de pixels 16×16, c'est-à-dire 256 pixels. La figure ci-dessous représente cette matrice.



Figure 3.7 : schéma d'une matrice 16×16.

2.3 Circuit de lecture (colonne)

Le circuit de colonne se compose d'un miroir de courant, d'un condensateur PMOS et d'un suiveur de tension d'entrée PMOS. Le miroir de courant tire un courant pour décharger dynamiquement la valeur au condensateur afin de stocker la valeur de la ligne suivante. La figure 3.8 montre le circuit de la colonne. La sortie du pixel est transmise à la ligne de colonne.

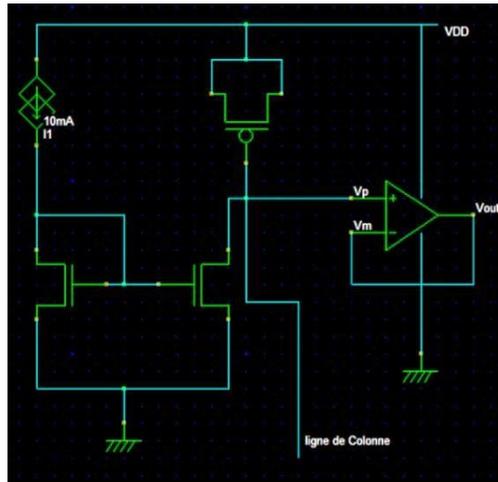


Figure 3. 8 : Schéma du Circuit de lecture.

L'amplificateur dans le circuit de lecture est un suiveur de tension donné par la figure 3. 9. Ce dernier est un pair différentiel polarisé par miroir de courant P, et un miroir de courant N

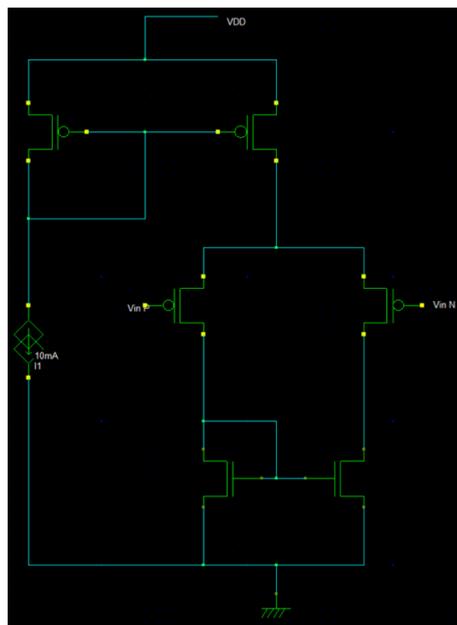


Figure 3. 9 : Schéma du suiveur de tension.

La figure 3. 10 représente le Layout du circuit de lecture. Les dimensions des transistors de ce circuit sont bien étudiées pour augmenter le courant de sortie et pour avoir un signal de sortie correct.

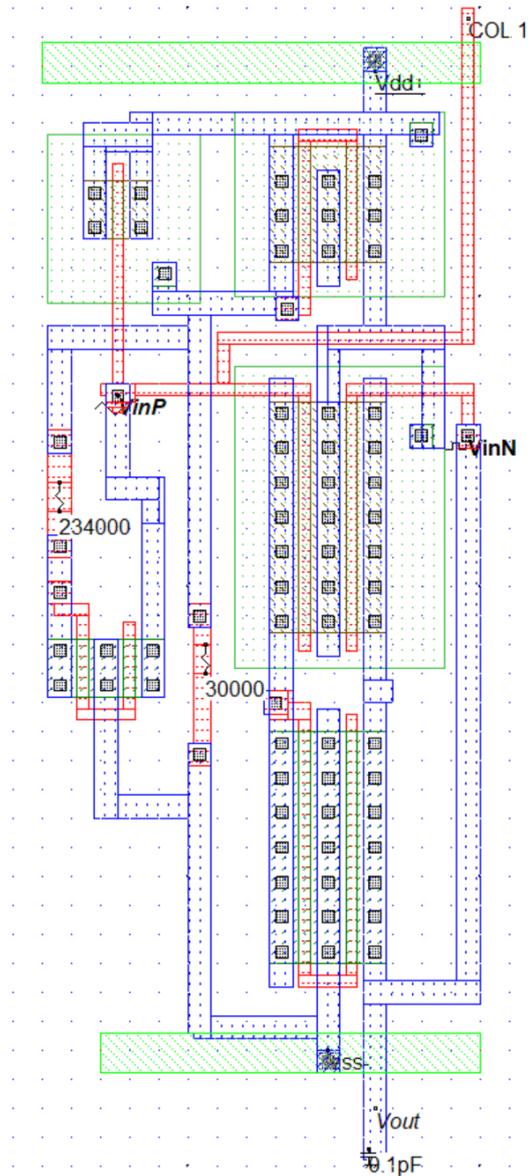


Figure 3. 10 : Layout du Circuit de lecture (colonne).

La figure 3. 11, représente la réponse du suiveur de tension. La configuration de ce dernier est la suivante : la sortie est connectée à l'entrée négative de l'amplificateur opérationnel et l'autre entrée est V_{in} . La simulation montre bien que la sortie et l'entrée sont les mêmes, ce qui confirme que le suiveur de tension de l'amplificateur opérationnel fonctionne très bien.

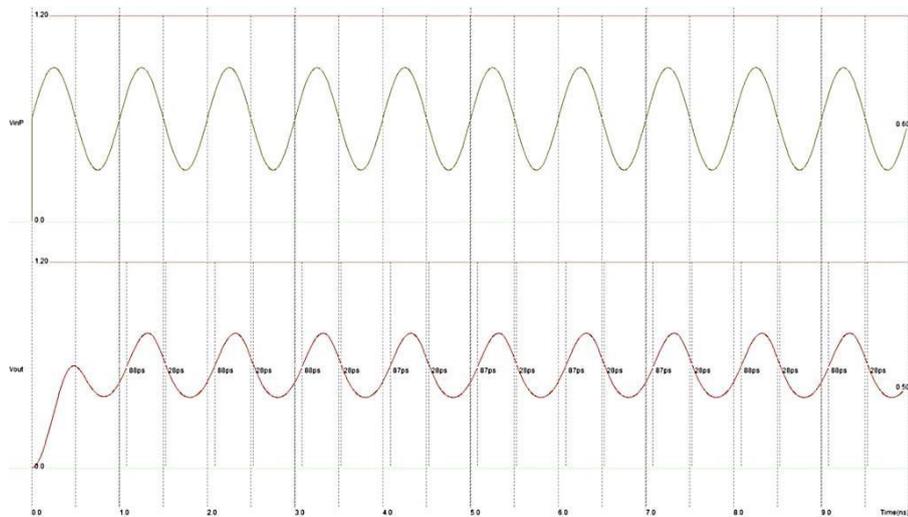


Figure 3. 11 : La réponse du circuit de lecture.

2.4 Le décodeur

Le décodeur utilisé dans ce capteur est un décodeur 4 vers 16 qui sélectionne chaque ligne dans la matrice de pixels. Il y a 16 lignes dans la matrice, les entrées du décodeur sont issues des sorties Q0 à Q3 du compteur. Le décodeur utilisé ici est constitué par des portes logiques AND avec 4 entrées. La table de vérité de ce décodeur et son schéma logique sont données par le tableau 4 et la figure 3. 12.

D	B	C	D	Q ₀	Q ₁	Q ₂	Q ₃	Q ₄	Q ₅	Q ₆	Q ₇	Q ₈	Q ₉	Q ₁₀	Q ₁₁	Q ₁₂	Q ₁₃	Q ₁₄	Q ₁₅
0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	0	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0
0	0	1	1	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0	0
0	1	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0	0
0	1	0	1	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0	0
0	1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0	0
0	1	1	1	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0	0
1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0	0
1	0	0	1	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0	0
1	0	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0	0
1	0	1	1	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0	0
1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0	0
1	1	0	1	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0	0
1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1	0
1	1	1	1	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	1

Tableau 2 : table de vérité du décodeur 4 vers 16.

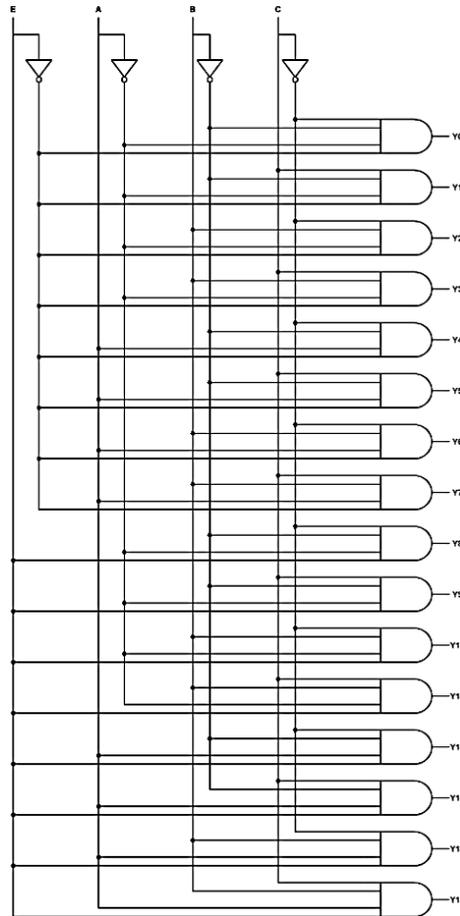


Figure 3. 12 : Configuration logique de décodeur 4 vers 16.

La porte logique AND4 utilisé dans le décodeur, est une porte NAND4 suivi par un inverseur comme illustré dans la figure 3. 13.

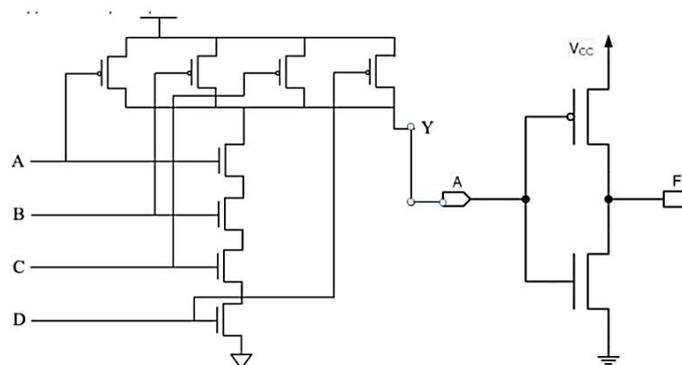


Figure 3. 13. Schéma logique d'une AND .

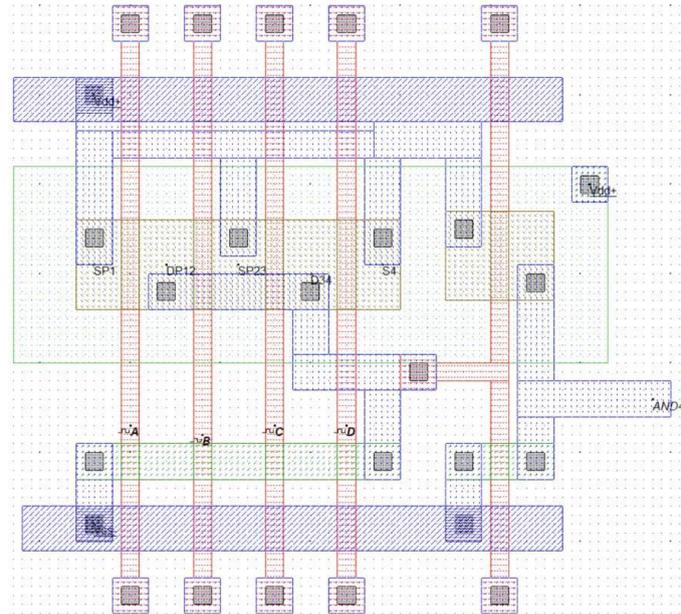


Figure3. 14 : Layout de AND 4 CMOS.

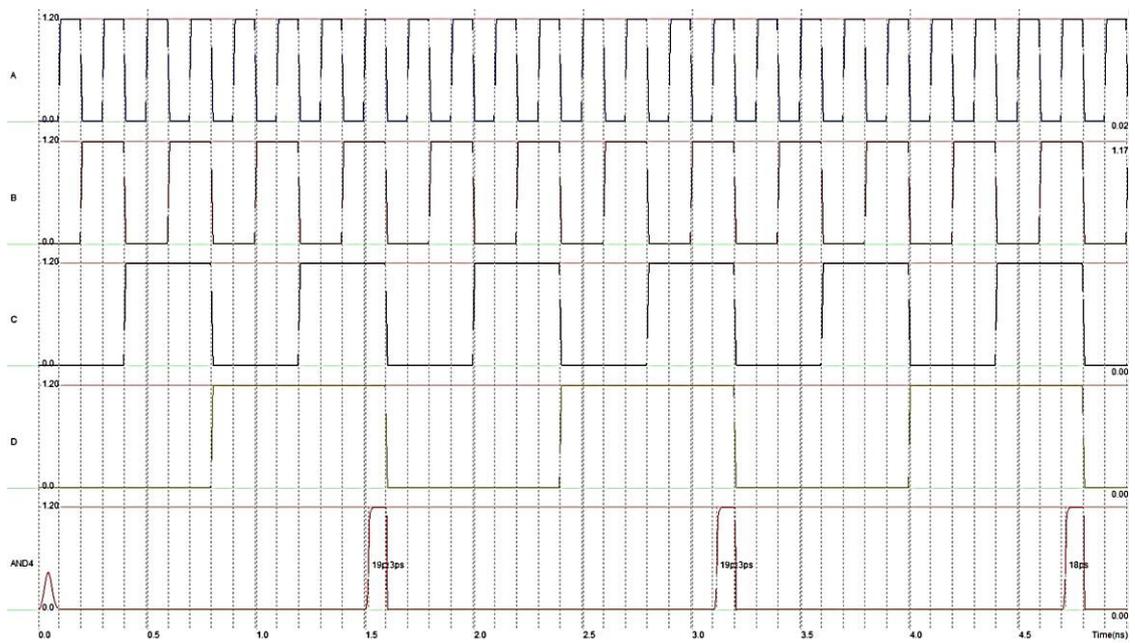


Figure 3. 15 : Résultat de simulation de la porte AND 4.

Notre décodeur 4 vers 16, se compose de 16 portes logiques AND, et 8 inverseurs. Les figures 3. 16, et 3. 17 représentent respectivement le Layout et le résultat de simulation du

décodeur 4 vers 16. Nous remarquons qu'une seule sortie est active à la fois pour chaque combinaison possible de 4 entrées A B C D. Chaque sortie du décodeur sélectionne une seule ligne de la matrice.

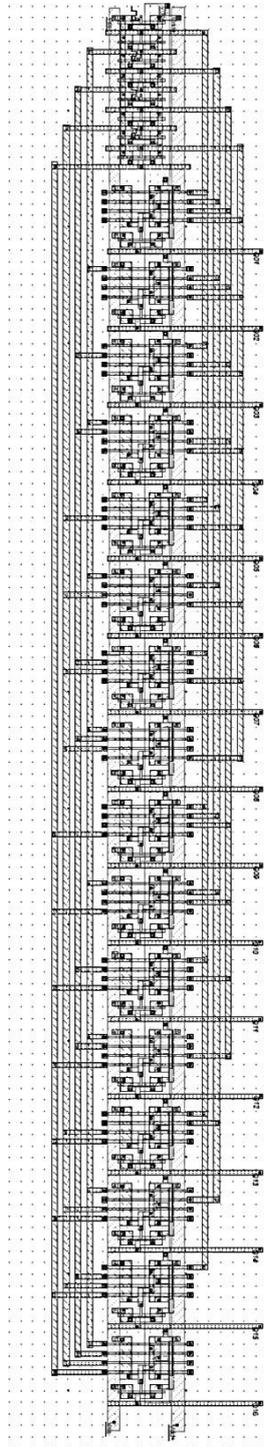


Figure 3. 16 : Layout du décodeur 4 vers 16.

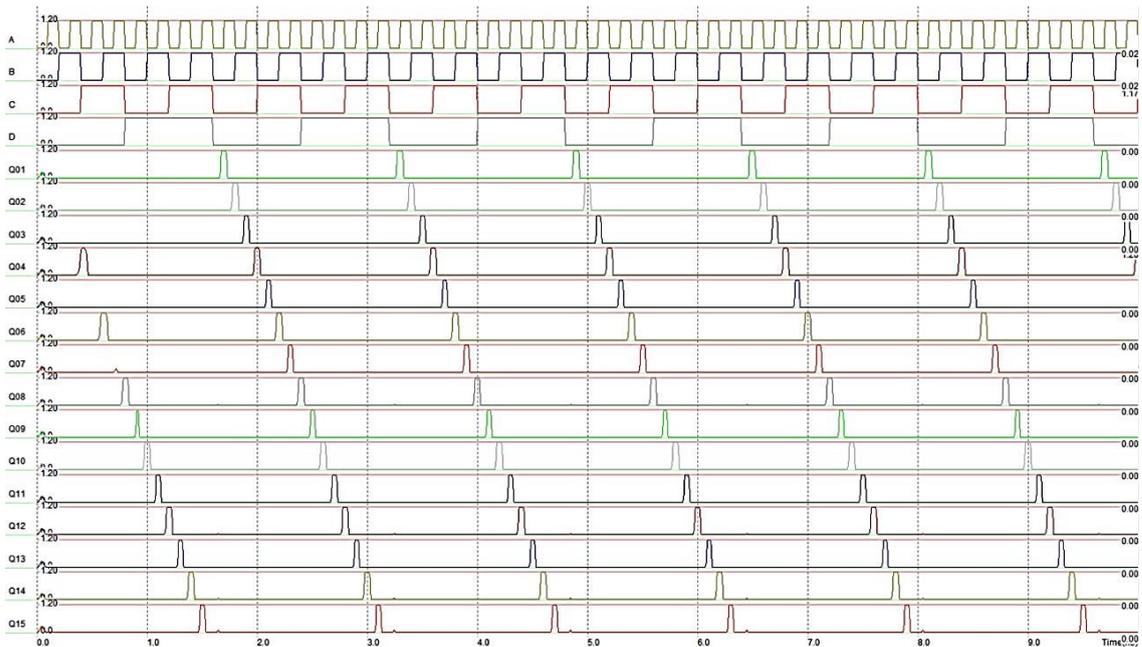


Figure 3. 17 : résultat de la simulation du décodeur 4 vers 16.

2.5 Multiplexeur

Le multiplexeur 16 vers 1 se compose de 5 multiplexeurs 4 vers 1. Ce dernier est composé de trois multiplexeurs 2 vers 1, il est noté que ces multiplexeurs sont construits par des portes de transmission (transmission Gate (TG) en anglais). Cette dernière est utilisée pour corriger la déformation des signaux utilisant les interrupteurs classiques comme le transistor MOS individuel. L'avantage majeur de l'utilisation de ces portes est de minimiser le nombre de transistors dans le circuit logique. Par exemple, une porte XOR a 2 entrées réalisée avec des portes de transmission ne nécessite que 6 transistors, comparativement à 12 en CMOS complémentaire. Le schéma logique de cette porte est donné par la figure 3. 18.

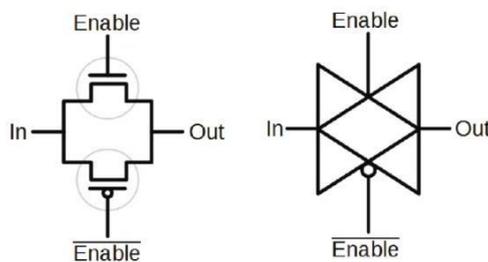


Figure 3.18 : Porte de transmission.

La figure 3. 19, représente le Layout de la porte de transmission, et le résultat de transmission est donné par la figure 3. 20. On remarque que cette porte laisse uniquement une seule partie du signal à transmettre vers la sortie gouvernée par des commandes complémentaires. On remarque aussi que la forme du signal de sortie n'est pas déformée, c'est-à-dire que les signaux d'entrée sortie sont les mêmes.

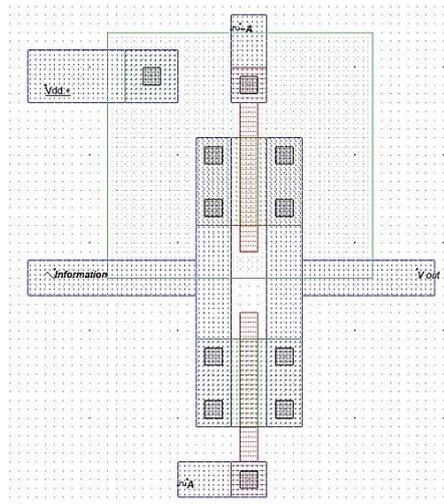


Figure3. 19 : Layout de la porte de transmission.

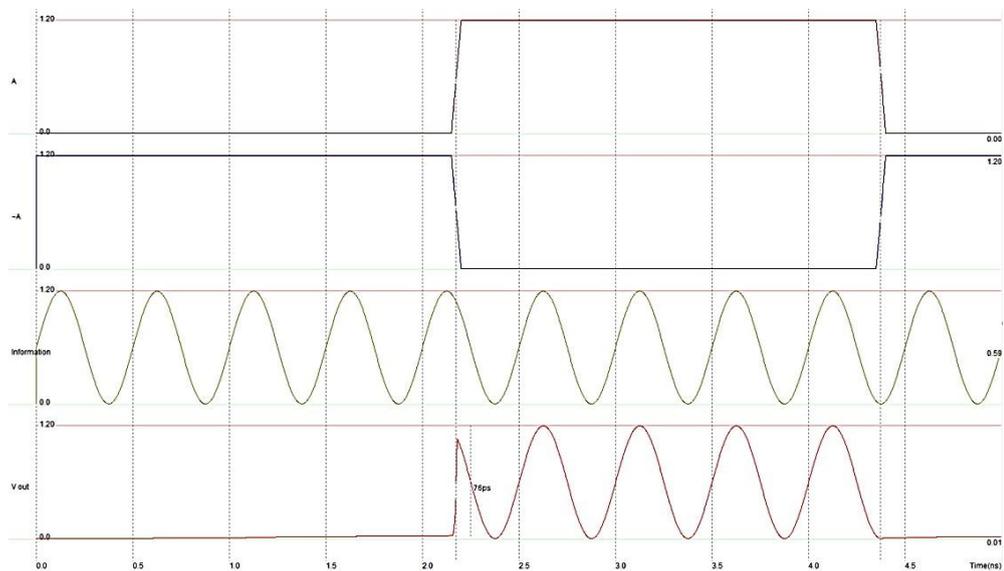


Figure 3. 20: résultat de simulation de la porte de transmission.

Le multiplexeur 2 vers 1 est la base de tous les multiplexeurs, il est composé par trois portes de transmission. Il possède deux entrées comme information, une entrée de commande, et une

seule sortie (figure 3. 21). Le signal de commande sélectionne ou choisit une entrée parmi les deux, qui va transmettre à la sortie. On peut dire que c'est un sélecteur. La figure 3. 22 représente le Layout du multiplexeur 2 vers 1, on trouve que A et B sont des signaux d'entrée (deux informations), S est une commande qui selecte entre A et B. Mux2 est la sortie du multiplexeur. Le Layout du multiplexeur est représenté dans la figure 3. 51 et le résultat de sa simulation est donné par la figure 3. 23. On remarque que le signal de sortie prend parfois la forme de A et parfois la forme de B selon l'état du signal de commande S

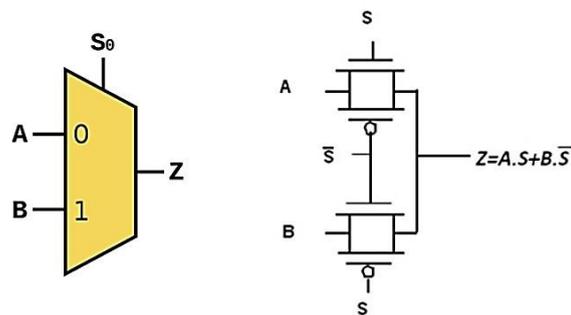


Figure 3. 21 : symbole du multiplexeur 2 vers 1.

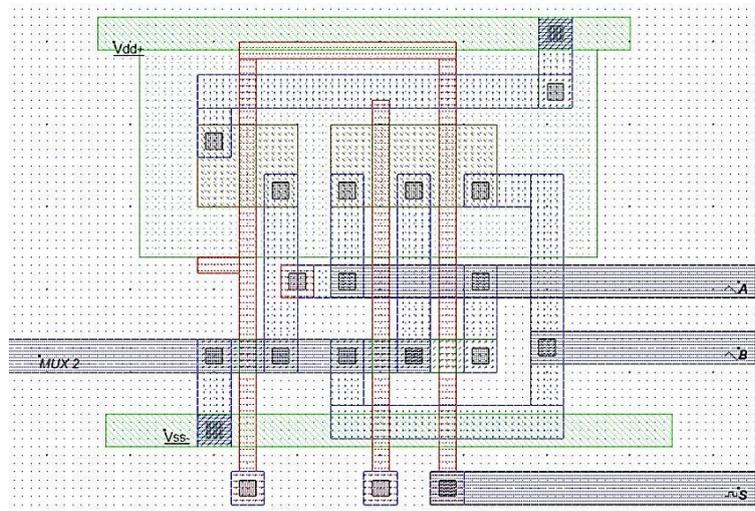


Figure 3. 22 : Layout du multiplexeur 2 vers 1.

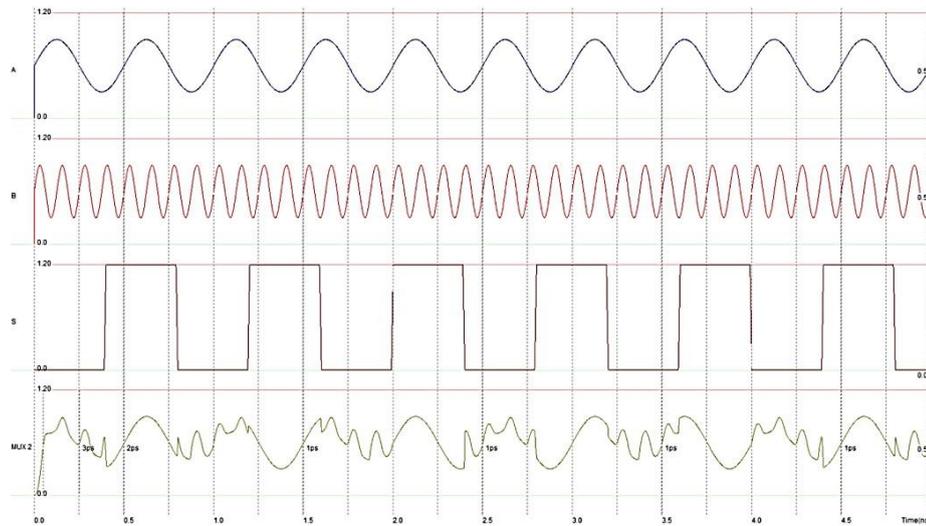


Figure 3.23 : résultat de simulation du multiplexeur 2 vers 1.

Notre multiplexeur 16 vers 1 est réalisé à partir de 5 multiplexeurs 4 vers 1. Ce dernier possède 4 entrées, deux signaux de commande, et une seule sortie comme illustré dans la figure 3. 24. Il est construit de trois multiplexeurs 2 vers 1. Selon les combinaisons de deux signaux de commande, une seule entrée parmi 4 va transmettre à la sortie. Le Layout de ce multiplexeur est donné par la figure 3 25. Et le résultat de simulation est représenté dans la figure 3 26.

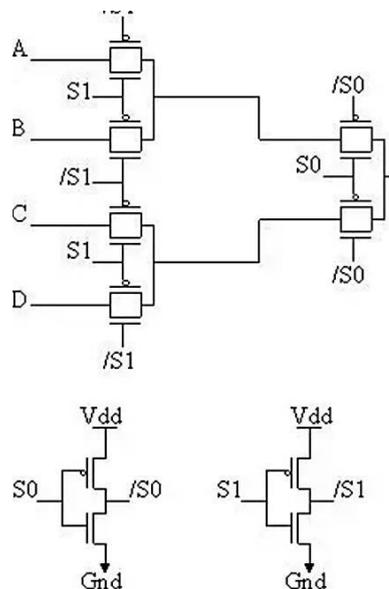


Figure 3. 24 : Multiplexeur 4 vers 1 utilisant le multiplexeur 2 vers 1.

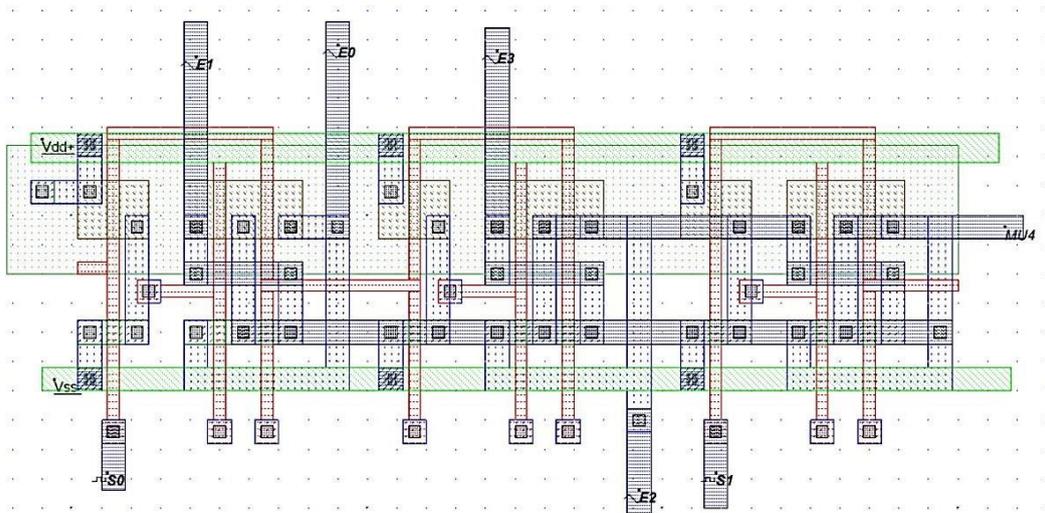


Figure 3.25 : Layout du multiplexeur 4 vers 1.

Le résultat de sa simulation montre bien que chaque combinaison de deux signaux de commande S_0 et S_1 , choisit une seule entrée à la fois parmi les 4. Ce qui confirme le bon fonctionnement du multiplexeur.

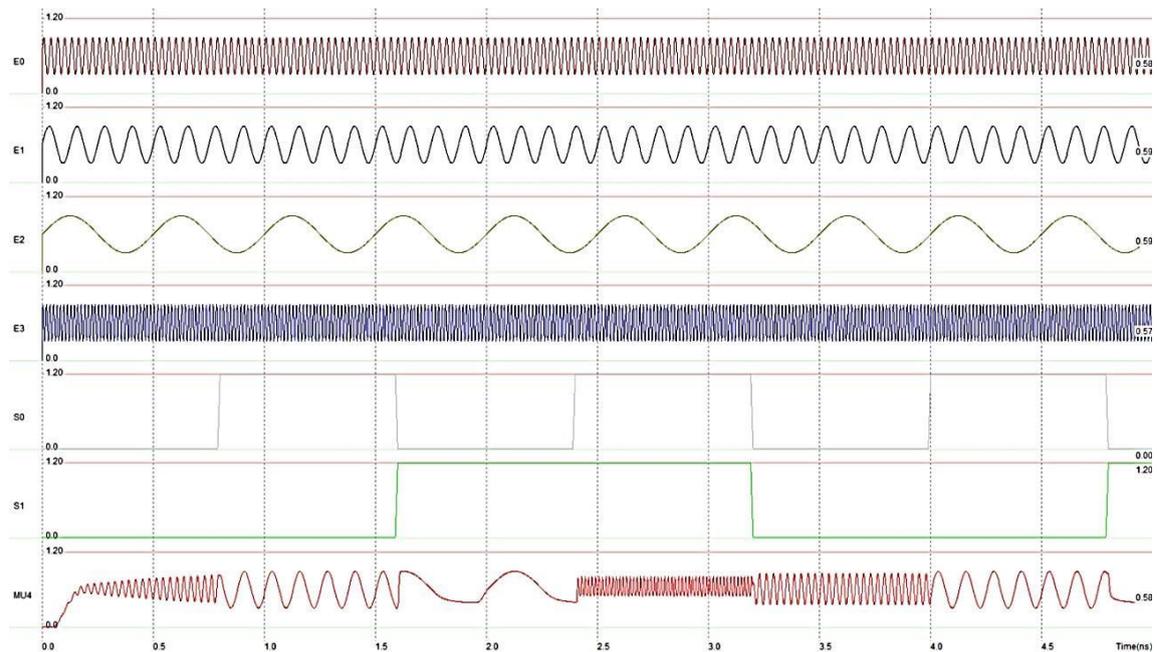


Figure 3.26 : résultat de simulation du multiplexeur 4 vers 1.

Le multiplexeur 4 vers 16 de porte de transmission utilisé pour lire les données du circuit de lecture. Les entrées de ce multiplexeur sont les tensions de sorties des circuits de colonnes et

les lignes de sélection de colonne. Les lignes de sélection sont connectées par les 4 premiers **LSB** (Least Significant Bit ou les bits les plus faibles) du compteur.

Le multiplexeur relie essentiellement une entrées à la sortie en fonction de la combinaison de lignes sélectionnée particulière. La figure 3. 27 et 3. 28 montrent le schéma fonctionnel d'un multiplexeur 4 vers 16 et son Layout respectivement.

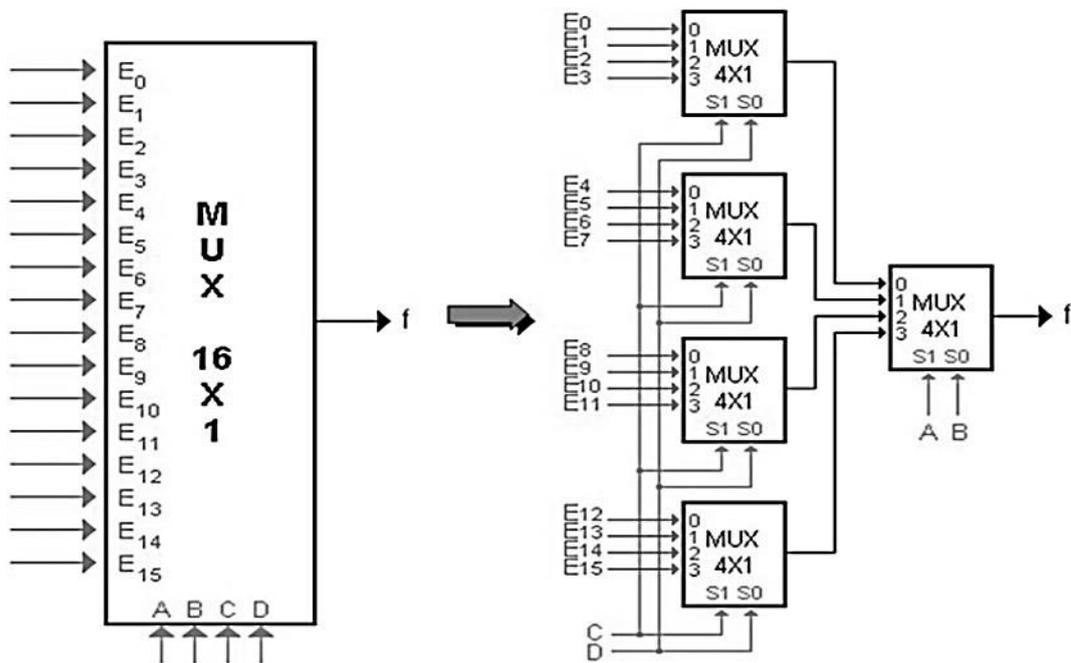


Figure 3. 27 : Multiplexeur 16 vers 1.

Le résultat de simulation de ce multiplexeur 4 vers 16 est donné par la figure 3. 30 qui montre bien le bon fonctionnement du multiplexeur.

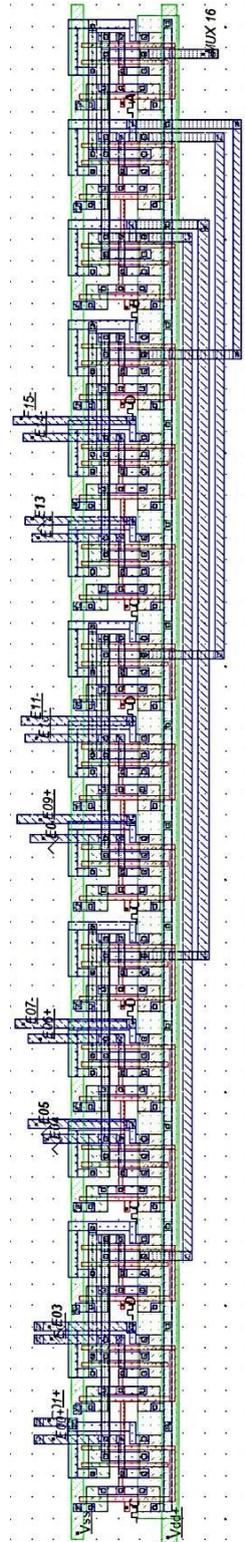


Figure 3. 28. Layout du multiplexeur 4 vers16.

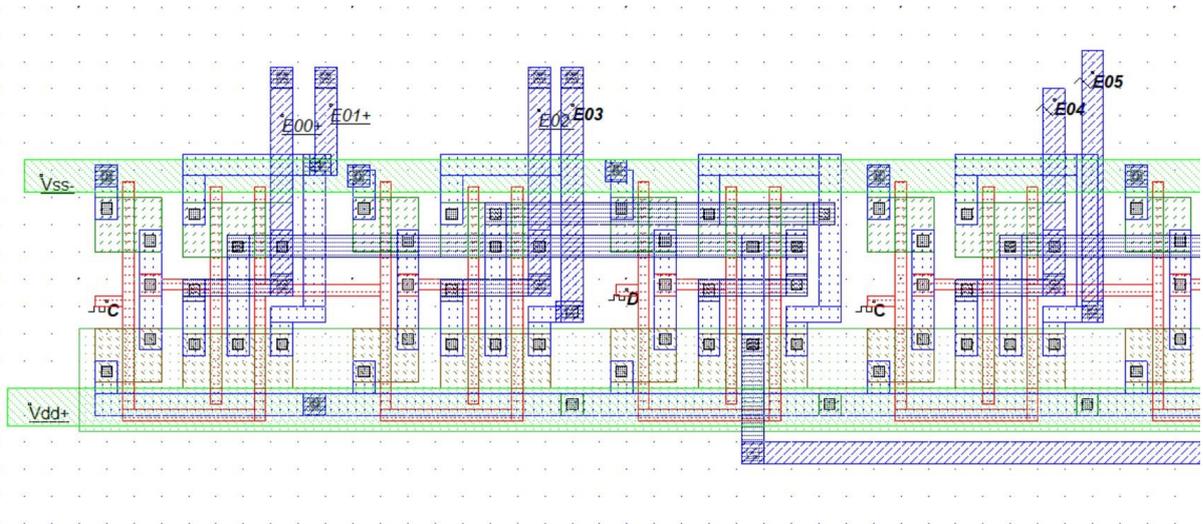


Figure 3.29 : Partie zoomé de multiplexeur 16 vers 1.



Figure 3.30: résultat de simulation d'un multiplexeur 4 : 16.

2. 6 Compteur

Un conteur de 10 bits est utilisé pour sélectionner les lignes (Q0 à Q3 comme des entrées au décodeur) et les colonnes (de Q4 à Q7 comme des entrées au multiplexeur), et deux bits Q8 et Q9 pour programmer le circuit logique de temps d'intégration variable du capteur de pixels actifs. Chaque bit généré par ce compteur est réalisé à partir d'un demi-additionneur et une bascule D-FlipFlop (figure 31). Ce dernier est utilisé pour synchroniser le compteur avec

l'horloge (*Clock*). La retenue de la première cellule est connectée à l'entrée de la retenue de la cellule successive. L'entrée de la retenue de la première cellule est une 1 logique, l'autre entrée de demi-additionneur est le signal de retour de la bascule D-FlipFlop.

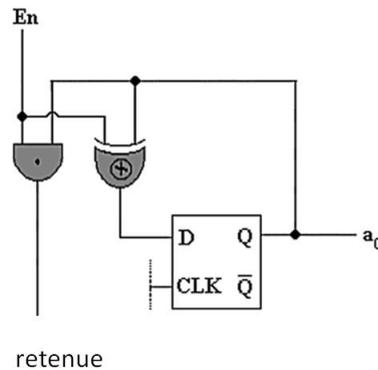


Figure 3.31 : schéma fonctionnel du compteur.

Pour chaque front montant de l'horloge, il y a un changement dans la sortie de la bascule D-FlipFlop qui change l'une des entrées du demi-additionneur et donc un signal de retenue est généré et est donné en entrée à la cellule suivante. Ainsi, le compteur s'incrémente à chaque front montant de l'horloge. Le schéma fonctionnel de base du compteur est illustré à la figure 3.32.

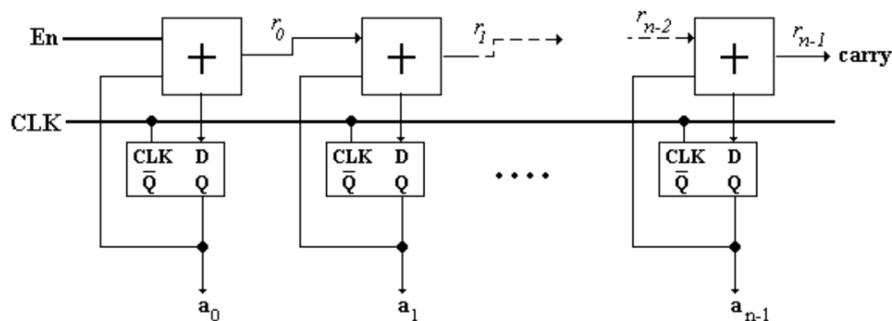


Figure 3.32 : le schéma fonctionnel complet du compteur .

La figure 3.31 présente le schéma de chaque cellule du compteur qui est responsable de produire un bit. Q est la sortie d'une cellule dans le compteur, En est le signal d'entrée de la retenue, tandis que r_0 est le signal de sortie de la retenue. Le signal A de la première cellule est connecté à VDD , et pour les autres cellules est connecté à la retenue sortante de la précédente cellule. Alors le comptage se produit à chaque front montant de l'horloge (Clock).

2.6.1 Demi-additionneur

Le demi-additionneur est construit à partir d'une porte logique XOR et une porte logique AND. La première génère la somme, et la deuxième génère la retenue. La figure ci-dessous représente le schéma fonctionnel du demi-additionneur.

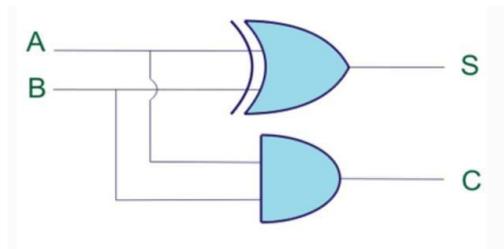


Figure 3. 33 : schéma logique du demi-additionneur.

La porte XOR est mise en œuvre en utilisant la porte de transmission afin d'économiser l'énergie. Tandis que la porte AND est mise en œuvre en utilisant NAND avec un inverseur comme illustré à la figure 3. 34. Les tableaux 5 et 6 montrent la table de vérité de la porte XOR et AND respectivement.

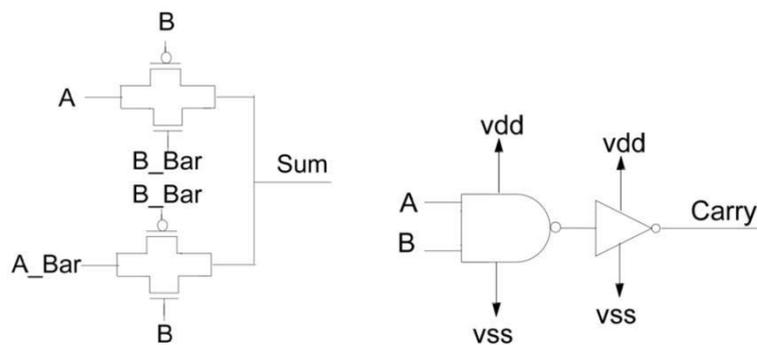


Figure 3. 34 : Schéma logique du demi-additionneur en utilisant la porte de transmission.

A	B	XOR
0	0	0
0	1	1
1	0	1
1	1	0

[Tableau 3 : Table de vérité du XOR

A	B	AND
0	0	0
0	1	0
1	0	0
1	1	1

Tableau 4 : Table de vérité du AND 4

Nous avons vu précédemment le Layout et la simulation de la porte AND. La figure 3. 35 et 3. 36 représentent le Layout et la simulation de la porte XOR.

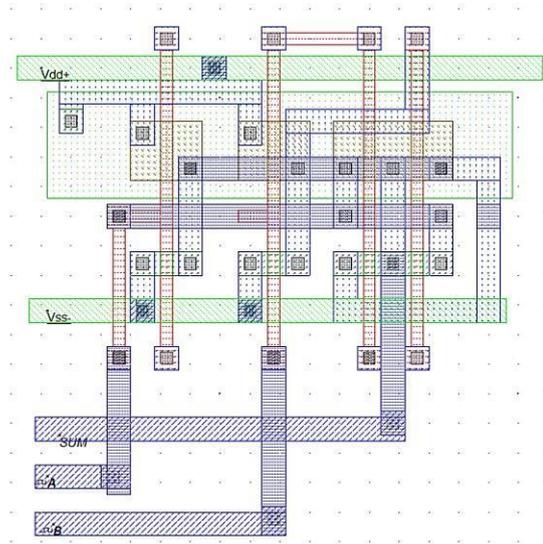


Figure 3. 35 : Layout de la porte XOR.

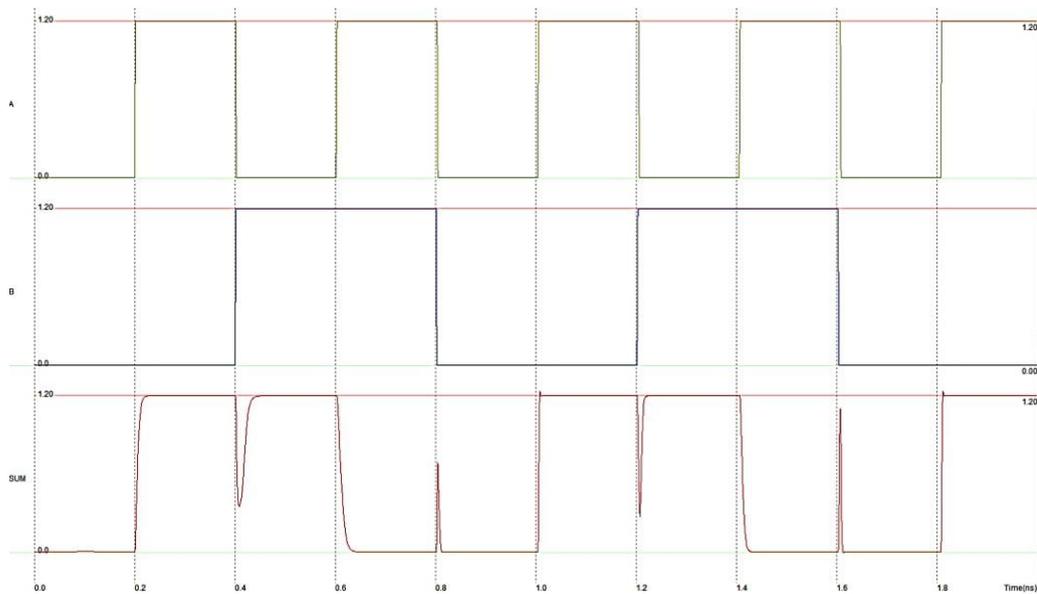


Figure 3. 36 : résultat de simulation de la porte XOR.

Nous remarquons que le résultat de simulation de cette porte est tout à fait cohérent avec sa table de vérité.

2. 6.2 D-FlipFlop :

La bascule D est utilisée pour synchroniser le compteur avec l'horloge. A chaque front montant de l'horloge, la sortie suit l'entrée et reste dans cet état jusqu'au prochain front

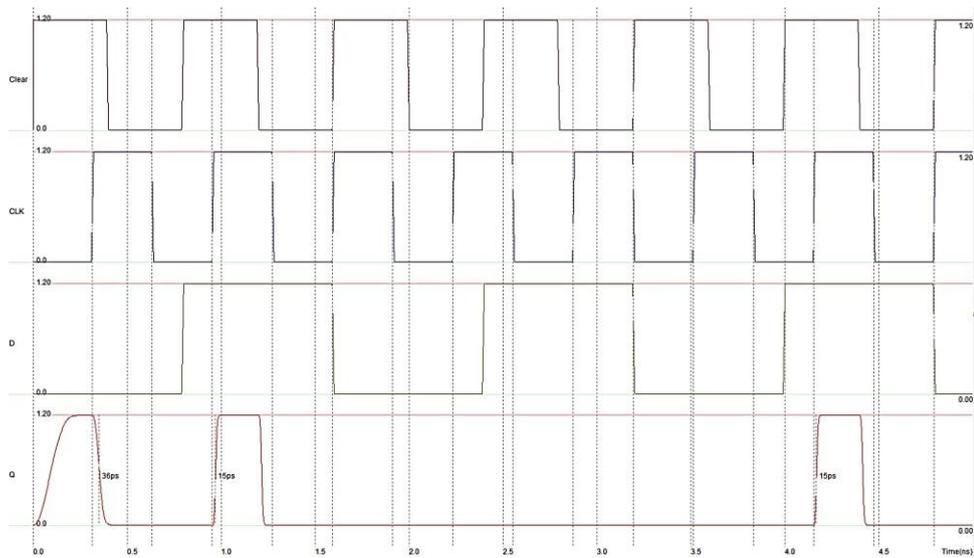


Figure 3. 39 : résultat de la simulation de la bascule D-FlipFlip.

La figure 3. 40 représente le Layout du compteur complet de 10 bits. On a zoomé une partie du compteur pour qu'il soit clair, figure 3. 41. Les résultats de la simulation du compteur de 10 bits sont donnés par la figure 3. 42, on remarque à titre d'exemple les quatre derniers sorties du compteur Q9, Q8, Q7, Q6, que Q7 est la moitié de la fréquence de Q6, et Q8 est la quart de fréquence de Q6, et Q9 est la huitième de fréquence de Q6. La même chose que les restes : on trouve que Q0 est la moitié de fréquence de l'horloge, Q1 est un quart de fréquence de l'horloge, le Q2 est un huitième de fréquence l'horloge... etc. ce qui confirme le bon fonctionnement du compteur.

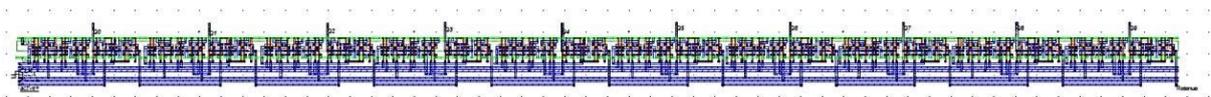


Figure 3. 40 : Layout du compteur 10 bits.

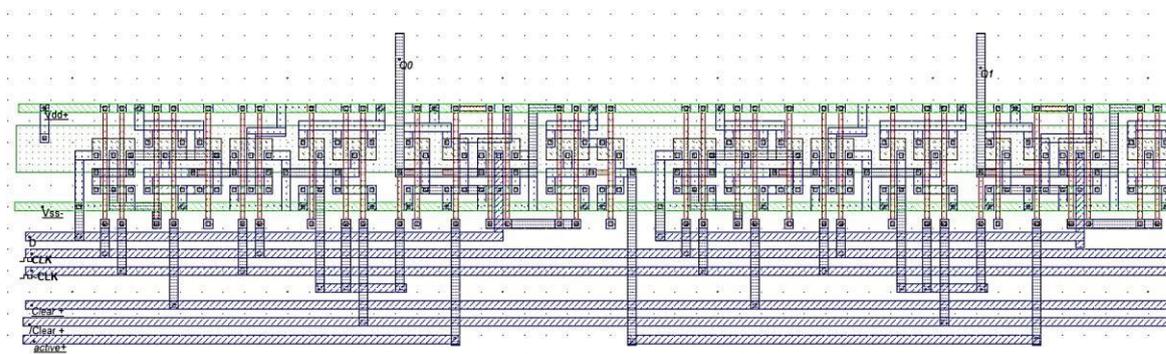


Figure 3. 41 : Partie Zoomé de compteur 10 bits.

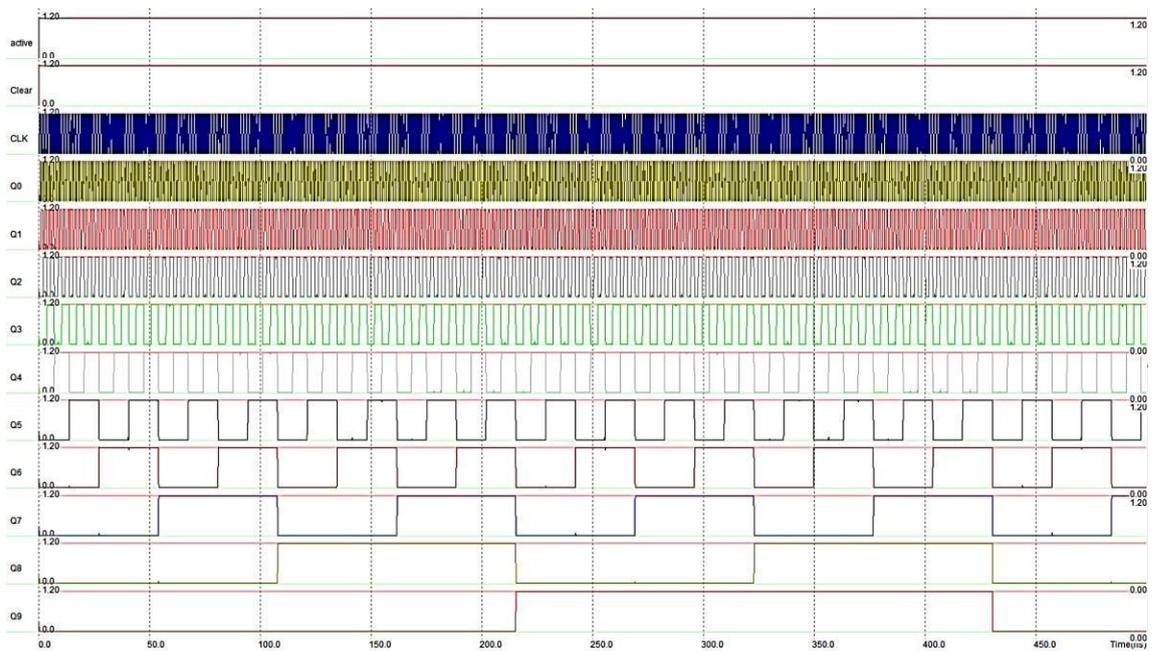


Figure 3. 42 : résultat de simulation du compteur 10 bits.

2. 7 Circuit logique d'intégration :

Le circuit logique du temps d'intégration (TI) est utilisé pour générer le signal du temps d'intégration, pour cela on utilise les deux dernier bits du compteur, Q8 et Q9 : la table de vérité pour ce circuit est donné par :

Q8	Q9	TI
0	0	1
0	1	1
1	0	0
1	1	1

Tableau 5 : table de vérité du circuit du temps d'intégration

$$TI = \neg Q8 \cdot \neg Q9 + \neg Q8 \cdot Q9 + Q8 \cdot \neg Q9 + Q8 \cdot Q9$$

Le Layout et le résultat de simulation du circuit logique du temps d'intégration est donné par les figures 3.43 et 3. 44

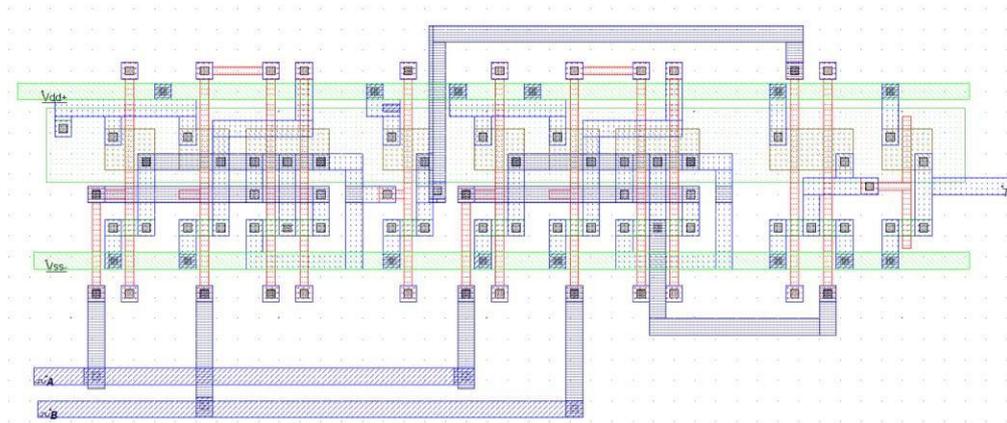


Figure 3. 43 : Layout du circuit logique du temps d'intégration.

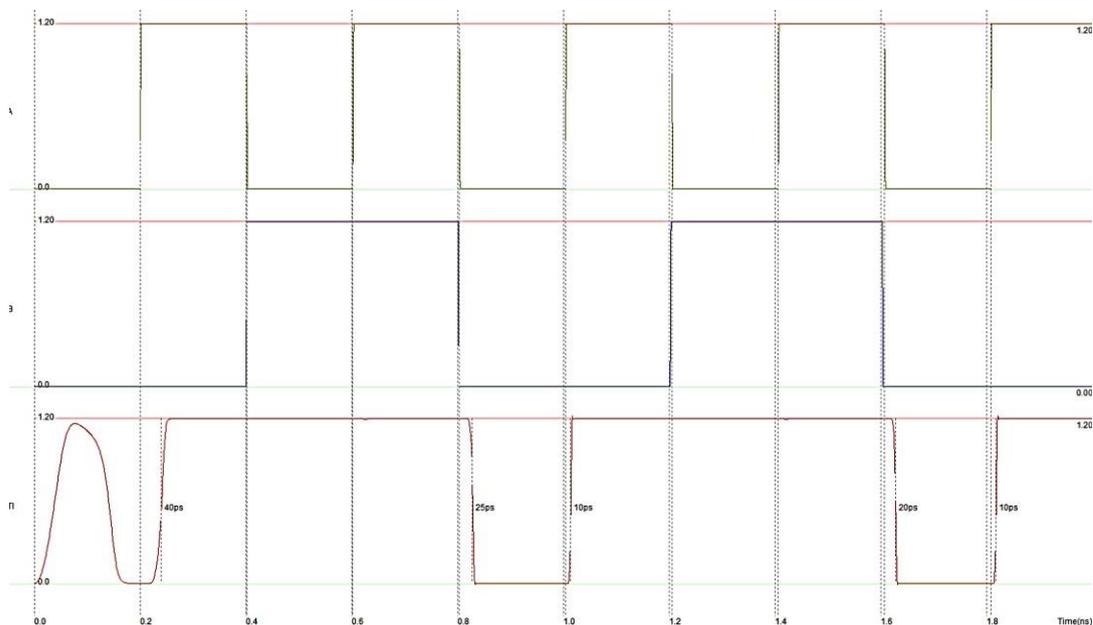


Figure 3. 44 : résultat de la simulation du circuit logique du temps d'intégration.

D'après les résultats de simulation nous avons obtenu les valeurs de sortie comme mentionnés dans la table de vérité du circuit du temps d'intégration.

3. Layout complet du capteur d'image CMOS à pixel actif :

La figure 3.45 représente le capteur d'image APS CMOS réalisé en utilisant la technologie CMOS 100 nm. Nous avons connecté les sorties de décodeur dans les lignes de la matrice des pixels pour en choisir une parmi les autres. Et on a connecté les 4 premiers bits du compteurs aux 4 entrées du décodeur, et les 4 bits suivants du compteurs aux 4 variables de commandes du multiplexeur, et les derniers bits aux entrées du circuit logique du temps d'intégration. La

sortie de ce dernier est reliée aux **Resets** de tous les pixels. Chaque colonne de la matrice de pixels est reliée au circuit de lecture. Les sorties de ce dernier sont des entrées du multiplexeur. Le multiplexeur a une seule sortie qui est une tension. Donc la sortie du capteur d'image APS CMOS est une tension provenant de chaque pixel de la matrice à travers le multiplexeur. Cette tension est convertie ensuite par un convertisseur analogique-numérique.

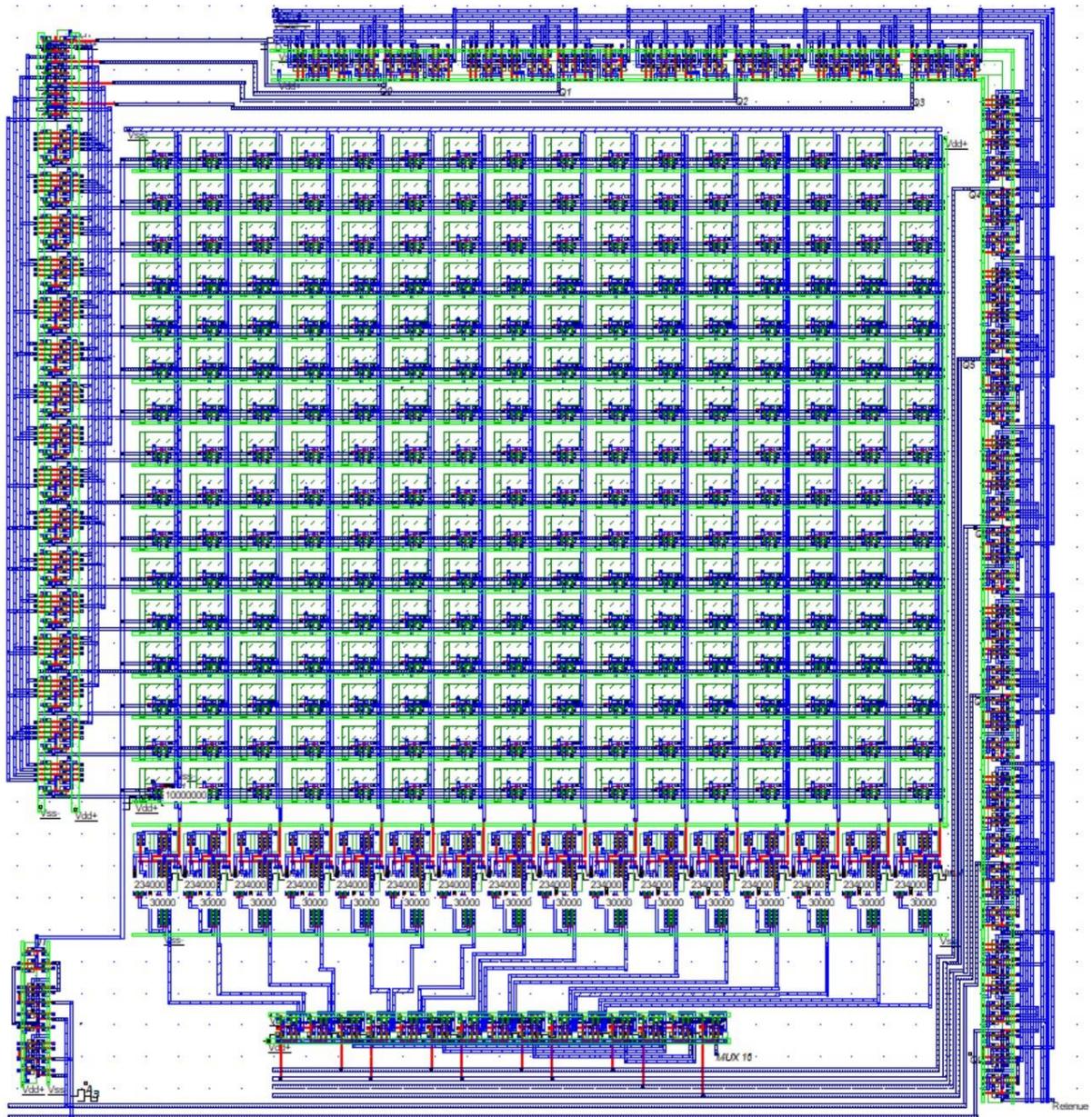


Figure 3. 45 : Capteur d'image APS CMOS en technologie CMOS 100nm.

4. Conclusion :

Dans ce chapitre, nous avons présenté tous les blocs qui composent le capteur d'image CMOS à pixels actifs. Nous avons fait le Layout (en utilisant la technologie CMOS 100 nm) et les simulations de ces blocs, le pixel, le décodeur, le multiplexeur, le circuit de lecture, le compteur, et le circuit logique d'intégration. On a trouvé un bon fonctionnement de ces derniers. Ensuite nous les avons rassemblés dans un seul Layout comme indiqué dans la figure 3 45.

Conclusion générale

Ce modeste travail nous a permis d'assimiler des nouvelles connaissances à propos de ces types des capteurs d'images CCD et CMOS. Il a permis de comprendre le principe de fonctionnement de chacun d'eux, et de savoir les avantages et les inconvénients l'un par rapport à l'autre.

Une description, dans le chapitre 1, des CCD et CMOS a permis de mettre en avant leurs qualités et défauts respectifs. Chacun ayant ses spécificités et donc chacun ayant un domaine d'emploi. Les CCD ont les avantages de permettre une acquisition d'images de hautes qualités avec peu de lumière. Les CMOS ont eu l'intérêt d'être moins gourmand en énergie et ont la possibilité d'adresser individuellement les pixels et de ne lire que certaines zones de la matrice.

Une présentation, dans le chapitre 2, des capteurs d'images CMOS APS, a nous permis de comprendre plus profondément les différents blocs constituant ce capteur : comme la matrice des éléments photosensible (pixels), le circuit de lecture, et la conversion analogique-numérique des tensions sortant de chaque pixels de la matrice.

Des Layouts et de simulations ont été faites dans le chapitre 3, en utilisant un logiciel très connu dans le domaine de conception des circuits analogiques et numériques ou mixte qui est appelé **Microwind**, des différents circuits constituant le capteur d'image CMOS APS qui sont : **la matrice de pixels actifs, le décodeur, le multiplexeur, le compteur, le circuit de lecture, et le circuit logique du temps d'intégration.**

Dans le chapitre 3, nous avons réussi, à apprendre et à comprendre plusieurs choses de dessins de masques (Layout) des différents circuits réalisés dans ce travail en utilisant le **Microwind**. Parce qu'à partir de ces dessins de masques et leurs simulations correctes, les étapes technologiques peuvent se commencer pour fabriquer les circuits intégrés désirés.

Pour conclure, ce travail nous a permis de :

- Connaître les différents types des capteurs d'image existants dans le domaine de l'imagerie.
- Connaître les différents blocs constituant le capteur d'image CMOS APS.
- Réaliser le dessin de masque (Layout) pour chaque bloc, et comprendre leurs principes de fonctionnement.
- Rassembler les différents blocs constituant le capteur dans un seul circuit.

Les références

- [1] Hakim Zimouche Capteur d'images CMOS à réponse insensible aux variations de température. 4 janvier 2012.
- [2] Alexandre GUILVARD Capteurs d'images CMOS à architecture numérique pour l'imagerie des scènes à grande dynamique.2006.
- [3] Benziagham houssam eddine & Zemirline Badreddine ETUDE, CONCEPTION ET SIMULATION D'UN CAPTEUR CMOS À ARCHITECTURE 3T UTILISE dans un dispositif de photocoagulation au laser 2012/2013.
- [4] Estelle LABONNE CONTRIBUTIONS A LA CONCEPTION DE CAPTEURS DE VISION CMOS A GRANDE DYNAMIQUE 10 juillet 2007.
- [5] MÉNARD BEAUDOIN PHILLIPE CIRCUITS ANALOGIQUES DE LECTURE POUR UN CAPTEUR D'IMAGES COULEUR CMOS À PHOTODÉTECTEURS SANS FILTRE 2009.
- [6] Nicolas Brochard Intégration 3D : vers des capteurs d'image innovants à haute performance 2017.
- [7] J. Goy Etude, conception, et réalisation d'un capteur d'imageAPS en technologie standard CMOS pour des applications faible flux de type viseur d'étoiles 3juin 2003.
- [8] E. Labonne. Contributions à la conception de capteur de vision cmos à grande dynamique,Thèse de l'INPG, Grenoble, France, 2007.
- [9] S. K. Mendis, S. E. Kemeny, R. C. Gee, Q. Pain, B. and Kim, and E. R. Fossum. Progress in cmos active pixel image sensors. *Proc. SPIE Charge-Coupled Devices and Solid State Optical Sensors IV, Morley M. Blouke. 2007.*
- [10] Y. Degerli. Etude, modélisation des bruits et conception des circuits de lecture dans les capteurs d'images à pixels actifs cmos, Thèse de SUPAERO. 2009.

Références bibliographiques

