

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA
RECHERCHE SCIENTIFIQUE

Université de Mohamed El-Bachir El-Ibrahimi - Bordj Bou Arreridj

Faculté des Sciences et de la technologie

Département d'Électronique

Mémoire

Présenté pour obtenir

LE DIPLOME DE MASTER

FILIERE : *Électronique*

Spécialité : microélectronique

Par

➤ RAHMANI EL HACENE

➤ SAADI YASSINE

Intitulé

Pompe de charge intégrée pour conversion de tension DC-DC en CMOS

65nm

Évalué le :

Par la commission d'évaluation composée de :*

<i>Nom & Prénom</i>	<i>Grade</i>	<i>Qualité</i>	<i>Etablissement</i>
<i>M. Dr F. Fares</i>	<i>MCB</i>	<i>Président</i>	<i>Univ-BBA</i>
<i>M. Dr A. Djemouai</i>	<i>...</i>	<i>Encadreur</i>	<i>Univ-BBA</i>
<i>M. Dr F. Khaled</i>	<i>....</i>	<i>Examineur</i>	<i>Univ-BBA</i>

Année Universitaire 2020/2021

Remerciements

Avant toute chose, je tiens à remercier
Dr A.Djamouai qui m'ont guidé et ont eu
la patience de m'apprendre énormément.

Je tiens également à remercier toutes les
personnes qui m'ont apporté de l'aide, soit
par leurs connaissances dans des
domaines spécifiques, soit sous forme de
conseils lorsque j'en avais besoin.

Je tiens enfin à remercier toutes les
personnes qui se sont intéressées de près
ou de loin au projet.

Table des matières

1.1	Principe général de fonctionnement d'une pompe de charge :	4
1.2	Les paramètres importants d'une pompe de charge :	7
1.1.1	Tension d'entrée minimale :	7
1.1.2	Rendement de conversion de tension :	8
1.1.3	Nombre d'étages :	8
1.1.4	Surface active d'intégration.....	8
1.1.5	Temps de réponse :	9
1.3	Pertes d'énergie :	10
3.1	Principe d'une pompe de charge dc-dc sans inductance :	12
3.2	Principe de base d'une pompe de charge :	13
3.3	Pompe de charge Dickson :	14
3.4	Pompe de charge 'Bootstrap' :	17
3.5	Pompe de charge 'Dickson double' :	18
3.6	Générateur de signaux d'horloge avec un niveau logique doublé :	18
3.7	Doubleur de tension pour des applications de faibles tensions d'alimentation : 21	
3.8	Structure modulaire de doubleur de tension :	22
3.9	Le logiciel utilisé dans la simulation :	25
3.10	Simulation d'une architecture structure d'une pompe de charge permettant de doubler le niveau de tension d'une horloge :	27
3.11	Simulation d'une architecture de pompe de charge de multiplicateur de tension :	30
1.1.1	Simulation d'un multiplicateur de tension à deux étages d'un doubleur de tension :	32
1.1.2	Simulation d'un multiplicateur de tension à trois étages d'un doubleur de tension.....	34

Table des figures

Figure 1.1 : Schéma simplifié d'un régulateur de tension linéaire.....	10
FIGURE 1.2: Schéma simplifié.....	11
FIGURE 1.3: Phases de fonctionnement du CP de la Fig. 1.2.....	11
FIGURE 2.1: Schéma simplifiée d'une pompe de charge à commutation	17
FIGURE 2.2: structure d'un étage d'une pompe de charge simple.....	18
FIGURE 2.3: Pompe de charge de Dickson	19
FIGURE 2.4: Pompe de charge de Dickson utilisant des transistors MOS à la place des diodes.....	21
FIGURE 2.5: PC Dickson utilisant des transistors MOS connectés en diodes pour éliminer l'effet de la tension de seuil des diodes.....	22
FIGURE 2.6: Schéma d'une pompe de charge 'Bootstrap'	23
FIGURE 2.7 : Signaux de commande de la PC 'Bootstrap' de la Fig. 2.6.....	24
FIGURE 2.8 : Structure d'une Pompe de charge 'Dickson double'	23
FIGURE 2.9 : Structure du Pompe de charge utilisant deux transistors NMOS interconnectés	25
Figure 2.10 : Structure de doubleur tension permettant de contrôler de la tension de grille-source d'un transistor MOS.....	27
Figure 2.11: structure de pompe de charge de doubleur de tension utilisant deux paires de transistors MOS interconnectés.....	28

FIGURE 2.12 : Multiplieur modulaire à trois étages de doubleur de tension.....	31
Figure 3.1 : Structure du Pompe de charge utilisant deux transistors NMOS interconnectés.....	34
Figure 3.2 : La première structure de pompe de charge implémentée en technologie CMOS 65 nm sous l'environnement 'LTspice'	35
Figure 3.3: Résultats de simulation de pompe de charge de la Fig. 3.2.....	37
Figure 3.4 : Schéma 'LTspice' du module de base (doubleur de tension) d'une pompe de charge de multiplieur de tensions.....	38
Figure 3.5 : Résultats de simulation ' LTspice' du doubleur de tension de la Fig. 3.3...39	
Figure 3.7 : Résultats de simulation ' LTspice' montant le signal d'entrée et le signal de sortie de le pompe de charge à deux etage de la Fig. 3.6.....	42
Figure 3.9 : Résultats de simulation ' LTspice' montant le signal d'entrée et le signal de SORTIE de le pompe de charge à trois étage de la Fig. 3.8.....	44

Introduction Générale

Poussée par le progrès de l'industrie des semi-conducteurs, la technologie CMOS est devenue la plus dominante dans le domaine des circuits intégrés. La dominance de la technologie CMOS réside principalement dans ces caractéristiques d'un taux d'intégration très élevé, une réduction d'échelle continue et une faible consommation de puissance statique. Elle suscite un grand intérêt pour la fabrication de puissants circuits intégrés, de capacité de calcul très élevée, composés d'innombrables transistors MOS. En fait, avec le taux d'intégration très élevé de la technologie CMOS, l'intégration des systèmes complets composés de multiples modules, unité de traitement, mémoires, unité de traitement graphique, etc., sur une même puce est devenue une réalité courante.

Cette possibilité pratique d'intégration de système sur puce (SoC) présente plusieurs avantages : amélioration de la vitesse, réduction de la consommation de puissance et amélioration de la puissance de calcul des systèmes intégrés. De plus, elle permet de réduire significativement la surface d'implémentation et le coût de systèmes composés de plusieurs puces. Ceci est particulièrement très important pour les applications courantes : systèmes de télécommunication mobiles, capteurs intelligents, implants biomédicales, éléments de l'internet des objets (IoT), etc.

Toutefois, le taux d'intégration élevé est accompagné de différentes contraintes techniques qui affectent la fonctionnalité et la fiabilité des circuits intégrés sont apparues. En fait, la réduction d'échelle nécessite la réduction de la tension d'alimentation pour préserver la fiabilité du circuit intégré. De même, l'intégration

d'un nombre très élevé de transistor sur une même puce fait augmenter la consommation de puissance et, par suite, la température interne du circuit intégré ce qui peut mettre en jeu la fonctionnalité du circuit intégré.

Pour composer avec ces problèmes, différentes solutions visant à réduire et contrôler la consommation de puissance ont été développées par la communauté scientifique. Parmi les solutions les plus utilisées, on trouve celle qui consiste à faire opérer les différents modules d'un circuit intégrés avec de différentes tensions d'alimentation générées à partir d'une même source d'alimentation principale. La technique la plus pratique et la plus efficace pour la génération de ces différentes tensions d'alimentation est l'utilisation de circuits de pompes de charge. Ces derniers sont des circuits à commutation composés principalement d'interrupteurs et de condensateurs. L'intérêt de ces circuits réside dans le fait qu'ils sont totalement intégrables et qu'il est possible de les configurer pour pouvoir générer des tensions supérieures, inférieures ou inverse de la source de tension principale du CI. De plus, de nos jours, ces circuits suscitent un très grand intérêt pour les applications du domaine de récupération et collecte de l'énergie ambiante (energy harvesting).

Vu l'intérêt grandissant des circuits de pompes de charges dans le domaine des circuits intégrés, nous abordons dans ce mémoire l'étude des différentes architectures des pompes de charges les plus utilisés dans les circuits intégrés modernes. Le présent mémoire est organisé comme suit :

- Le premier chapitre est consacré à une revue des généralités sur les pompes de charges et plus précisément, les paramètres de performances à considérés durant la phase de l'étude et de conception.

- Le deuxième chapitre est réservé pour l'exposition des différentes architectures existantes les plus populaires des pompes de charge.
- Le troisième chapitre exposera les résultats de simulation d'une pompe de charge en technologie CMOS 180 nm/1.8V.
- Finalement la dernière section du mémoire est consacré pour la conclusion finale.

Chapitre 1 : Généralités sur les Pompes de Charge de Conversion de tension DC-DC

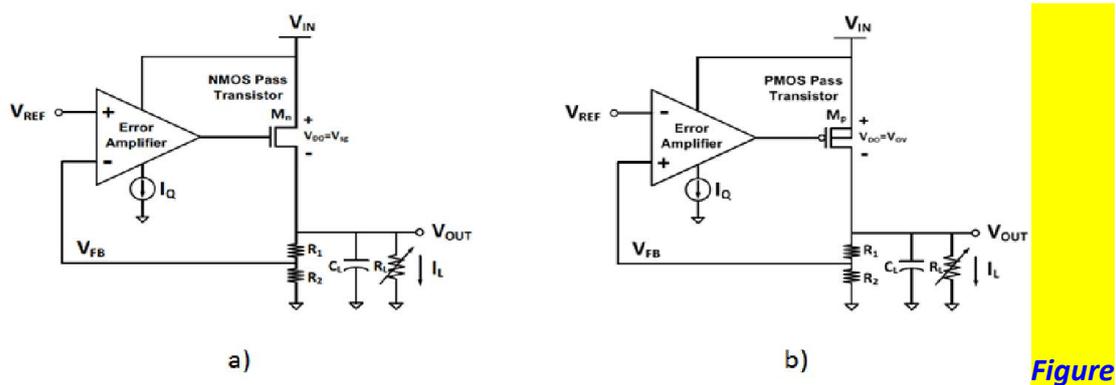
1.1 Principe général de fonctionnement d'une pompe de charge :

Avec le progrès puissant et rapide de la technologie intégré CMOS, les pompes de charge (*PSs*) sont devenues des éléments indispensables pour le fonctionnement des circuits intégrés modernes. Les pompes de charges sont des circuits qui font partie de la famille des régulateurs de conversion de tension DC-DC. Dans le domaine des circuits intégrés, les *PCs* sont utilisées pour générer des tensions d'alimentation multiples de différentes valeurs à partir d'une source de tension d'alimentation principale.

C'est particulièrement le cas des systèmes de circuits intégrés sur puce (*SoC*) composés de différents blocks électroniques et qui opèrent avec de faibles tensions d'alimentation. Généralement, chaque block (EEPROM, DRAM, RS232, LCD, RFID, et LED) [6],[7],[8], d'un circuit intégré *SoC* requière une tension d'alimentation de valeur spécifique et différente de la tension d'alimentation principale (la batterie) du circuit intégré. L'intégration de pompe de charge sur la puce du circuit intégré s'avère une solution adéquate pour générer les différentes tensions d'alimentations des différentes blocks électroniques. La valeur de la tension d'une pompe de charge peut être, selon son architecture, supérieure, inférieure ou de polarité inverse de la tension d'alimentation de l'entrée [7].

Pratiquement, il existe trois approches utilisées pour la réalisation de convertisseurs DC-DC permettant de générer de tension différente d'une tension DC d'entrée de référence [6]. La première approche consiste à utiliser des régulateurs linéaires basés sur le concept de contre réaction négative pour générer une tension régulée à partir d'une source tension d'entrée. Ces régulateurs sont composés de transistors, d'amplificateurs opérationnels, de composants électriques passifs et d'un étage de sortie de puissance. La Fig. 1.1 illustre le schéma simplifié d'un régulateur de tension linéaire :

a) l'étage de sortie est à base d'un transistor NMOS et b) l'étage de sortie est à base d'un transistor PMOS qui permet de réduire la chute de tension perdue du drain-source du transistor. Ces régulateurs occupent beaucoup de surface d'intégration et ils ne sont pas intéressants pour les utilisations nécessitant des tensions DC multiples de différents niveaux. De plus, ils ne peuvent pas être utilisés pour générer des tensions DC supérieures à la tension d'entrée. Cependant, les tensions qu'ils génèrent sont bien régulées.



Figure

1.1: Schéma simplifié d'un régulateur de tension linéaire: a) l'étage de sortie est à base d'un transistor NMOS et b) l'étage de sortie est à base d'un transistor PMOS [2].

La deuxième approche est basée sur le principe de commutation des éléments électrique passifs sans pertes (inductances et capacités). Les convertisseurs basés sur cette approche peuvent générer des tensions DC de sortie supérieure ou inférieure à la tension d'entrée. Ils exploitent les propriétés électromagnétiques des inductances pour effectuer la conversion de tension DC-DC. La conversion est accomplie en faisant dans une première étape l'énergie électrique est stockée dans une inductance puis dans une deuxième étape, l'énergie stockée est transférée à une capacité de charge.

La **Figure 1.2** illustre le schéma typique d'un convertisseur DC-DC inductif sur-éleveur de tension. Son principe de fonctionnement consiste emmagasiner de l'énergie à partir de la source de tension d'entrée dans l'inductance L ensuite transférer cette énergie au circuit de charge (C et L) en deux phases. Dans la phase 1, le transistor M_n est en conduction tandis que la diode $D1$ est bloquée (**Figure 1.3a**). Dans ce cas, l'inductance L développe et emmagasine de l'énergie à partir de la tension d'entrée $V_{in}(t)$ tandis que la capacité C_{out} fournit le courant nécessaire à l'impédance de charge R_{out} . Dans la deuxième phase, le transistor M_n est bloqué tandis que la diode $D1$ devient conductrice (**Figure 1.3b**). La tension de l'inductance est maintenant égale à $(V_{in}(t)-V_{out}(t))$ et la capacité C_{out} est maintenant chargée par le courant moyen de l'inductance L [11].

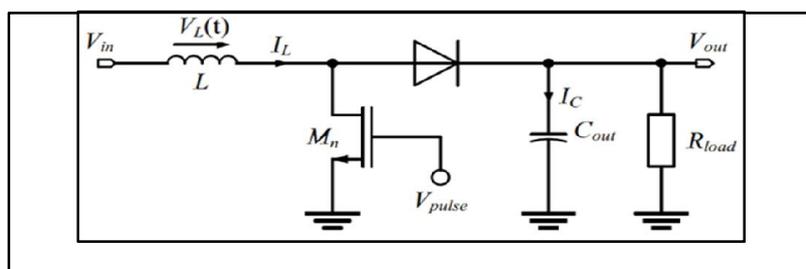


Figure 1.2: Schéma simplifié [11].

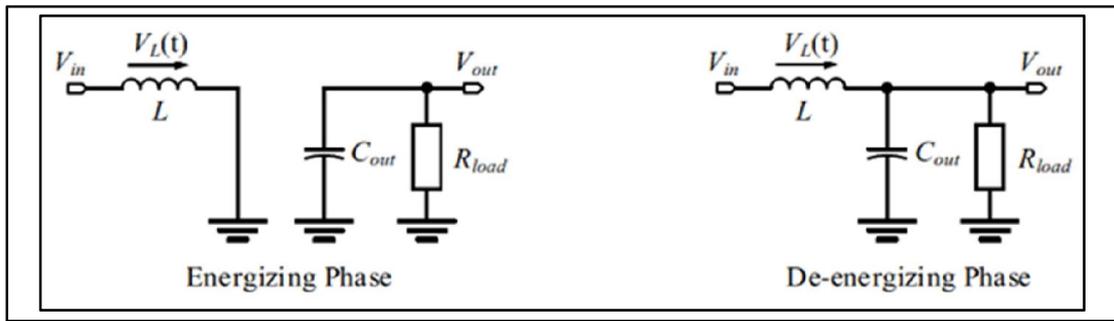


Figure 1.3 : Phases de fonctionnement du CP de la Fig. 1.2 : a) Phase 1, b) Phase 2

[11].

Dans la troisième approche est basée sur le principe de capacité commutées ou seules des capacités et des interrupteurs sont utilisés. Comme dans ce cas, il n'y a pas d'usage d'inductances, ce convertisseurs sont en pratique très intéressants vu le faible coût de leur intégration en technologie CMOS est non couteuse [3].

1.2 Les paramètres importants d'une pompe de charge :

L'optimisation d'une pompe de charge nécessite la considération de plusieurs paramètres essentiels qui sont imposés par les différentes applications. Parmi ces paramètres, il faut le niveau de tension minimale qui peut être converti, le rendement de conversion, le nombre d'étages composants la PC, la surface d'intégration, le temps de réponse, la consommation de puissance ou les pertes d'énergie de la PC [9]

1.1.1 Tension d'entrée minimale :

La tension minimale de la tension d'entrée d'une pompe de charge est la tension minimale pour laquelle pompe de charge peut fonctionner correctement et générer une tension de sortie DC bien définie. Cette tension minimale est très intéressante pour les applications qui opèrent avec de faibles tensions d'alimentation telles que les

capteurs sans fils et pour les applications dédiées à la récupération et à la collecte de l'énergie environnante [4].

1.1.2 Rendement de conversion de tension :

Le rendement de conversion de puissance est l'un des paramètres de performance les plus importants d'une pompe de charge de conversion de tension. Il définit le rapport fourni à la sortie (à la charge) sur la puissance consommée par la pompe de charge [1]. Compte tenu du fait que la quantité de l'énergie disponible dans les applications de récupération de l'énergie environnante est très faible, la puissance disponible à l'entrée de la pompe de charge est très faible (de l'ordre de microwatts). Ceci implique, que la consommation de puissance de la pompe de charge doit être la plus faible que possible [4] [9]

1.1.3 Nombre d'étages :

Généralement, une pompe de charge, principalement à commutation, est basée sur un certain nombre N d'un même étage de base. La tension produite à la sortie V_{out} est, idéalement, déterminée par le nombre d'étage utilisés [9] :

$$V_{out} = (N+1) \cdot V_{in}$$

Où V_{in} est la tension de l'entrée de la pompe de charge.

1.1.4 Surface active d'intégration

La surface active nécessaire pour l'intégration de la pompe de charge est un paramètre très important à considérer pour ne faire augmenter le coût du circuit intégré utilisant cette pompe de charge. La surface de la pompe de charge est déterminée

principalement par le nombre d'étages utilisés, les tailles des transistors implémentant les interrupteurs, les capacités de stockage et transfert de charge et plus spécifiquement la capacité de charge C_L . Donc, si on considère que la capacité de charge est prédominante, la surface active totale d'une pompe de charge de N cellule est approximativement égale à [9] :

$$A = k.N.C_L$$

Où k est un paramètre qui dépend de la technologie utilisée.

1.1.5 Temps de réponse :

Le temps réponse ou plus précisément temps de montée est le temps que la tension de sortie met pour atteindre son niveau nominale déterminée par le nombre d'étages utilisés. Comme la capacité de charge est C_L prédominante, le temps de montée peut être estimé en utilisant un modèle d'un circuit RC . La résistance R_{eq} est la résistance équivalente de la pompe de charge donnée par [9] :

$$R_{eq} = \frac{N}{C_L.f}$$

Où f est la fréquence de commande des interrupteurs de la pompe de charge.

La constante de temps du modèle RC de la pompe de charge est donc estimé à :

$$\tau_{eq} = R_{eq}.C_L = \frac{N}{C_L.f}.C_L$$

D'où l'estimation de monté, pour que V_{out} atteint 90% de sa valeur nominale, du circuit :

$$\tau_{90\%} = 2,2\tau_{eq} = 2,2 \cdot \frac{N}{C_L \cdot f} \cdot C_L$$

1.3 Pertes d'énergie :

Les pertes d'énergie d'une pompe de charge à commutation sont de deux types de différentes natures. D'une part, il y a les pertes d'énergies associées à la charge et la décharge des capacités (C_L) de la sortie chaque étage de la PC. D'autre part, il y a les pertes aux capacités parasites (C_{par}). Les pertes de charge et décharge de la capacité C_L peuvent être estimées par [2][4][9][10]:

$$P_{C_L} = (N+1) \cdot I_L \cdot V_{dd}$$

- Où
- I_L : délivré à la capacité C_L de chaque étage de la PC;
 - N : nombre d'étages composant la PC;
 - V_{dd} : Tension d'entrée de la PC.

Les pertes associées aux capacités parasites sont déterminées par la capacité parasite totale ou équivalente C_{tot} , la tension d'entrée V_{dd} , et le nombre d'étages N .

$$P_{par} = C_{par} \cdot f \cdot V_{dd} = \alpha \cdot N \cdot C_{tot} \cdot f \cdot V_{dd}$$

Où

- C_{par} : Capacité parasite totale (la somme de toutes les capacités parasites);

- C_{tot} : Capacité totale de la PC (la somme de toutes les capacités utilisées dans la PC);
- α : une constante de valeur entre 0 et 1;
- f : fréquence de commutation des interrupteurs du CP;
- N : nombre d'étages composant la PC;
- V_{dd} : Tension d'entrée de la PC.

Chapitre 2 : Revue de littérature des topologies et architectures de pompes de charge

3.1 Principe d'une pompe de charge dc-dc sans inductance :

Une pompe de charge (CP) est un circuit utilisant des capacités commutées pour générer une tension DC supérieure ou inférieure à une tension d'entrée. Le principe de base d'une PC servant à générer une tension DC supérieure à une tension d'entrée (PC élévateur de tension) est illustré par le schéma de la Figure 2.1.

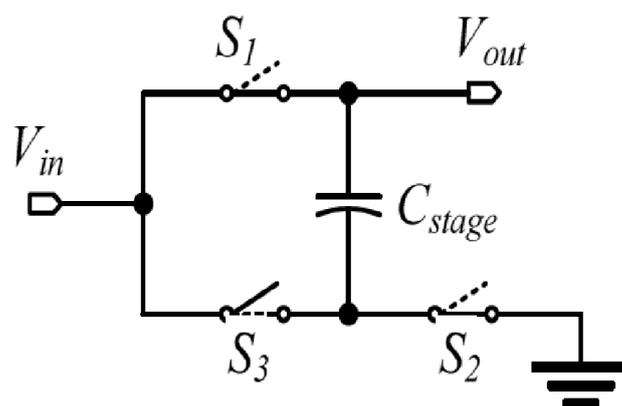


Figure 2.1: Schéma simplifiée d'une pompe de charge à commutation [9]

Le circuit est composé d'une capacité (C_{stage}) est trois interrupteurs contrôlant le transférer de charges entre l'entrée et la sortie du circuit. Lorsque les interrupteurs S_1 et S_2 sont fermés (en état de conduction) et S_3 est ouvert (état de blocage), La capacité C_{stage} est chargée à V_{in} . Lorsque S_1 et S_2 change d'état, devient bloqués, et S_3 devient ouvert (entre conduction), la capacité C_{stage} se comporte comme une source de tension reliée en série avec l'entrée V_{in} . Comme la capacité était déjà chargée à V_{in} , la tension de sortie devient égale au double de la tension d'entrée, soit $2V_{in}$ [9].

L'un des avantages de ce type de *PCs* est que leurs structures ne nécessitent pas l'utilisation des inductances. Par conséquent, elles occupent de faibles surfaces d'implémentation et sont donc souhaitables pour les technologies des circuits intégrés.

3.2 Principe de base d'une pompe de charge :

La structure d'un étage d'une pompe de charge simple est illustrée par le schéma de la Figure 2.2. Elle est composée de deux interrupteurs (*S1* et *S2*) et un condensateur (*C_{CH}*) pour pomper des charges électrique à réseau de sortie (*C_L* et *I_L*). Les interrupteurs sont commandés de telle manière que lorsque *S1* est ouvert, *S2* est fermé et lorsque *S1* est fermé, *S2* est ouvert.

Le circuit opère en deux phases. Dans la phase 1, *V_{CLK}* est au niveau 'bas' (0V), *S1* est fermé et *S2* est ouvert ; dans ce cas la capacité *C_{CH}* est chargée à *V_{DD}*. dans la phase 2, *V_{CLK}* est au niveau 'haut' (*V_{DD}*), *S1* est ouvert et *S2* est fermé ; dans ce cas, la charge stockée dans *C_{CH}* dans la phase 1 est transférée à la capacité de charge *C_L*. Après plusieurs cycles d'horloge, la tension de sortie atteint la valeur de $2 \cdot V_{DD}$.

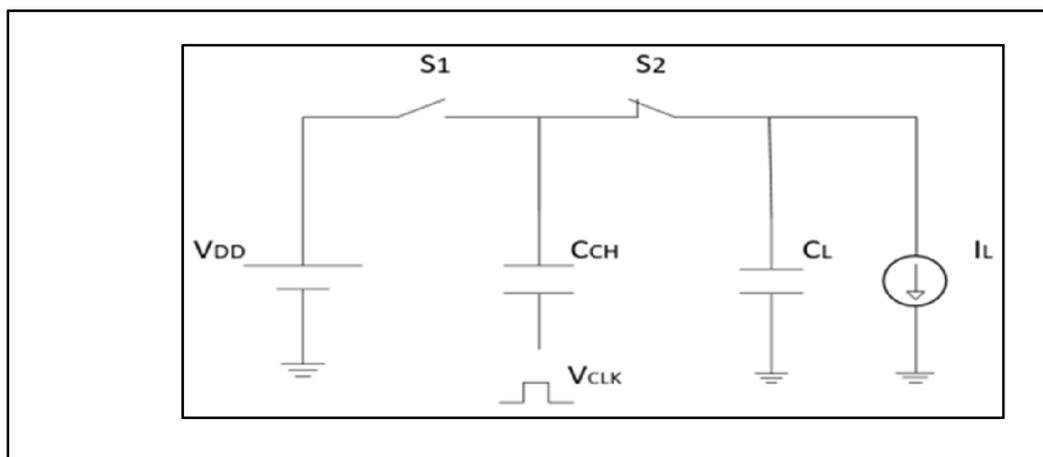


Figure 2.2 : structure d'un étage d'une pompe de charge simple [6][8].

La valeur de fluctuation de la tension sortie dépend de la capacité de charge C_L , du courant de la charge I_L et de la période de l'horloge. Cette valeur est donnée par :

$$V_{ripple} = \frac{I_L \cdot T}{C_L}$$

Pour des tensions de sortie supérieures à '2Vdd', plusieurs étages du circuit de la Fig. 2.2 peuvent être cascades pour générer une tension de sortie dépendant du nombre (N) d'étages utilisés. Cette est dans ce cas donnée par [8] :

$$V_{out} = (N + 1) \cdot V_{DD}$$

3.3 Pompe de charge Dickson :

La pompe de charge de Dickson est la plus utilisée vue sa simplicité. La configuration de base de cette pompe de charge est illustrée par le schéma de la Figure 2.3 [6]. Elle est composée de diodes et de capacités qui sont contrôlés par deux horloges non-chevauchées et en opposition de phases (CLK et CLKB).

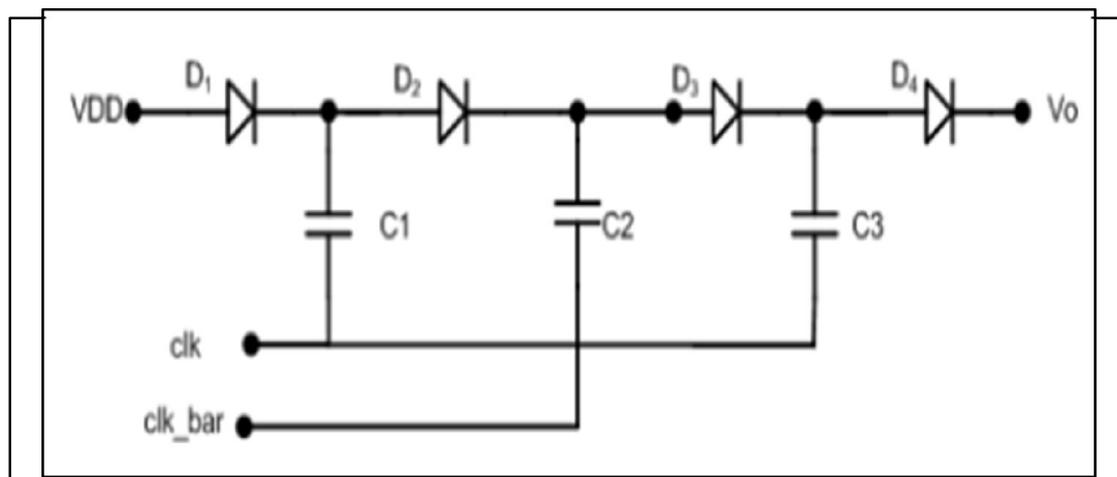


Figure 2.3 : Pompe de charge de Dickson.

Contrairement à structure de base décrite dans la section précédente, la pompe de charge de Dickson a l'avantage de ne pas utiliser des d'interrupteurs, mais, des diodes. De plus, ces diodes peuvent être implémentées par des transistors MOS connectés en diodes (Figure 2.4) [8].

Son principe de fonctionnement s'explique comme suit : en supposant qu'au démarrage, les capacités C1, C2 et C3 sont supposées déchargées, la diode D1 est en état de conduction lorsque l'horloge 'CLK' est au bas niveau (niveau 'bas'). La capacité C1 se charge ainsi à Vdd. Lorsque l'horloge 'CLK' passe au niveau 'haut', la tension de la capacité C2 devient 2Vdd et la diode D2 devient conductrice. Conséquemment, la charge stockée sur C1 est partagée entre C1 et C2 et dans le cas où C2 est égale à C1, la tension de C2 devient 0.5Vdd. Avec le meme raisonnement, la tension de au 'C3 devient 0.25VDD lorsque 'CLK' passe de nouveau au niveaux 'bas'. La meme procedure se répète continuellement et après quelques cycles d'horloge, la tension de sortie atteint la valeur de 2Vdd [6].

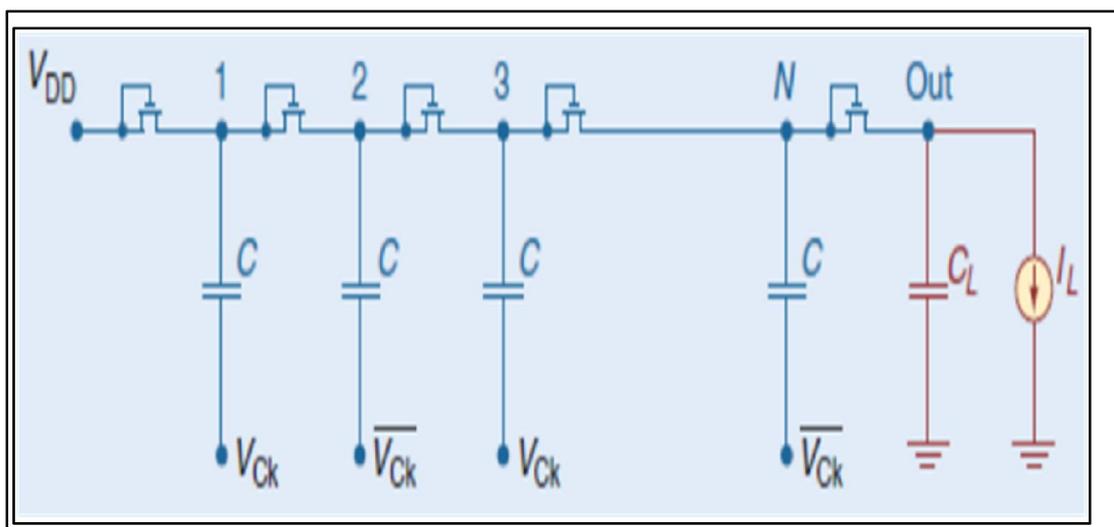


Figure 2.4 : Pompe de charge de Dickson utilisant des transistors MOS à la place des diodes.

L'un des inconvénient de la structure Dickson est la perte de tension causée par la tension de seuil des diodes. En fait, la tension de sortie d'une pompe de charge Dickson de N étages, est réduite d'un facteur de $(N+1)V_D$ [7]. Cette réduction de la tension de sortie est d'autant plus critique dans le cas de faibles tensions d'alimentation ce qui affecte sévèrement l'efficacité du CP.

Une simple modification de la structure du PC Dickson permet d'éliminer l'effet de la tension de seuil des diodes (transistors MOS connectés en diodes). Comme le montre le schéma de la Figure 2.5, cette modification consiste à ajouter un transistor MOS connecté en diode, de chaque étage, un transistor MOS en parallèle. Le transistor ajouté est commandé par la tension de sortie de l'étage suivant [9].

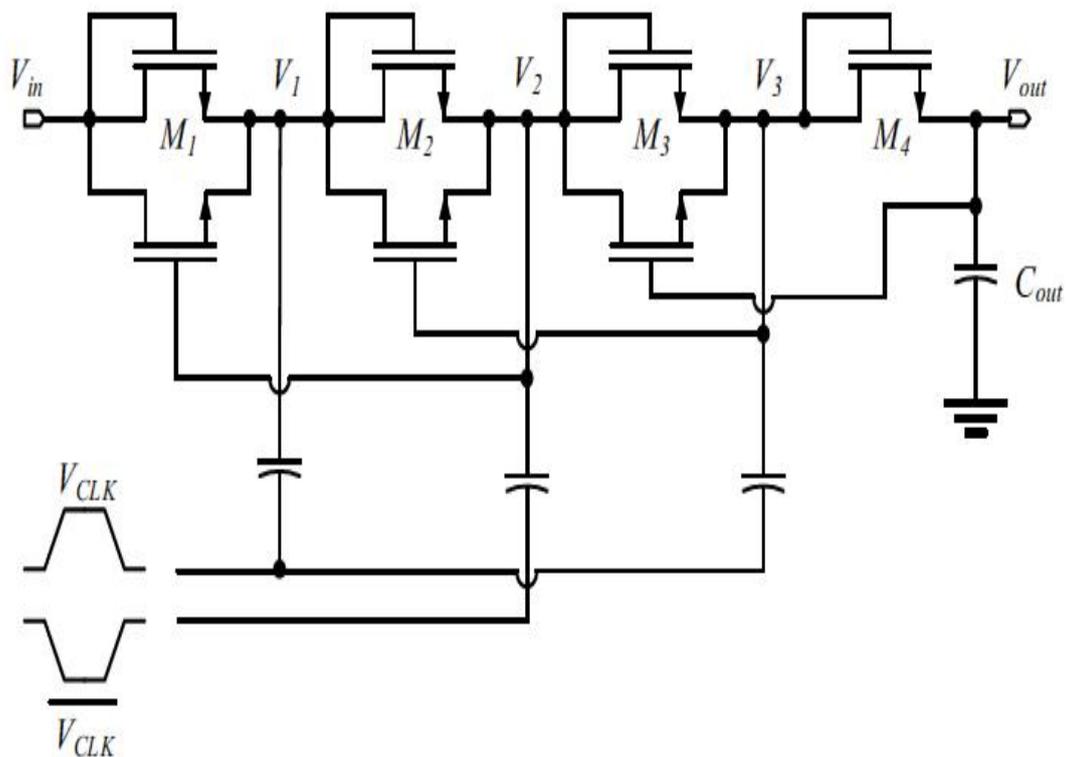


Figure 2.5 : PC Dickson utilisant des transistors MOS connectés en diodes pour éliminer l'effet de la tension de seuil des diodes.

3.4 Pompe de charge 'Bootstrap' :

Cette structure est une modification de la pompe de charge Dickson (Figure 2.7). Elle nécessite un transistor et une capacité supplémentaires pour chaque étage [8].

Les transistors sont autocontrôlés et sont commandés par quatre phases d'horloges de différentes amplitudes (Figure 2.6).

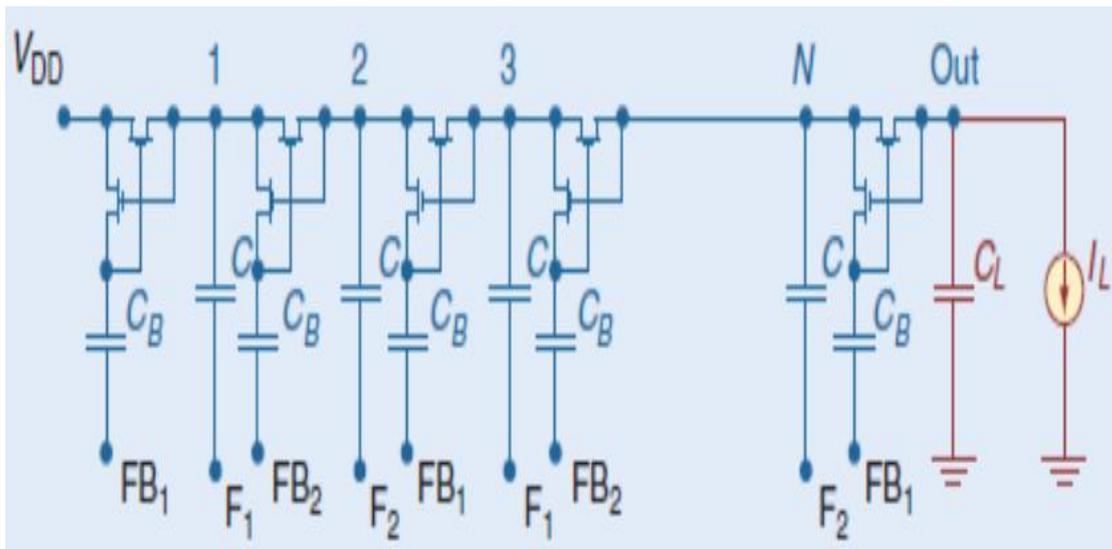


Figure 2.6: Schéma d'une pompe de charge 'Bootstrap'.

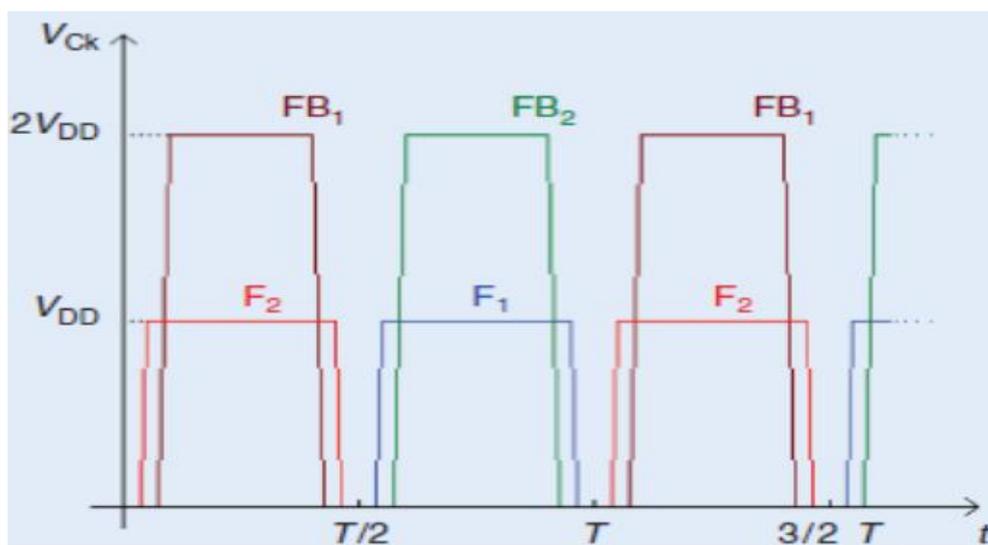


Figure 2.7 : Signaux de commande de la PC 'Bootstrap' de la Fig. 2.6.

3.5 Pompe de charge 'Dickson double' :

Cette structure est composée de deux pompes de charge complémentaires montées en parallèles comme le montre le schéma de la Figure 2.8. L'avantage de cette structure est la réduction de la valeur moyenne de la fluctuation de la tension de sortie et qu'elle est contrôlée par un seul signal d'horloge à deux phase. Le cout à payer pour mais avec cout de double surface.

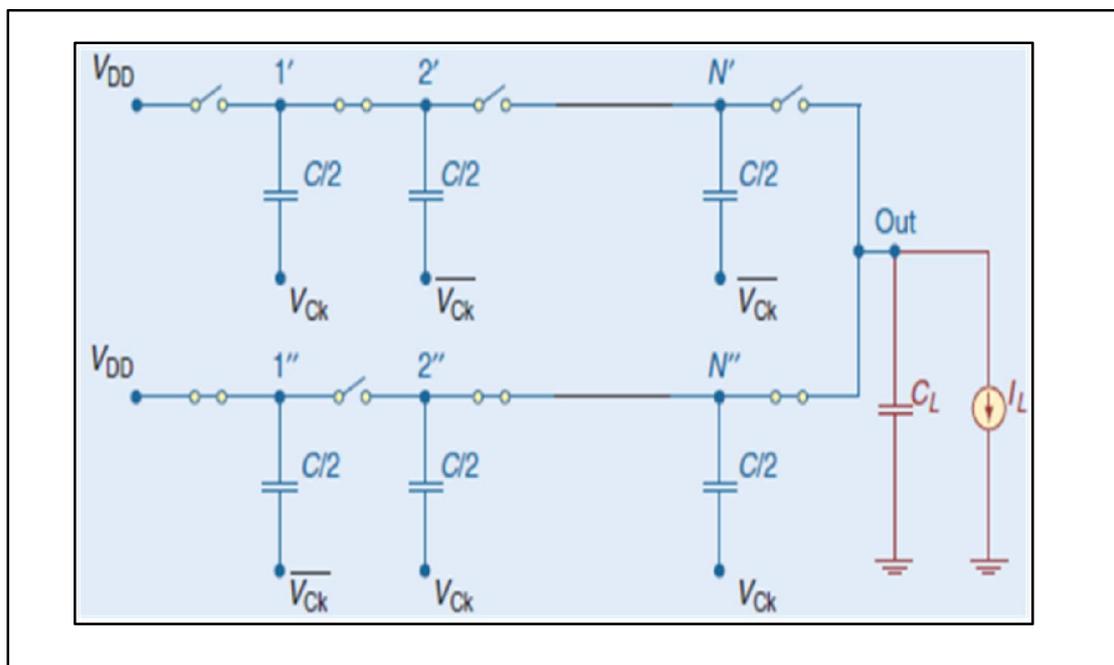


Figure 2.8: Structure d'une Pompe de charge 'Dickson double' [8].

3.6 Générateur de signaux d'horloge avec un niveau logique doublé :

Le générateur de signaux d'horloge avec un niveau logique 'haut' ou 'Vdd' supérieure à au niveau logique 'haut' d'un signal d'horloge d'entrée est intéressant dans le cas des applications analogiques utilisant des transistors NMOS comme des interrupteurs (par exemple le cas d'un échantillonneur). Pour que, dans de telles situations, le transistor NMOS puisse opérer en mode conduction, il faut que sa tension de grille

soit supérieure à sa tension de source, V_{dd} , d'une quantité égale à la tension de seuil du transistor ' V_{th} '; donc la tension de la grille ' V_g ' doit être égale à ' $V_{dd} + V_{th}$ ' lorsque la tension de la source ' V_s ' est égale à ' V_{dd} '.

Une configuration de pompe de charge pouvant résoudre ce problème est illustrée par le schéma de la Fig. 2.9 [2]. Lorsque le niveau du signal d'horloge d'entrée (Clock-in) est au niveau 'bas' ou zéro logique '0', la tension du nœud B est approximativement égale à V_{dd} et la tension du nœud A passé à $2V_{dd}$.

Dans la phase suivante, lorsque CKA passe au niveau '0' et CKB passe au niveau '1', la tension du nœud A passé à V_{dd} et la tension du nœud B est égale à $2V_{dd}$; (M1 est en conduction et M2 est bloqué). Dans cette situation, le niveau du signal de sortie (Clock-out) est au niveau '0'.

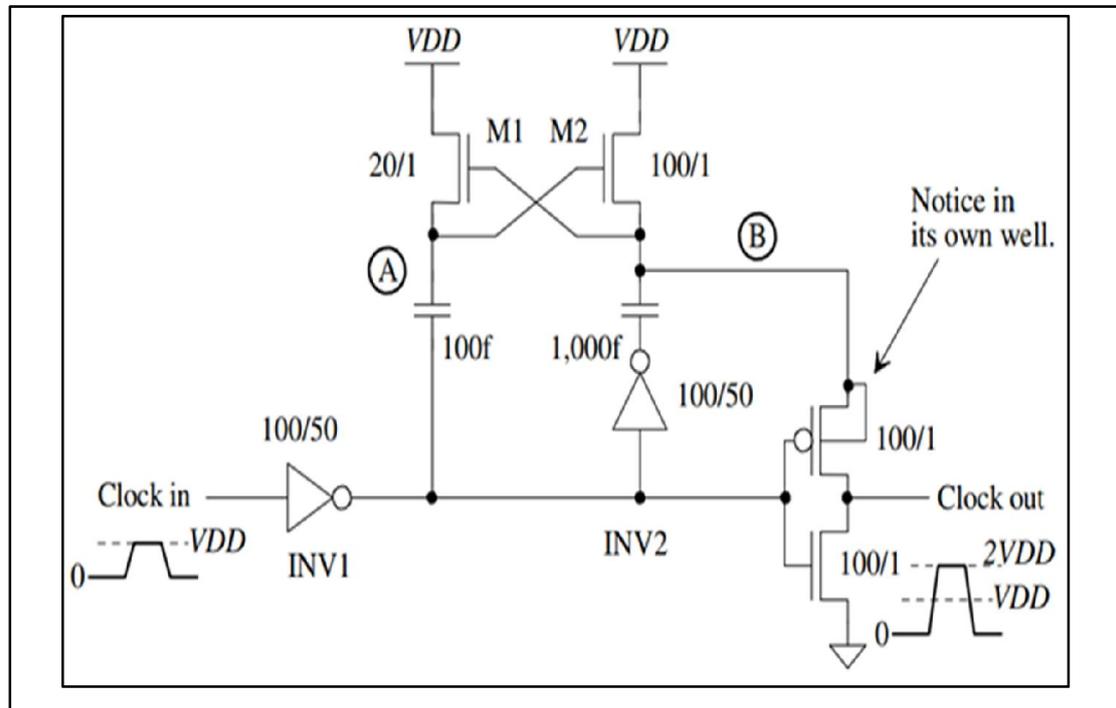


Figure 2.9: Structure d'une Pompe de charge utilisant deux transistors NMOS interconnectés [2].

Lorsque le signal d'entrée passe au niveau '1', le niveau de tension du nœud A passe au niveau '1' et le niveau de tension du nœud B passe au niveau logique '2V_{dd}'. Dans ce cas, M1 est bloqué et M2 est en conduction). La sortie 'Clock out' passe aussi à '2V_{dd}'.

L'une des applications de cette structure de doubleur de tension est le contrôle de la tension de grille-source d'un transistor MOS utilisé dans un circuit échantillonneur opérant avec de faible tension d'alimentation (Fig. 2.10) [1].

L'idée de base de ce circuit est faire garantir une tension V_{gs} constante du transistor Mn1 utilisée comme un interrupteur d'un circuit échantillonneur.

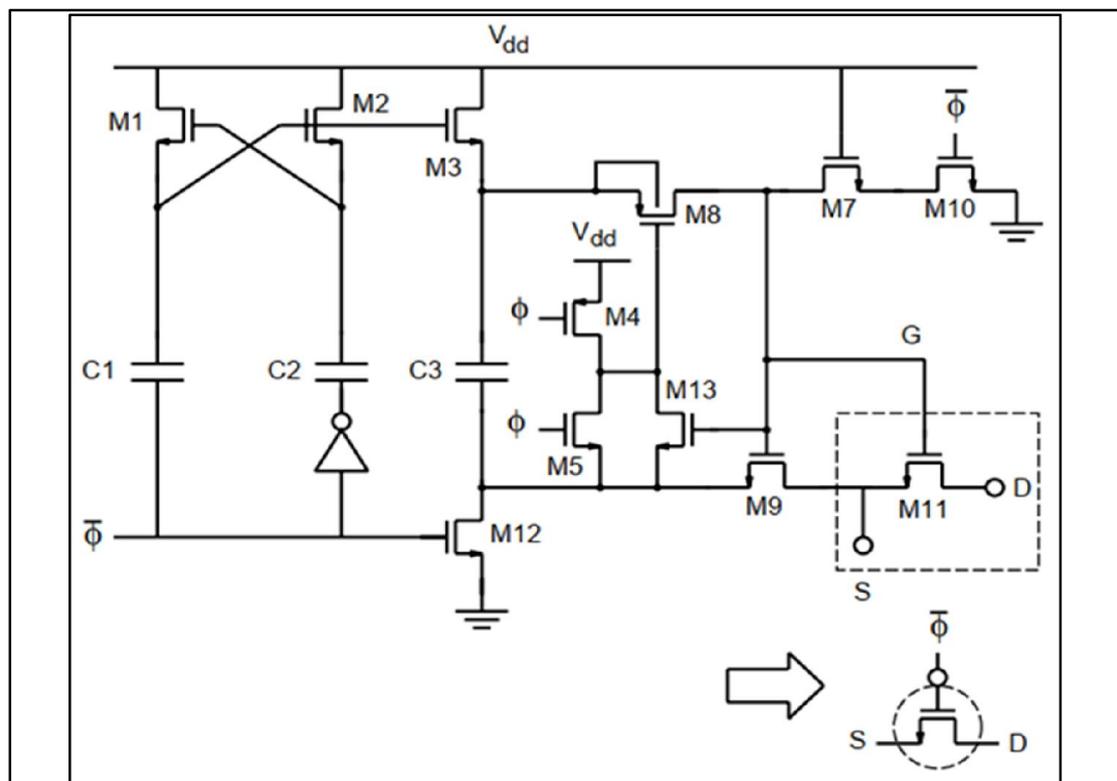


Figure 2.10 : Structure de doubleur tension permettant de contrôler de la tension de grille-source d'un transistor MOS

3.7 Doubleur de tension pour des applications de faibles tensions d'alimentation :

Une structure de pompe de charge de doubleur de tension convenable aux applications de faibles tensions d'alimentation est proposée dans [5]. Comme le montre le schéma de la Figure 2.11, cette structure est composée de deux paires de transistors NMOS ($MN1$ et $MN2$) interconnectés entre eux, deux capacités C_1 et C_2 , et deux transistors PMOS ($MP1$ et $MP2$) agissant comme des commutateurs entre la structure et le réseau de charge (R_L et C_L).

Les capacités sont connectées respectivement aux sources des transistors $MN1$ et $MN2$ et les signaux d'horloges CKA et CKB .

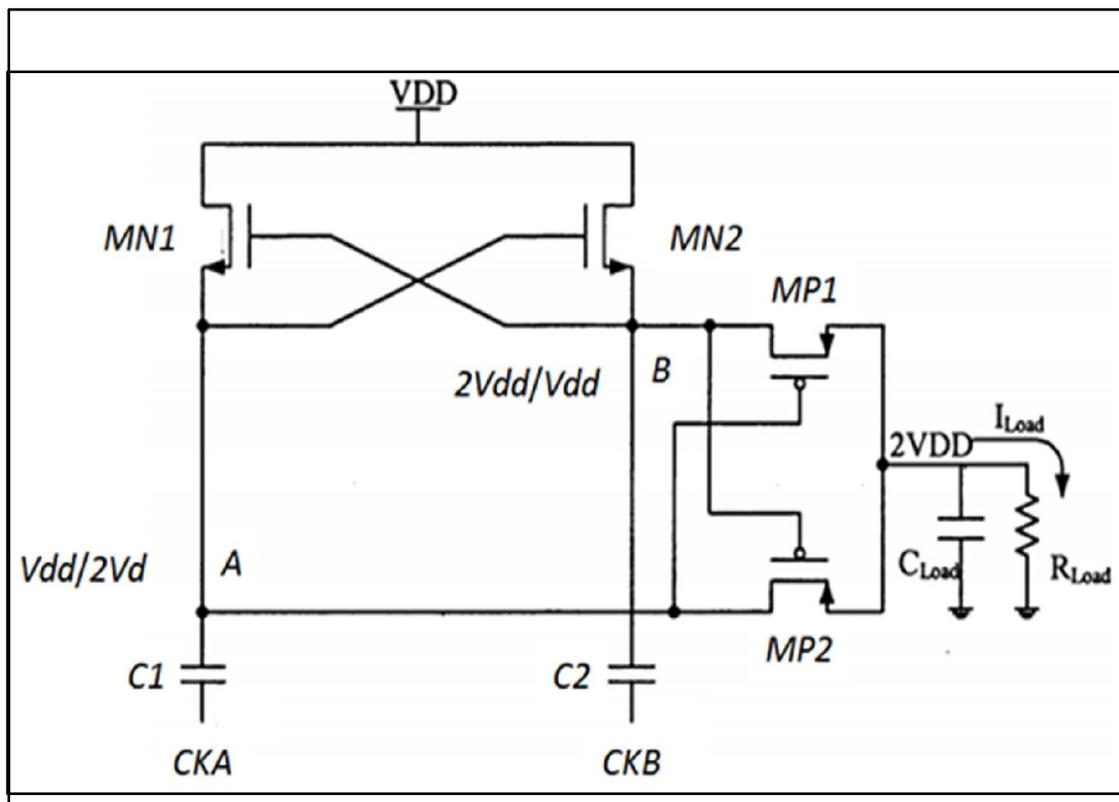


Figure 2.11: structure de pompe de charge de doubleur de tension utilisant deux paires de transistors MOS interconnectés [4] [10].

Les deux transistors agissent comme des commutateurs et acheminent, à tout instant, au nœud de sortie la tension la plus élevée du nœud A ou du nœud B. Lorsque l'horloge CKA est au niveau '1' et CKB est au niveau '0', la tension du nœud A est égale à $2V_{DD}$ et la tension du nœud B est égale à V_{DD} . Dans la phase suivante, lorsque CKA passe au niveau '0' et CKB passe au niveau '1', la tension du nœud A passe à V_{DD} et la tension du nœud B est égale à $2V_{DD}$. Comme les tensions des nœuds A et B alternent entre V_{DD} et $2V_{DD}$, la tension de la sortie est toujours égale à $2V_{DD}$, soit le double de la tension d'entrée.

3.8 Structure modulaire de doubleur de tension :

La structure précédente de la section (1.7) peut être exploitée pour réaliser un multiplicateur de tension modulaire. Le schéma de l'étage de base, doubleur de tension, de cette structure est montré dans la Fig. 2.12.

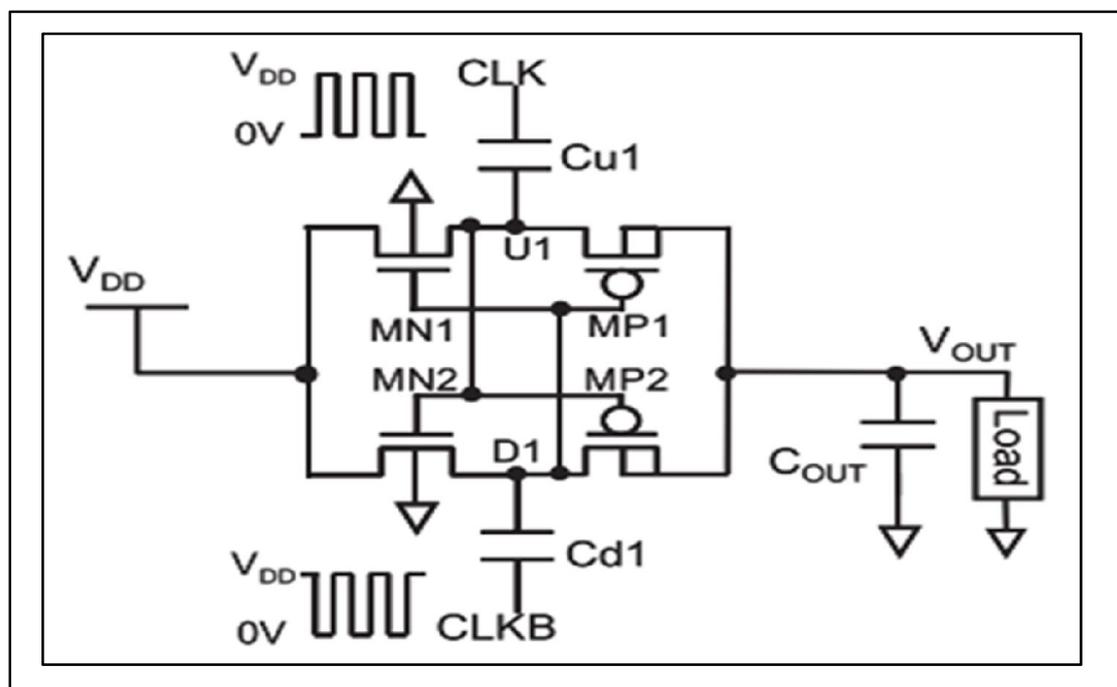


Figure 2.12: Schéma d'un étage de base de doubleur de tension [3] [4].

Cet étage est composé de deux paires d'interrupteurs interconnectés, implémentées par les transistors NMOS (MN1 et MN2) et les transistors PMOS (MP1 et MP2) et où les deux paires d'interrupteurs sont commandées par des horloges complémentaires. Comme dans le cas du circuit de la section précédente, lorsque le signal de l'horloge 'CLK' est au niveau 'haut', les transistors (MN2 et MP1) sont en état de conduction et les transistors (MN1 et MP2) sont bloqué ; le nœud 'D1' est, dans ce cas, chargé à 'Vdd' et le nœud 'U1' est chargé à la tension initiale de V_{out} . Lorsque 'CLK' passe du niveau 'haut' au niveau 'bas', et les transistors (MN1 et MP2) passent en conduction et les transistors (MN2 et MP1) se bloquent. Par conséquent, le nœud 'U1' est, dans ce cas, chargé à 'Vdd' et le nœud 'D1' est booster à '2Vdd' et comme MP2 est en conduction, le nœud de sortie 'Vout' se charge aussi à '2Vdd'. Dans le demi-cycle suivant des horloges 'CLK' et 'CLKB', le nœud 'D1' se charge à 'Vdd' et le nœud 'U1' est boosté à '2Vdd' provoquant ainsi le nœud 'Vout' de se chargé à '2Vdd'. Par conséquent, le nœud 'Vout' est maintenu en tout temps à un niveau égal à '2Vdd' [4].

Maintenant, cet étage de doubleur de tension peut être utilisé pour réaliser un multiplieur de tension supérieure à '2Vdd'. Un exemple de tel multiplieur est montré dans la Fig. 13. Ce multiplieur est composé de trois étages où chaque étage permet de doubler la tension de son entrée, donc, la tension de sortie est, théoriquement, égale à '8Vdd'.

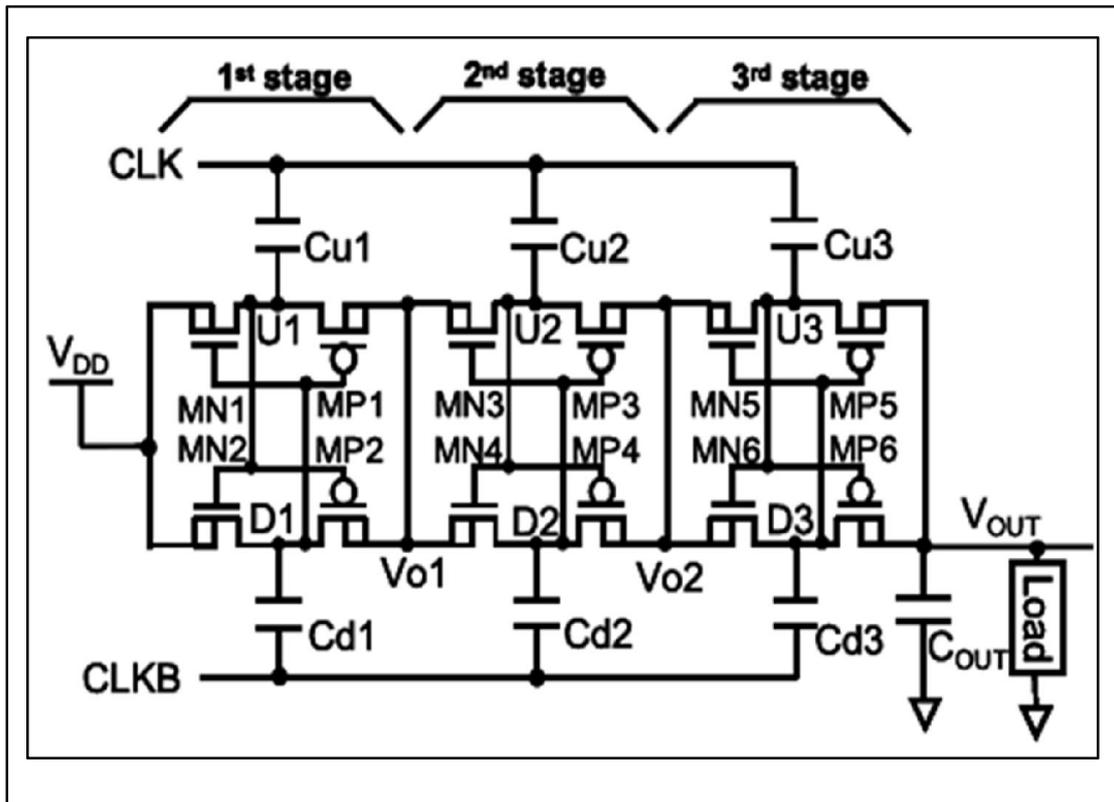


Figure 2.13: Multiplieur modulaire à trois étages de doubleur de tension [3] [4].

Chapitre 3 : Résultats de Simulation et Discussions

Ce chapitre est dédié à la présentation des résultantes de simulation et discussions de ces résultats. Les simulations en questions sont effectuées en se servant du logiciel LTspice et en utilisant les modèles de transistors MOS de technologie de circuits intégrés 'CMOS 65 nm'. Deux différentes architectures de pompes de charge de conversion de tension DC-DC souhaitables pour les applications nécessitant des de faibles tensions d'alimentations sont simulées. La première architecture de pompe de charge simulée est celle d'un doubleur de tension, à deux transistors NMOS interconnectés, présentée dans la section 2.6 du chapitre. La deuxième architecture concernée par la simulation est celle d'un multiplieur de tension à structure modulaire présentée dans la section 2.8 du chapitre 2.

3.9 Le logiciel utilisé dans la simulation :

Le logiciel LTspice est un logiciel libre qui permet la modélisation de circuits électroniques analogues. Il est distribué gratuitement sur internet par la société 'Linear Technology' pour les systèmes d'exploitation Windows.

Il existe dans LTspice principalement deux types d'études pour un circuit électronique. Une étude en fonction de la fréquence, dite analyse harmonique et une autre fonction du temps dite analyse temporelle. Le logiciel permet également d'étudier l'influence de la valeur prise par un composant du circuit (résistance, alimentation continue, capacité, etc.) sur la réponse du circuit. On parle alors d'analyse paramétrique.

Dans chaque cas la modélisation d'un circuit électronique se fait en trois phases :

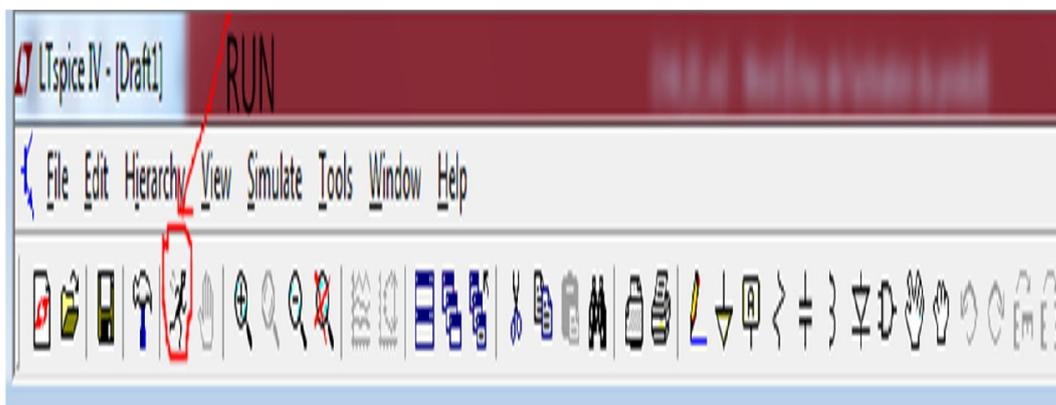
1ère phase : Création du schéma électrique avec la mise en place des composants du circuit.

2ème phase : Définition des paramètres de simulation (étude temporelle ou fréquentielle) et l'ajout ou non d'une étude paramétrique.

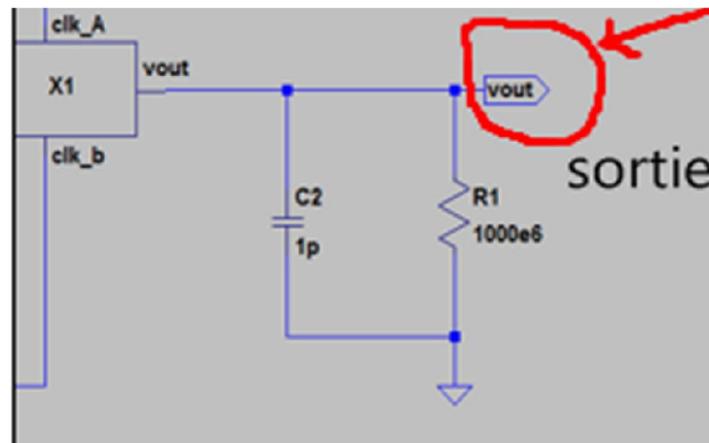
3ème phase : Lancement de la simulation et visualisation des résultats.

Le logiciel LTspice permet d'éviter des erreurs majeures qui entraînent souvent dans la pratique l'endommagement de certains composants électriques coûteux et difficiles à obtenir. LTspice est donc l'un des logiciels les meilleurs et les plus réussis.

Une fois que le circuit précédent est connecté correctement, avec précision et sans erreurs de communication, par exemple, nous pouvons commencer à simuler le circuit que nous avons créé en cliquant dans la barre de menu dans **RUN** et la simulation démarrera immédiatement après avoir également appuyé sur le bouton (Vout) S'il n'y a pas d'erreurs, nous obtenons Sur la courbe montre l'apparition du signal de sortie requis de la pompe de charge et avec une grande valeur sur la valeur d'entrée que nous avons définie avant.



Cliquez sur *Vout* :



3.10 Simulation d'une architecture structure d'une pompe de charge permettant de doubler le niveau de tension d'une horloge :

L'architecture de telle pompe de charge (Fig. 3.1) a été présentée dans la section 2.6 du chapitre 2. Cette architecture est utilisée pour les applications opérant avec de faibles tensions d'alimentation et nécessitant des niveaux de tension largement suffisant pour commandes des transistors NMOS agissant comme des interrupteurs.

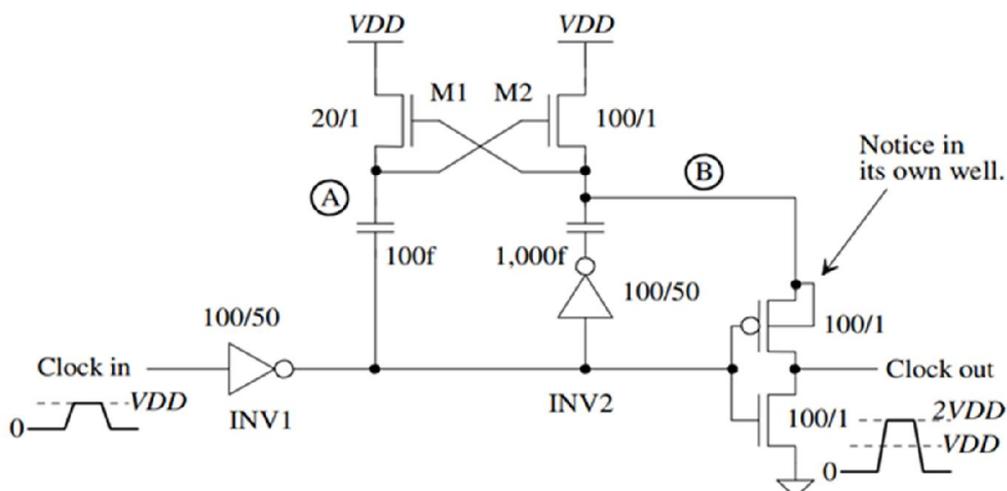


Figure 3.1: Structure d'une Pompe de charge utilisant deux transistors NMOS

interconnectés [2]

L'architecture de cette pompe de charge est implémentée en technologie CMOS 65nm sous l'environnement du simulateur 'LTspice' (Fig. 3.2).

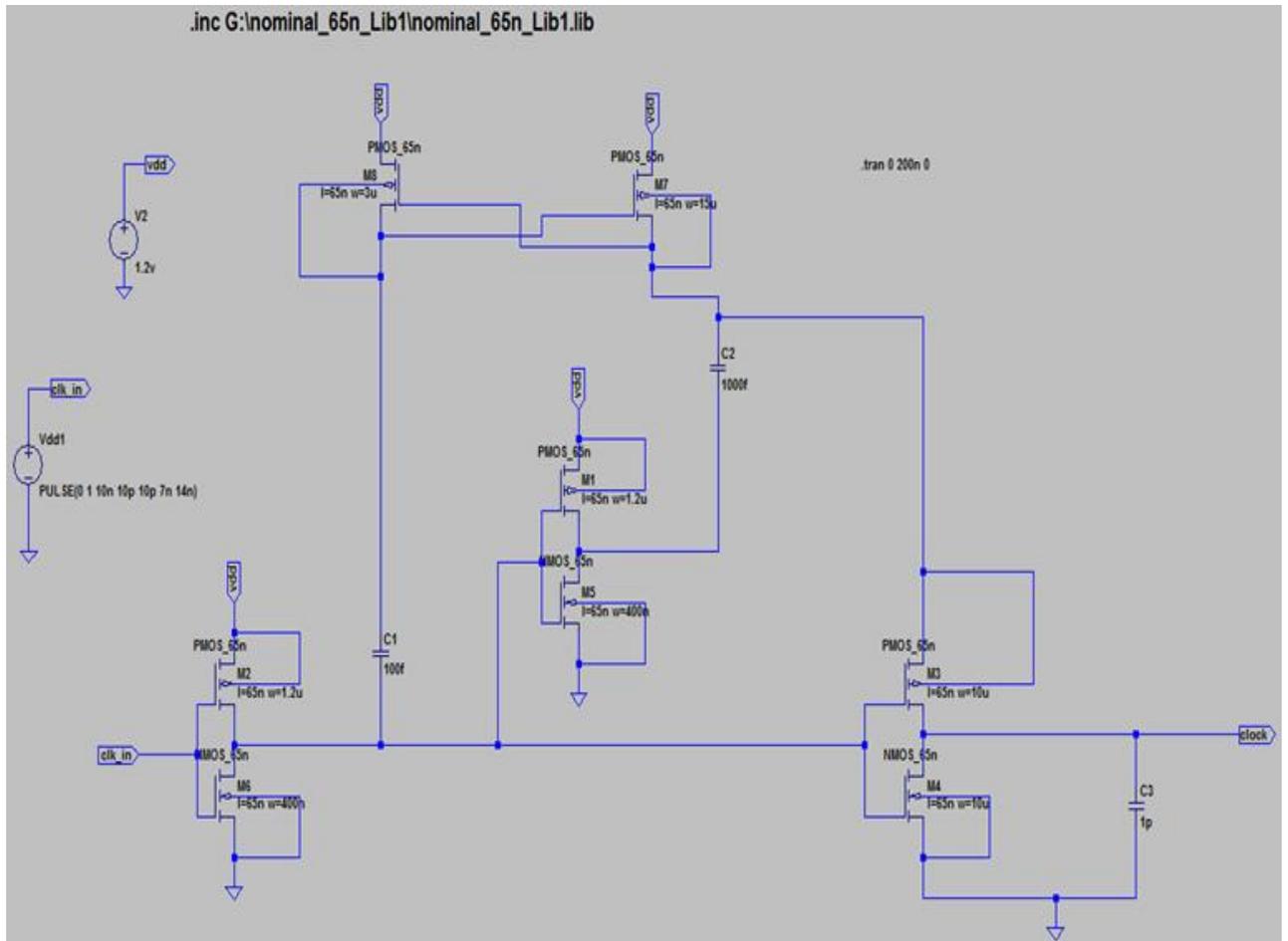
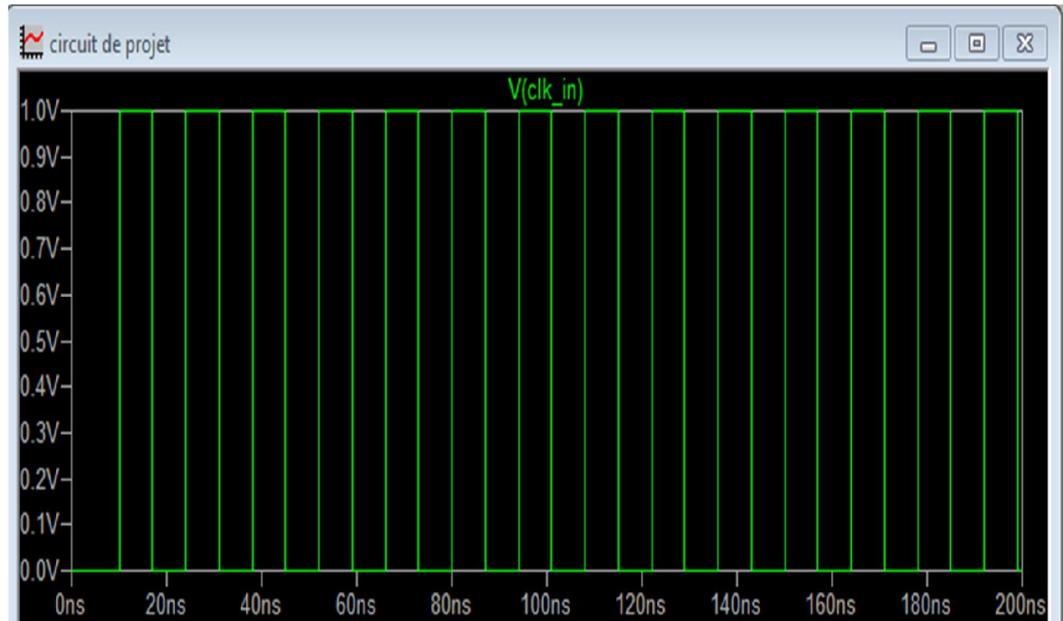


Figure 3.2: La première structure de pompe de charge implémentée en technologie CMOS 65 nm sous l'environnement 'LTspice'.

Les résultats de simulation de la pompe de charge de la Fig. 3.2 sont présentés dans la Fig. 3.3. Les résultats présentés correspondent aux signaux de l'horloge d'entrée et à l'horloge de sortie. D'après ces résultats, l'amplitude du signal de l'horloge de sortie est égale à deux fois à celui de l'horloge d'entrée.

Les résultats de simulation :

- Signal d'entrée :



- Signal de sortie :

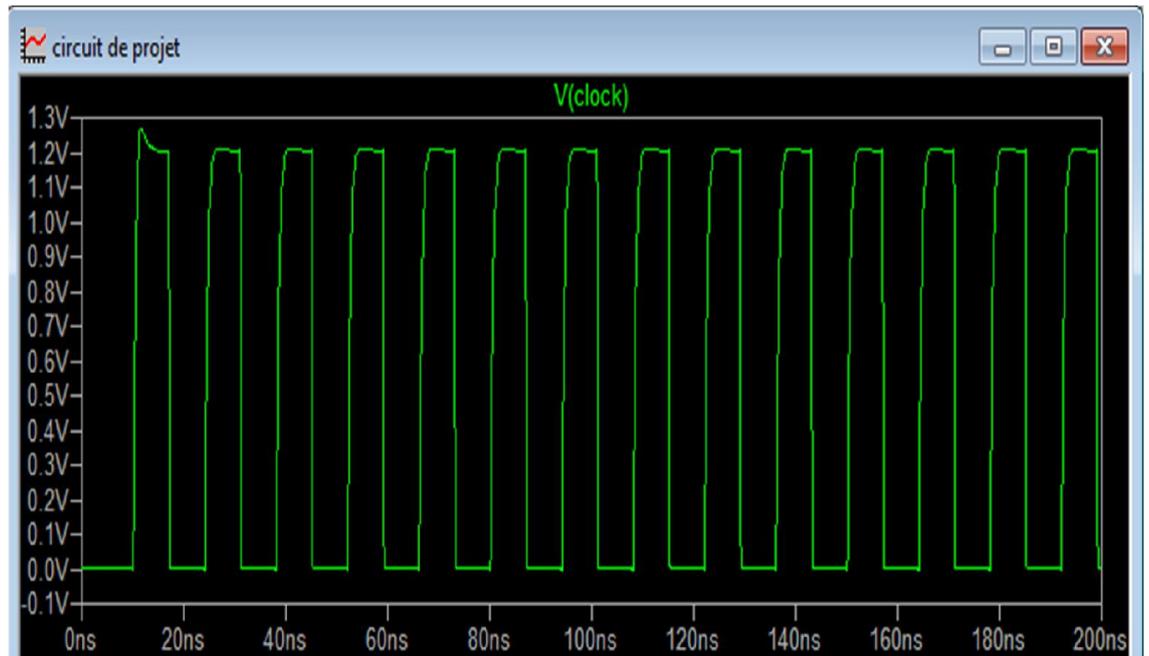


Figure 3.3: Résultats de simulation de pompe de charge de la Fig. 3.2.

3.11 Simulation d'une architecture de pompe de charge de multiplieur de tension :

de tension :

Cette pompe de charge a été présentée dans la section 2.8 du chapitre. Son architecture utilise une structure modulaire et permet d'obtenir une tension de sortie multiple de la tension d'entrée dépendamment du nombre d'étages utilisés. Le schéma du module de base, doubleur de tension, implémenté sous l'environnement 'Ltspice' en technologie CMOS 65 nm est donné par la Fig. 3.4.

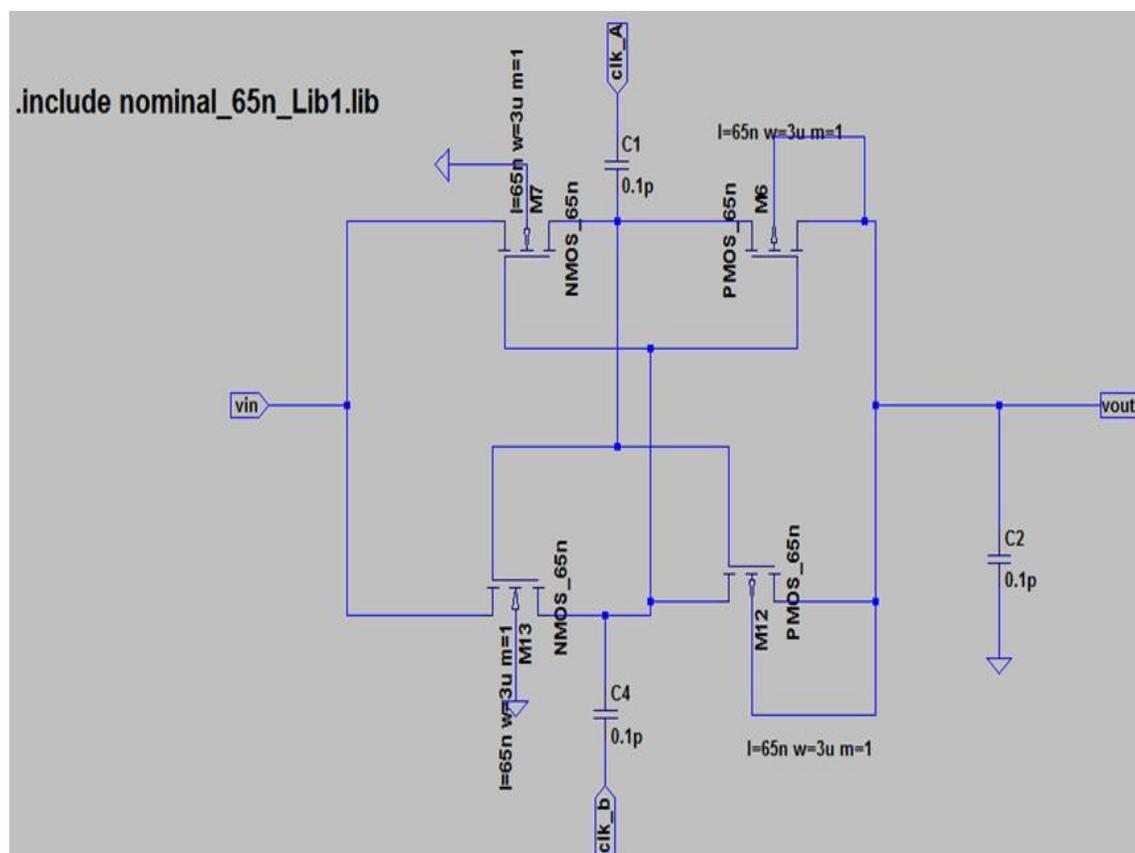
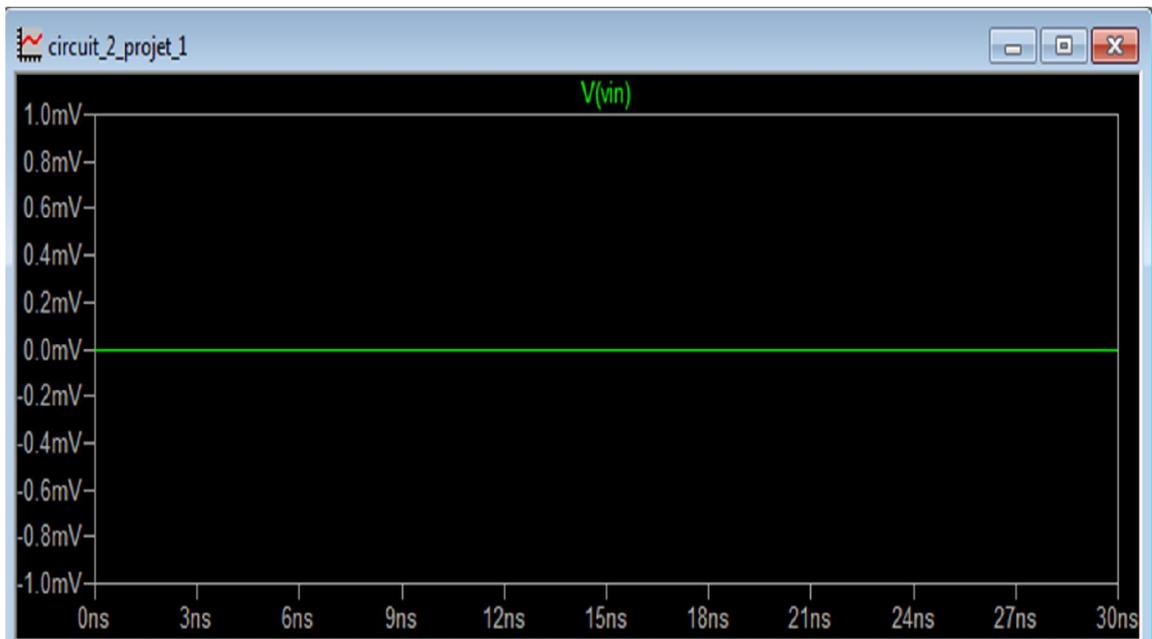


Figure 3.4 : Schéma 'LTspice' du module de base (doubleur de tension) d'une pompe de charge de multiplieur de tension. Les résultats de simulation, signal d'entrée et signal de sortie, de ce doubleur de tension sont présentés dans la Fig. 3.5. Le signal de sortie est d'amplitude égale au double de l'amplitude du signal d'entrée.

Les résultats de simulation :

- Signal d'entrée :



- Signal de sortie :

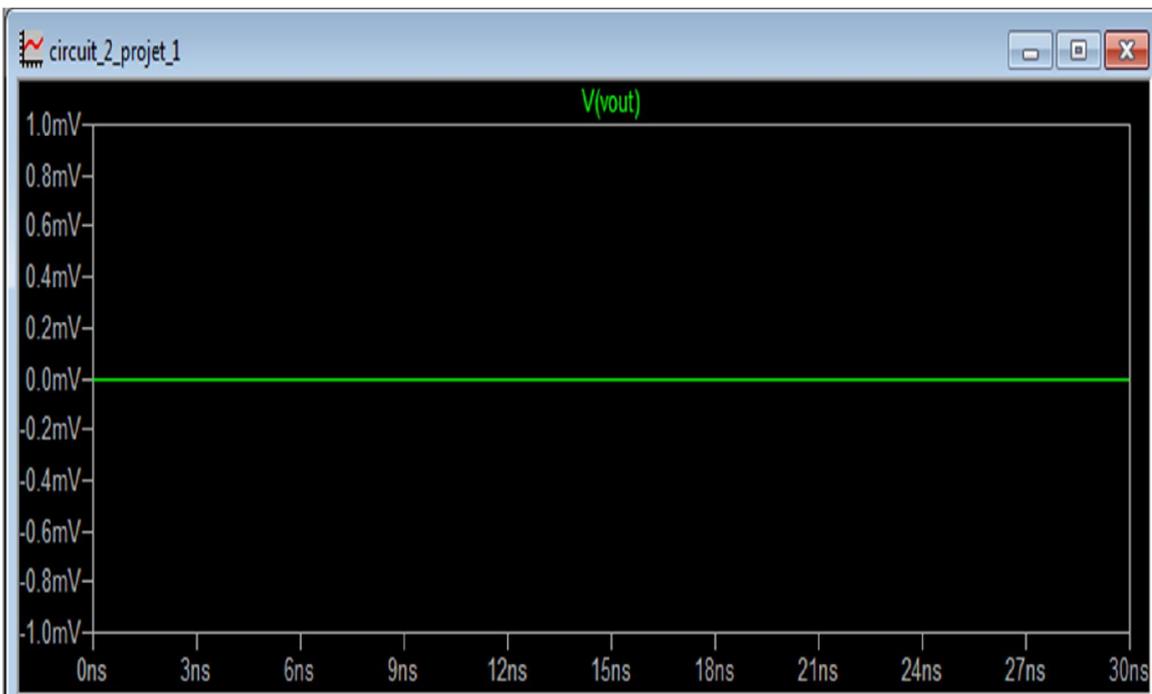


Figure 3.5 : Résultats de simulation 'LTspice' du doubleur de tension de la Fig. 3.3.

1.1.1 Simulation d'un multiplieur de tension à deux étages d'un doubleur de tension :

En utilisant ce module de base (Fig. 3.4) de doubleur de tension, une pompe de charge de deux étages est implémentée et simulée. Le schéma correspondant et les résultats de simulation montrant le signal d'entrée et le signal de sortie sont donnés respectivement par les figures 3.6 et 3.7.

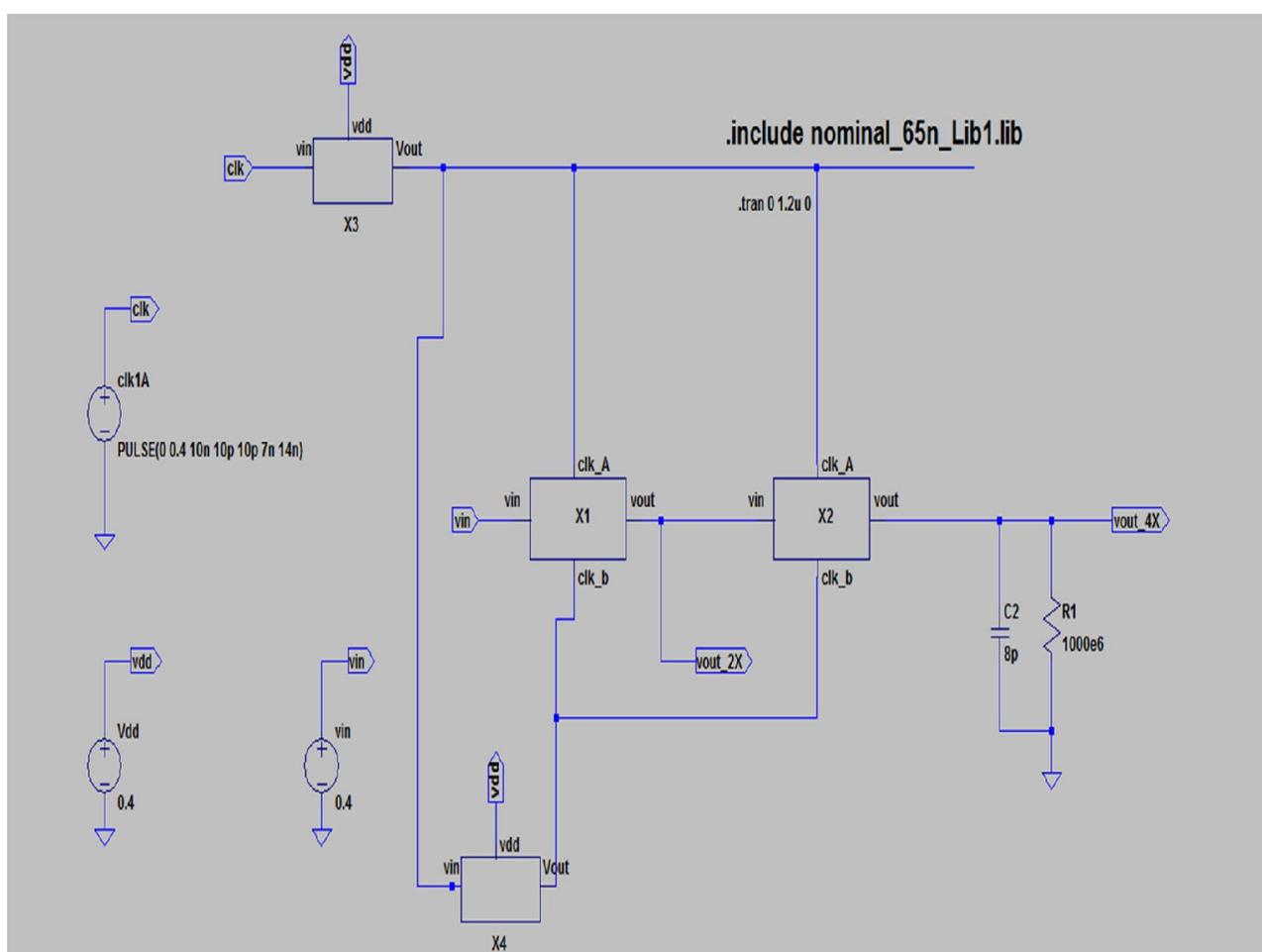
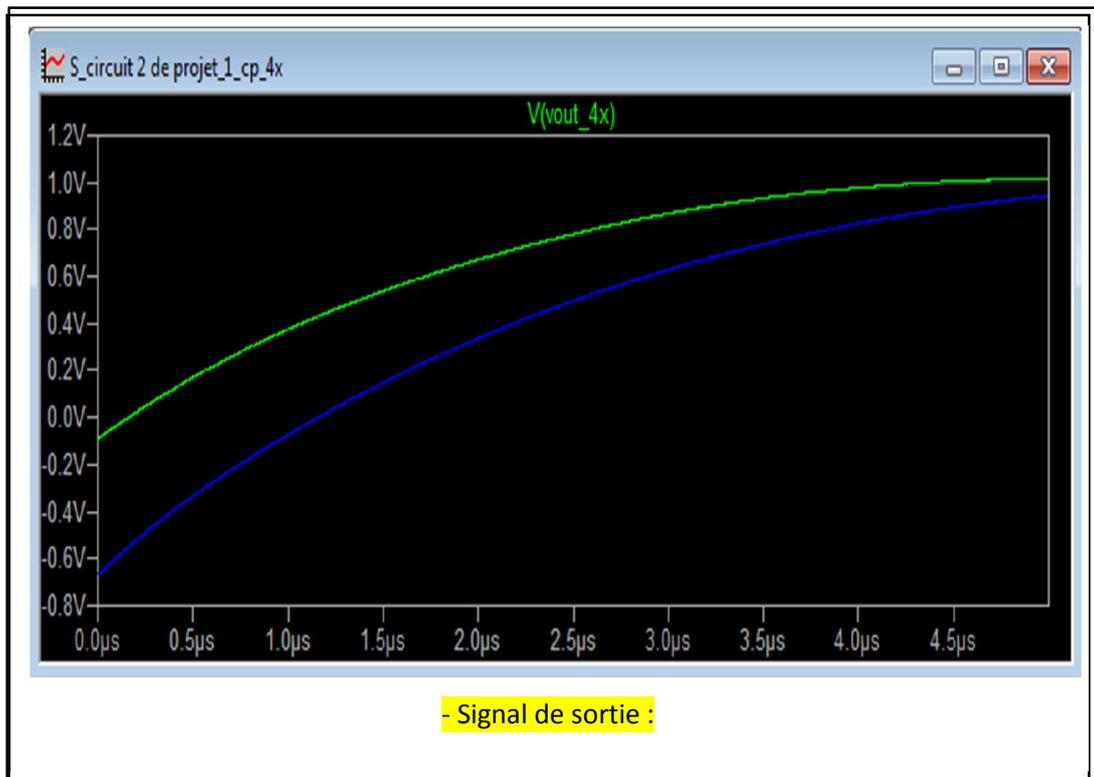
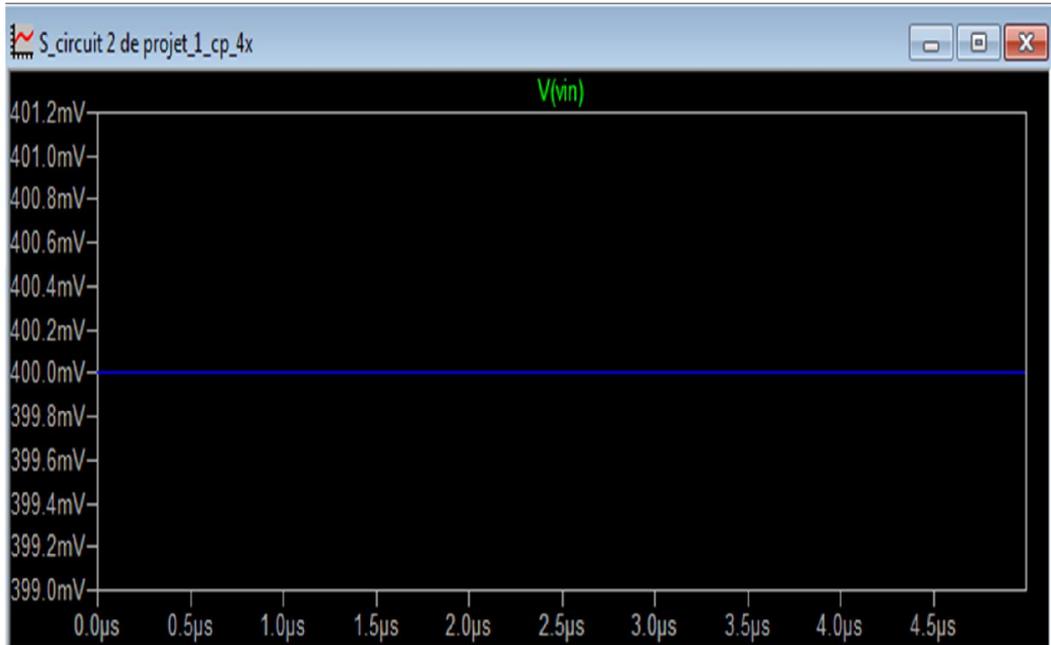


Figure 3.6 : Schéma d'une le pompe de charge à trois etage d'un doubleur de tension.

Les résultats de simulation :

- Signal d'entrée :



- Signal de sortie :

Figure 3.7 : Résultats de simulation 'LTspice' montrant le signal d'entrée et le signal de sortie de la pompe de charge à deux étages de la Fig. 3.6.

1.1.2 Simulation d'un multiplieur de tension à trois étages d'un doubleur de tension :

De la même manière que précédemment, une pompe de charge de trois étages est implémentée et simulée. Le schéma correspondant et les résultats de simulation montrant le signal d'entrée et le signal de sortie sont donnés respectivement par les figures 3.8 et 3.9.

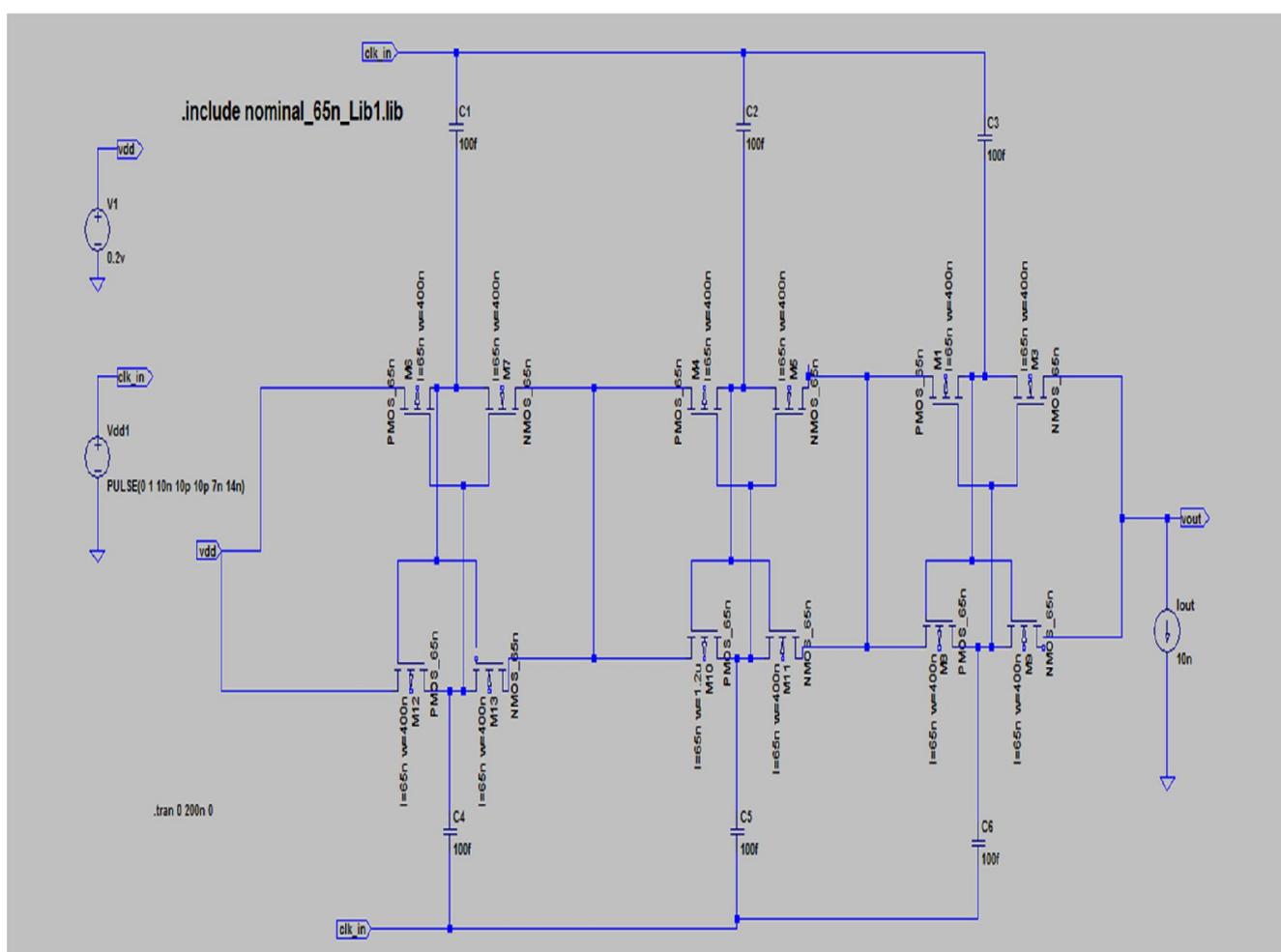
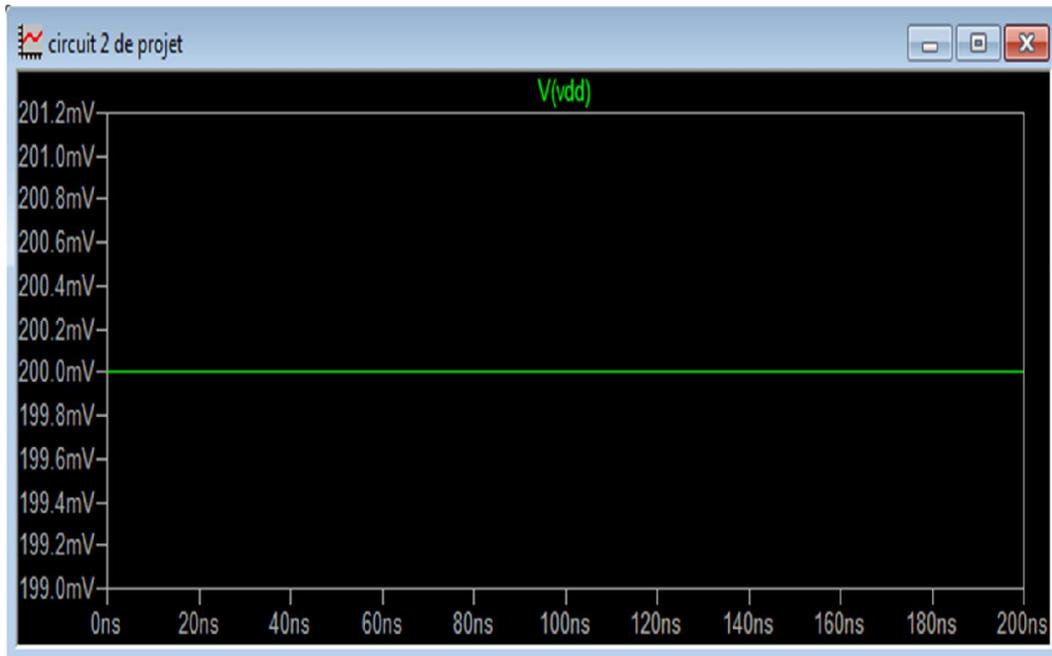


Figure 3.8 : Schéma d'une le pompe de charge à trois etage d'un doubleur de tension.

Les résultats de simulation :

- Signal d'entrée :



- Signal de sortie :

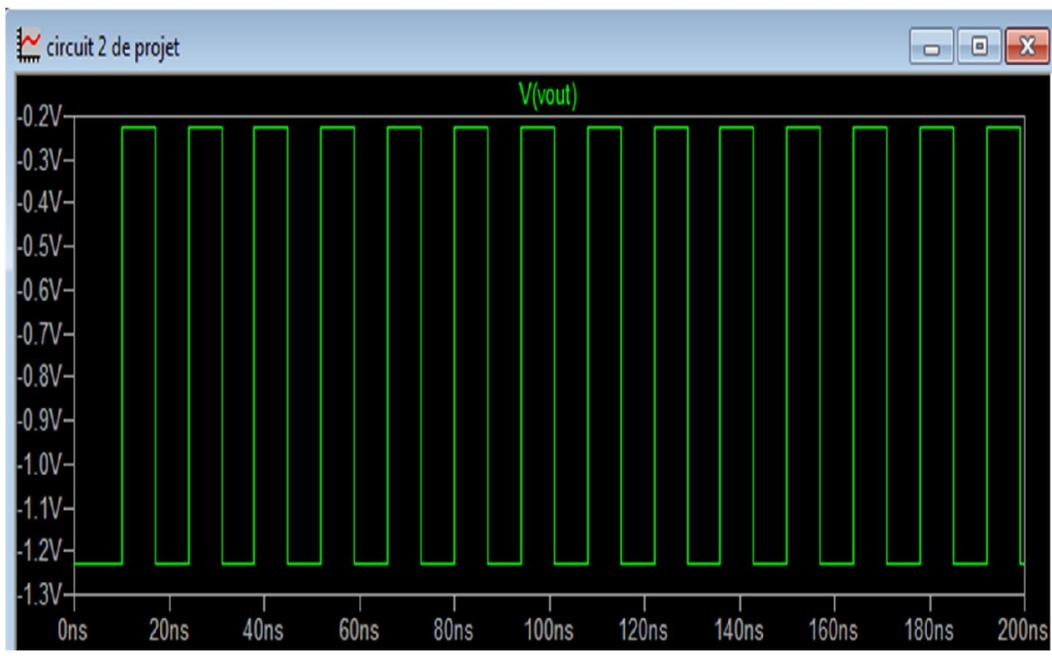


Figure 3.9 : Résultats de simulation 'LTspice' montrant le signal d'entrée et le signal de SORTIE de la pompe de charge à trois étages de la Fig. 3.8

Conclusion générale

Le thème de ce mémoire était l'étude et la simulation de pompes de charge de conversion de tension DC-DC utilisées dans domaine des circuits intégrés (CI). L'intérêt et l'importance ce genre de circuits ont été abordés dans l'introduction générale. Ces circuits sont, généralement, utilisés pour générer des tensions supérieures, inférieures ou de polarité inverse d'une tension d'entrée. Une importante application des pompes de charge est la génération, à partir de la tension de la batterie alimentant d'un 'CI', des tensions d'alimentation des différents blocks composant le 'CI' et dont les tensions d'alimentation sont différentes. Une deuxième importante application des pompes de charge est la collecte de l'énergie environnante pour l'alimentation des circuits nécessitant une auto-alimentation tels que des capteurs intelligents comme dans les applications de l'internet des objets (IoT) ou les applications biomédicales nécessitant des capteurs qui s'autoalimentent.

Le premier chapitre du mémoire était consacré à la présentation du principe de base de fonctionnement des pompes de charge de conversion de tension DC-DC ainsi que les paramètres les plus importants qui les caractérisent. Parmi ces paramètres, ils y'a la tension minimale acceptable à l'entrée, le rendement de conversion de tension, la surface totale d'intégration, le temps de réponse et les pertes d'énergie des pompe de charge.

Le deuxième chapitre était réservé pour l'exposition des différentes architectures existantes les plus populaires des pompes de charge de conversion de tension DC-DC. Parmi ces dernières, les architectures basées sur le principe de commutation

d'interrupteurs implémentés par des transistors MOS sont les plus utilisées. Ceci vient du fait que l'intégration des pompes de charge avec ce genre d'architectures ne requièrent pas de large surface. Les architectures les plus populaires de ce type de pompes de charges on trouve : la pompe de charge Dickson, la pompe de charge 'Bootstrap', la pompe de charge 'Dickson double, le générateur de signaux d'horloge avec un niveau logique doublé, le doubleur de tension pour des applications de faibles tensions d'alimentation et la structure modulaire de doubleur de tension.

Dans le troisième chapitre, les résultats de simulation de deux différentes architectures de pompe de charges à base d'interrupteurs commutés sont présentés. La première architecture simulée est celle d'une pompe de charge permettant de doubler le niveau de tension d'une horloge d'entrée. La deuxième architecture simulée est celle d'une pompe de charge de multiplieur de tension modulaire.

Les simulations de ces architectures sont effectuées sous l'environnement du simulateur 'LTspice' et avec les modèles de transistors MOS de la technologie 65 nm. Les résultats de simulation démontrent que les deux architectures fonctionnent d'une manière correcte avec des tensions d'alimentation d'entrées de faibles valeurs.

