**** **REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE**

**MINISTERE DE L’ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE SCIENTIFIQUE**

***Université de Mohamed El-Bachir El-Ibrahimi - Bordj Bou Arreridj***

**Faculté *des Sciences et de la technologie***

***Département d'Electronique***

***Rapport***

**Projet de Fin de Cycle (PFC)**

**MCIL 3**

FILIERE : Electronique

**Spécialité : Industries électroniques**

Par :

*CAID Rabah*

*MADJIDI Mohamed Adib*

*CHEIKHAOUI Issam*

*Intitulé*

***Etude d’une boucle à verrouillage de phase (PLL) et ses applications***

***Présenté le : .. /09/2022***

***Devant le Jury composé de :***

|  |  |  |  |
| --- | --- | --- | --- |
| ***M.***  *Yahia BELHADDAD* | ***MCB*** | ***Président*** | ***Univ-BBA*** |
| ***M.***  *M. E. DAACHI* | ***MCA*** | ***Encadreur*** | ***Univ-BBA*** |
| ***M.*** *Boualem BOUKAZATA* | ***MCB*** | ***Examinateur*** | ***Univ-BBA*** |

*Année Universitaire 2021/2022*

***Dédicaces***

***Je dédie ce travail***

***A ma mère, pour son amour, ses encouragements et ses sacrifices***

***A mon père, pour son soutien, son affection et la confiance qu'il m'a accordé***

***A mon oncle, qui m'a ouvert toutes ses portes et l'a soutenu***

***A la mémoire de ma chère grand-mère et grand -père A tous les membres de ma famille***

***A tous mes amis***

***Et tous ceux qui m'aiment.***

***(Cheikhaoui Issam, madjidi adib ,caid rabeh)***

***Remerciements***

***Nous remercions Dieu Tout-Puissant de nous avoir donné la santé et la volonté de commencer et de terminer ce message.***

***Tout d'abord, ce travail ne serait pas riche et ne pourrait être achevé sans l'aide et la supervision de Mr Hocine daachi***

***Nous le remercions pour son soutien moral et ses encouragements.***

***Nous remercions également tous nos professeurs pour leur générosité et leur grande patience, malgré leurs charges académiques et professionnelles.***

***Table des matières***

***Introduction générale.............................................................................1***

***Chapitre I : La boucle à verrouillage de phase (Phase-Locked Loop : PLL)***

***I.1.*** *Historique…………………………………..................................................…………3*

*I.2. Définition de la PLL……………..................................................…………………...3*

*I.3. Elément constitutifs de la PLL …………................................................………......4*

*I.3.1 Comparateur de phase.................................................……………………......4*

*I.3.2 Filtre passe-bas.................................................…………………….……….....4*

*I3.3 Oscillateur VCO...................................................………………….…………...4*

*I.4 Principe de Fonctionnement de la PLL...................…................……………………5*

I.5 PLL décrochée (non verrouillée).............................................................................5

I.6 PLL accrochée (verrouillée).....................................................................................5

I.7 Plage de capture et plage de maintien....................................................................6

***Chapitre II : Etude de quelques applications d’une PLL***

***II.1*** *Introduction.............................................................................................................8*

*II.2 Synthèse de fréquence...........................................................................................8*

*II.2.1 Historique sur la synthèse de fréquence****…..................................................8***

*II.2.2 Définition de synthèse de fréquence****………...............................……………****8*

*II.2.3 Principe des synthétiseurs PLL ......................................................................9*

*II.4 Démodulation de fréquence*

*II.4.1 Historique ...................................................................................................10*

*II.4.2 définition de La démodulation......................................................................10*

*II.4.3 définition de La démodulation de fréquence................................................*11

***Chapitre III : Résultats de simulation***

*III.1 Introduction.........................................................................................................13*

*III.2 Résultats de simulation.......................................................................................13*

*III.3 PLL 4046.............................................................................................................13*

*III.4 Diviseur de fréquence (Compteur) 4040.............................................................14*

*III.4.1 Comment fonctionne le 4040 ??...............................................................15*

*III.6 Multiplication de fréquence................................................................................15*

*III.5 Synthèse de fréquence......................................................................................20*

*III.7**Démodulation de fréquence................................................................................22*

*III.8 Commande en vitesse d’un moteur à courant continu.......................................23*

*III.9 Conclusion*.......................................*..................................................................25*

***Conclusion générale.............................................................26***

***Références bibliographique.................................................28***

***Résumé :***

*Notre mémoire de fin d’étude s’inscrit dans le cadre des applications de la PLL. En premier lieu, il s’agit d’étudier le principe d’une PLL tout en mettant l’accent sur ses principales applications (démodulation, multiplication et synthèse de fréquence, asservissement de la vitesse d’un moteur à courant continu, …) en second lieu, des tests en ce qui concerne l’ensemble des applications de la PLL ont été effectué par simulation dans l’environnement Proteus. Les résultats de simulation obtenus sont en adéquation avec la théorie relative à la PLL. La présente étude nous a permis, entre autres, de savoir de l’utilité d’un tel dispositif électronique se présentant sous forme d’un petit circuit intégré.*

**Abstract**

*Our end-of-study dissertation is part of the applications of the PLL. Firstly, it is a question of*

*studying the principle of a PLL while emphasizing its main applications (demodulation,*

*frequency multiplication and synthesis, control of the speed of a DC motor, etc.) secondly,*

*tests concerning all the applications of the PLL were carried out by simulation in the Proteus*

*environment .* *The simulation results obtained are in line with the theory relating to the PLL.*

*This study allowed us, among other things, to know the usefulness of such an electronic*

*device in the form of a small integrated circuit.*

***ملخص***

*أطروحة نهاية الدراسة لدينا هي جزء من تطبيقات PLL. أولاً ، يتعلق الأمر بدراسة مبدأ PLL مع التأكيد على تطبيقاته الرئيسية (الاستخلاص ، ومضاعفة التردد والتوليف ، والتحكم في سرعة محرك DC ، وما إلى ذلك) ، وثانيًا ، تم إجراء الاختبارات المتعلقة بجميع تطبيقات PLL من خلال المحاكاة في بيئة المتقلبة. تتوافق نتائج المحاكاة التي تم الحصول عليها مع النظرية المتعلقة بـ PLL. سمحت لنا هذه الدراسة ، من بين أمور أخرى ، بمعرفة فائدة مثل هذا الجهاز الإلكتروني في شكل دائرة صغيرة متكاملة.*

***Table des Figures***

***Figure I.1 :*** *Schéma synoptique de la PLL................................................................3*

***Figure I.2 :*** *plage de capture.....................................................................................6*

***Figure I.3 :*** *plage de capture.....................................................................................6*

***Figure II.1****: Schéma fonctionnel d'un type courant de synthétiseur de fréquence à base d’une PLL……………………………………………………………………………….9*

***Figure II.2 :*** *Démodulation de fréquence................................................................11*

***Figure III.1 :*** *Bloc**diagramme d’une PLL (Exemple le CD4046B).........................14*

***Figure III.2 :*** *Compteur 4040..................................................................................15*

***Figure III.3 :*** *Circuit Multiplicateur de fréquence dans l’environnement Proteus..16*

***Figure III .4*** *: le résultat de la position n°1..............................................................17*

***Figure III.5 :*** *Multiplication par 2 de la fréquence d’entrée.....................................17*

***Figure III.6 :*** *Multiplication par 4 de la fréquence d’entrée.....................................18*

***Figure III.7 :*** *Multiplication par 8 de la fréquence d’entrée.....................................19*

***Figure III.8 :*** *Multiplication par 16 de la fréquence d’entrée...................................19*

***Figure III.9 :*** *Multiplication par 32 de la fréquence d’entrée...................................20*

***Figure III.10 :*** *Synthétiseur de fréquence* ***............................................................21***

***Figure III .11 :*** *synthèse de fréquence (fréquence de sortie identique au pas)....21*

***Figure III.12 :*** *Schéma électrique du circuit de Démodulation de fréquence........22*

***Figure III.13 :*** *Schéma électrique du circuit de commande de vitesse d’un moteur à CC sous Proteus...................................................................................................22*

***Introduction générale***

*La boucle à verrouillage de phase, en anglais****P****hase-****L****ocked* ***L****oop (PLL), consiste en un dispositif électronique permettant de faire fonctionner le système de sorte que la phase du signal de sortie (ou bien la fréquence) suive celle du signal de l'entrée. Autrement dit, il s'agit d'un asservissement de phase dont le rôle est d'asservir la phase d'un oscillateur local à celle d'un signal extérieur. La grandeur de sortie de la PLL dépend de son application.*

*Le principe de la boucle à verrouillage de phase a été introduit pour la première fois par à un ingénieur français,*[*Henri de Bellescize*](https://fr.wikipedia.org/wiki/Henri_de_Bellescize)*, en*[*1932*](https://fr.wikipedia.org/wiki/1932_en_science)*. Il a fallu attendre l’avènement des circuits intégrés dans les années 1960 pour la réalisation des premiers circuits correspondants. Aujourd’hui, grâce au développement de technologies, les boucles à verrouillage de phase se présentent sous forme de circuits intégrés et quelques composants périphériques largement utilisés en électronique. En premier temps, la PLL était destinée entre autres à améliorer les conditions de réception des signaux radioélectriques noyés dans le bruit en modulation d’amplitude. A vrai dire, les PLLs ont envahi tout le domaine des télécommunications.*

*Notre mémoire de fin d’étude s’inscrit dans le cadre des applications de la PLL. En effet, l’objectif de notre travail est d’étudier en premier lieu le principe d’une PLL, puis se pencher sur ses principales applications (démodulation, synthèse de fréquence, asservissement de la vitesse d’un moteur à courant continu, …) en second lieu, l’étude sera effectuée par simulation dans l’environnement Proteus.*

*Par ailleurs, pour la rédaction de notre mémoire, nous avons choisi de l’organiser en trois chapitres suivis d’une conclusion générale.*

*Dans le premier chapitre, nous allons décrire le contexte dans lequel est inventée la PLL tout en présentant des notions de base et le principe de fonctionnement d’une la PLL. Dans le deuxième chapitre, nous présenterons les différentes applications auxquelles est destinée une PLL à savoir la synthèse et la multiplication de fréquence, la démodulation de fréquence et d’amplitude et enfin la commande d’un moteur à courant continu en vitesse. Dans le chapitre III, nous présenterons les résultats de simulation relatifs aux différentes applications. Nous terminerons notre manuscrit par une conclusion générale avec des perspectives à ce présent travail.*

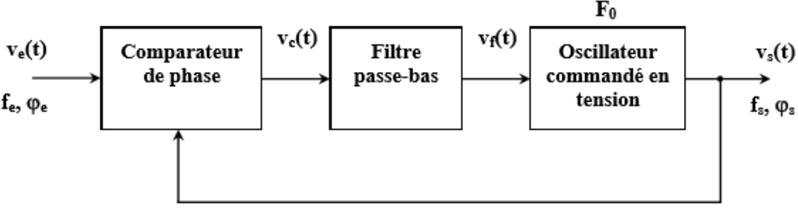
***Chapitre I : La boucle à verrouillage de phase (PLL)***

***I.1******Historique :***

*Les boucles à verrouillage de phase (Phase-Locked Loops or PLL) ou**encore boucles à asservissement de phase, ont été inventées par**Henri De Bellescize en 1932 pour faire de la détection synchrone. La**mise en œuvre de ce principe était délicate compte tenu des moyens de**l'époque, ce qui explique que sa généralisation ait dû attendre les**progrès de la technologie.**Après l'apparition des circuits intégrés, l'utilisation des boucles à**verrouillage de phase s'est étendue de façon considérable dans tous**les domaines des télécommunications, des mesures, et a été conçue et**utilisée pour la première fois pour la réception synchrone de signaux**radio. Depuis lors, il a trouvé de nombreuses applications dans**différents domaines, tels que l'estimation des paramètres fondamentaux**(phase, fréquence et amplitude) des signaux de puissance, mise en**œuvre de filtres adaptatifs et de contrôleurs robustes , contrôle de**machines à courant alternatif et continu ,etc*...[[1]](https://stringfixer.com/fr/Frequency_synthesiser)

***I.2 Définition de la PLL :***

*La PLL est à base d’un montage électronique permettant d'asservir la phase ou la fréquence de sortie d'un système sur la phase ou la fréquence du signal d'entré. Elle peut aussi asservir une fréquence de sortie sur un multiple de la fréquence d'entrée. Plus précisément, la PLL est un circuit synchronisant un signal de sortie (généré par un oscillateur) avec un signal de référence ou d’entrée aussi bien en fréquence qu’en phase. Le principe de fonctionnement de la PLL est expliqué par l'exemple de la PLL linéaire (PLL). Son schéma bloc est illustré à la figure (I.1).*

**

**Figure I.1*:***Schéma synoptique de la PLL

*Une PLL constitue de 3 composants de base :*

*1. Un comparateur de phase.*

*2. Un filtre passe-bas.*

*3. Un oscillateur commandé en tension (VCO).* [[2]](https://stringfixer.com/fr/Frequency_synthesiser)

***I.3 Elément constitutifs de la PLL :***

***I.3.1 Comparateur de phase :***

*Il s’agit d’un multiplicateur analogique. C’est un circuit à deux entrées qui donne une tension de sortie proportionnelle à la différence de phase des signaux se trouvant à son entrée sa sortie fournissant une tension :*

*V(t) = K (φe− φs)*

*Avec :*

*K : Constante appelée dont la dimension s’exprime en volt/rad.*

*Qe : Phase d’entrée du compacteur de phase.*

*Qs : Phase de sortis du comparateur de phase.*

***I.3.2 Filtre passe-bas :***

*Son existence est indispensable, car il permet par le choix de ses paramètres de réaliser un système* *asservissable. Son rôle est de ne laisser passer que les signaux de basses fréquence inferieures à une certaine fréquence bien définie, appelée fréquence de coupure*

***I.3.3 Oscillateur VCO :***

*Son rôle est de délivrer un signale périodique, dont la fréquence dépend de la tension commande appliquée à son entrée.*

*Avec :*

*f = fo + AVc*

*Fo : fréquence centrale*

*VC : tension de commande. A : constante*

***I.4 Fonctionnement de la PLL :***

*En absence de signal injecté à l’intérieur de la boucle, ou si la fréquence de signale injecté est en dehors de la plage de fonctionnement du VCO, la boucle est dite non verrouillée et la fréquence en sortie de la boucle est égale à la fréquence centrale du VCO (****fs*** *=* ***f0****).*

*Une boucle non verrouillée n’a aucun intérêt .Une fois que la boucle est verrouillée et accrochée, la fréquence d’entrée peut varier dans une certaine plage sans que cette dernière décroche. C’est la plage normale de fonctionnement de la PLL ou la plage de verrouillage caractérisée par l’égalité des fréquences d’entrée* ***fe*** *et de sortie* ***fs*** *. On dit alors la boucle est verrouillée*

*Ainsi le rôle de la boucle à verrouillage de phase est de faire en sorte que les fréquences des signaux appliqués sur les deux entrées du comparateur de phase soient identiques, les phases de ces deux signaux pouvant être différentes*

***.***

***I.5 PLL décrochée (non verrouillée) :***

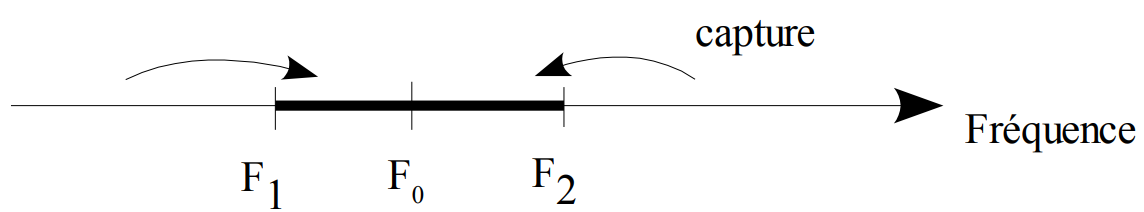
*Imaginons que le signal e(t) ait une fréquence de 100kHz. On peut imaginer qu'à cet instant le VCO oscille à sa fréquence libre, 1Mhz. La sortie du multiplieur comprend donc deux fréquences : 1,1MHz, et 900kHz. Le filtre passe-bas ne laisse passer aucune fréquence, sa sortie est donc nulle : confirmation, le VCO oscille bien à sa fréquence libre. On dit alors que la PLL est non verrouillée. Aucun asservissement ne peut se faire, les fréquences d'entrée et de sortie n'ont rien à voir.*

***I.6 PLL accrochée (verrouillée) :***

*Supposons maintenant que la fréquence d'entrée ait une fréquence de 1,010 Mhz. Si le VCO est sur sa fréquence libre, En sortie du mélangeur (autre dénomination pour un multiplieur), on a 2,01 Mhz (filtré) et 10kHz. La tension d'entrée du VCO oscille et n'est plus nulle. La fréquence de sortie oscille temporairement autour de la fréquence libre, pour finalement se figer (capture) à la fréquence d'entrée, 1,010 Mhz. La différence de fréquence (le battement de fréquence) devient nulle. La tension d'entrée du VCO est alors continue, elle correspond précisément à la fréquence d'entrée (courbe du VCO). Fe = Fs. La PLL est alors verrouillée*

***I.7 Plage de capture et plage de maintien :***

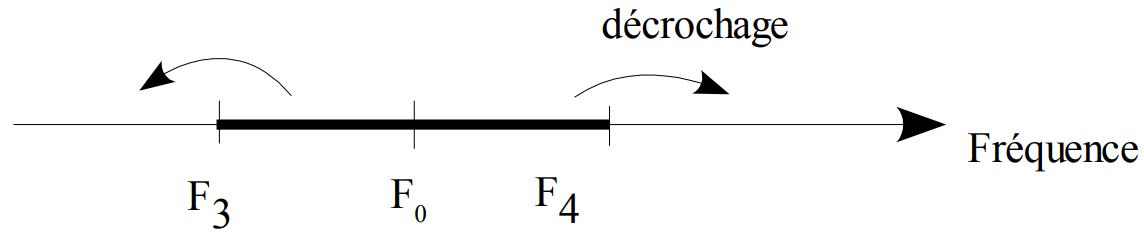
*La PLL passe d'un état non verrouillé à un état verrouillé (capture), pour deux fréquences bien particulières, l'une inférieure à la fréquence libre, F1, l'autre supérieure F2.:*

******

**Figure I.2*:***plage de capture

*La plage de capture est l'intervalle de fréquence pour lequel la PLL est verrouillée mais dont les limites sont fixées par les deux fréquences conduisant à la capture (état non verrouillé vers un état verrouillé).*

*Lorsque la PLL est verrouillée, la fréquence d'entrée peut varier, la fréquence de sortie va suivre. Si la variation est trop grande, la PLL va décrocher.*

******

**Figure I.3*:*** plage de capture

***Chapitre II : Etude de quelques applications d’une PLL***

***II.1 Introduction :***

*Dans ce chapitre, nous allons présenter la partie théorique de nous mémoire, quelque application de PLL (définition, Historique, principe de fonctionnement............)*

***II.1 Synthèse de fréquence***

***II.1.1 Historique***

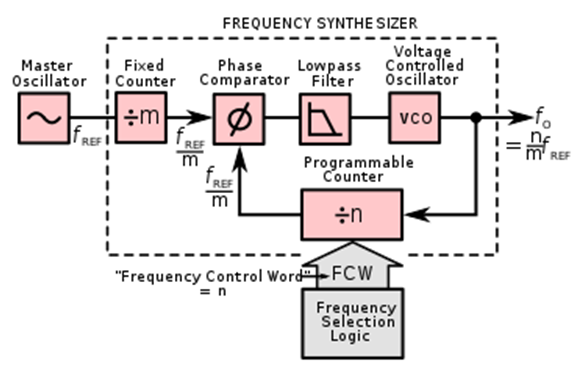
*Avant l'utilisation généralisée des synthétiseurs, afin de capter des stations sur différentes fréquences, les récepteurs de radio et de télévision reposaient sur le réglage manuel d'un oscillateur local, qui utilisait un circuit résonnant composé d'un inducteur et d'un condensateur, ou parfois des lignes de transmission résonnantes; pour déterminer la fréquence. Le récepteur a été ajusté à différentes fréquences soit par un condensateur variable, soit par un commutateur qui a choisi le circuit accordé approprié pour le canal souhaité, comme avec le tuner à tourelle couramment utilisé dans les récepteurs de télévision avant les années 1980. Cependant, la fréquence de résonance d'un circuit accordé n'est pas très stable; les variations de température et le vieillissement des composants ont entraîné une dérive de fréquence, entraînant une dérive du récepteur par rapport à la fréquence de la station. Le contrôle automatique de fréquence (AFC) résout une partie du problème de dérive, mais un réaccorde manuel était souvent nécessaire. Puisque les fréquences de l'émetteur sont stabilisées, une source précise de fréquences fixes et stables dans le récepteur résoudrait le problème* [*[3]*](https://stringfixer.com/fr/Frequency_synthesiser)*.*

***II.1.2 Définition***

*Un synthétiseur de fréquence est un circuit électronique qui génère une gamme de fréquences à partir d'une seule fréquence de référence. Les synthétiseurs de fréquence sont utilisés dans de nombreux appareils modernes tels que les récepteurs radio, les téléviseurs, les téléphones portables, les radiotéléphones, les talkies-walkies, les radios CB, les convertisseurs de télévision par câble, les récepteurs satellite et les systèmes GPS. Un synthétiseur de fréquence peut utiliser les techniques de multiplication de fréquence, de division de fréquence, de synthèse numérique directe, mélange de fréquences et boucles à verrouillage de phase pour générer ses fréquences. La stabilité et la précision de la sortie du synthétiseur de fréquence sont liées à la stabilité et à la précision de son entrée de fréquence de référence. Par conséquent, les synthétiseurs utilisent des fréquences de référence stables et précises, telles que celles fournies par les oscillateurs à cristal* [*[4]*](https://stringfixer.com/fr/Frequency_synthesiser)

***II.1.3 Principe des synthétiseurs PLL***

*Une boucle à verrouillage de phase est un système de contrôle de rétroaction. Il compare les phases de deux signaux d'entrée et produit un signal d'erreur proportionnel à la différence entre leurs phases* [*[5]*](https://stringfixer.com/fr/Frequency_synthesiser)*, Le signal d'erreur est ensuite filtré passe-bas et utilisé pour entraîner un oscillateur commandé en tension (VCO) qui crée une fréquence de sortie. La fréquence de sortie est renvoyée par un diviseur de fréquence à l'entrée du système, produisant une boucle de rétroaction négative. Si la fréquence de sortie dérive, le signal d'erreur de phase augmentera, entraînant la fréquence dans la direction opposée afin de réduire l'erreur. Ainsi, la sortie est verrouillée sur la fréquence de l'autre entrée. Cette autre entrée est appelée la référence et est généralement dérivée d'un oscillateur à cristal, qui est très stable en fréquence. Le schéma fonctionnel ci-dessous montre les éléments de base et la disposition d'un synthétiseur de fréquence basé sur PLL.*

**

**Figure II.1*:*** Schéma fonctionnel d'un type courant de synthétiseur de fréquence à base d’une PLL

***II.3 Démodulation de fréquence :***

***II.3.1 Historique :***

*La démodulation a d'abord été utilisée dans les récepteurs radio. Dans les systèmes radio de télégraphie sans fil utilisés au cours des 3 premières décennies de radio (1884-1914), l'émetteur ne communiquait pas de son (son) mais transmettait des informations sous forme d'impulsions d'ondes radio qui représentaient des messages texte en code Morse. Par conséquent, le récepteur devait simplement détecter la présence ou l'absence du signal radio et produire un clic. L'appareil qui a fait cela s'appelait un détecteur. Les premiers détecteurs étaient des coherers , de simples appareils qui servaient d'interrupteur. Le terme détecteur bloqué, a été utilisé pour d'autres types de démodulateurs et continue d'être utilisé de nos jours pour un démodulateur dans un récepteur radio*.

***II.3.2 définition de La démodulation :***

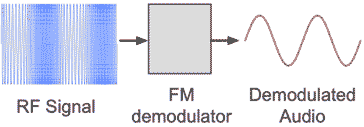
*La démodulation  consiste à extraire le signal original porteur d'informations d'une onde porteuse. Un démodulateur est un circuit électronique  (ou un programme informatique dans une radio définie par logiciel) qui est utilisé pour récupérer le contenu informationnel de l’onde porteuse modulée.*[[7]](https://stringfixer.com/fr/Frequency_synthesiser)*Il existe de nombreux types de modulation donc il existe de nombreux types de démodulateurs. Le signal de sortie d'un démodulateur peut représenter du son (un signal audio analogique), des images (un signal vidéo analogique) ou des données binaires (un signal numérique). Ces termes sont traditionnellement utilisés en relation avec les récepteurs radio, mais de nombreux autres systèmes utilisent de nombreux types de démodulateurs. Par exemple, dans un modem, qui est une contraction des termes modulateur /démodulateur, un démodulateur est utilisé pour extraire un flux de données numériques série d'un signal porteur qui est utilisé pour le transporter à travers une ligne téléphonique, un câble coaxial ou une fibre optique*

***II.3.3 définition de La démodulation de fréquence******:***

*La démodulation FM est également appelée détection FM et parfois l’expression « discrimination FM » est utilisée, bien que ce terme ait tendance à être utilisé avec des circuits et des technologies plus anciens.*

*La démodulation FM est un processus clé dans la réception d’un signal modulé en fréquence. Une fois le signal reçu, filtré et amplifié, il est nécessaire de récupérer la modulation d’origine de la porteuse. C’est ce processus qui est appelé démodulation ou détection*

*Les circuits de démodulateur FM se trouvent dans tout récepteur qui utilise FM: récepteurs de diffusion, radios bidirectionnelles comme les talkies-walkies et les radios portables qui utilisent FM, et tout récepteur où la modulation de fréquence est utilisée*



**Figure II.2*:*** Démodulation de fréquence

***Chapitre III : Résultats de simulation***

***III.1 Introduction :***

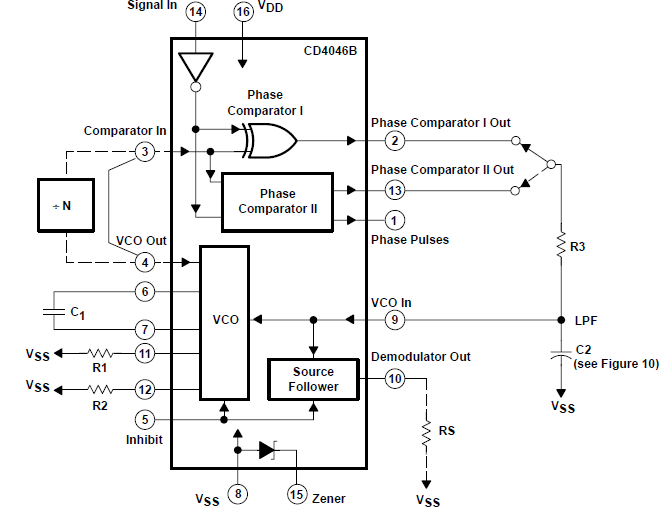
*Dans ce chapitre, nous allons présenter les résultats de simulation relatifs aux différentes applications de la PLL à savoir : la synthèse et la multiplication de fréquence, la démodulation de fréquence et la commande en vitesse d’un moteur à courant continu. Les différentes applications étudiées seront réalisées autour d’une PLL numérique (circuit intégré 4046) et un compteur (diviseur de fréquence) circuit intégré 4040, avec quelques composants périphériques. S’agissant de la commande du moteur à cc, un étage amplificateur va être introduit permettant d’amplifier le signal délivré par le compteur servant comme signal de commande.*

***III.2 Résultats de simulation :***

*Pour la simulation des différentes applications, nous avons préféré d’utiliser l’environnement Proteus. Avant de présenter les résultats de simulation, nous présentons tout d’abord la PLL 4046 et le diviseur de fréquence (compteur) 4040 utilisés sous forme de circuits intégrés*.

***III.3 PLL 4046 :***

*Les PLL semi ­ numériques sont identiques dans leur principe aux dispositifs analogiques, excepté le comparateur de phase et le VCO qui sont de nature numérique. Le circuit intégré 4046 PLL semi ­ numérique est réalisé en technologie CMOS (c'est à dire que la tension de polarisation VDD du circuit peut être comprise entre +5V et +15V). La documentation technique est donnée en annexe.*

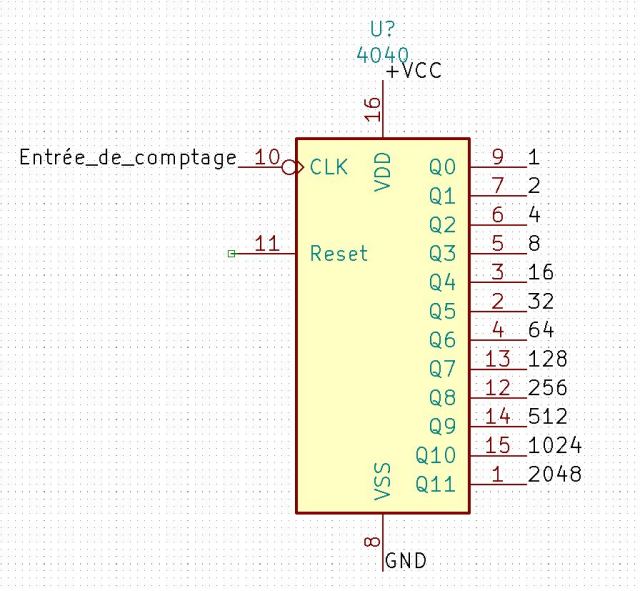
**

**Figure III.1*:*** Bloc diagramme d’une PLL (Exemple  le CD4046B)

***III.4 Diviseur de fréquence (Compteur) 4040 :***

*Le 4040 est un compteur de la série des circuits CMOS 4000. Ce petit composant fait partie des dizaines de fonctions que vous pourrez trouver dans cette grande famille que sont les CMOS. C’est un composant courant sur les cartes électroniques traitant des informations numériques. C’est pourquoi je vais vous expliquez ici comment il fonctionne* [[8]](https://stringfixer.com/fr/Frequency_synthesiser)

### *III.4.1 Comment fonctionne le 4040 ?*



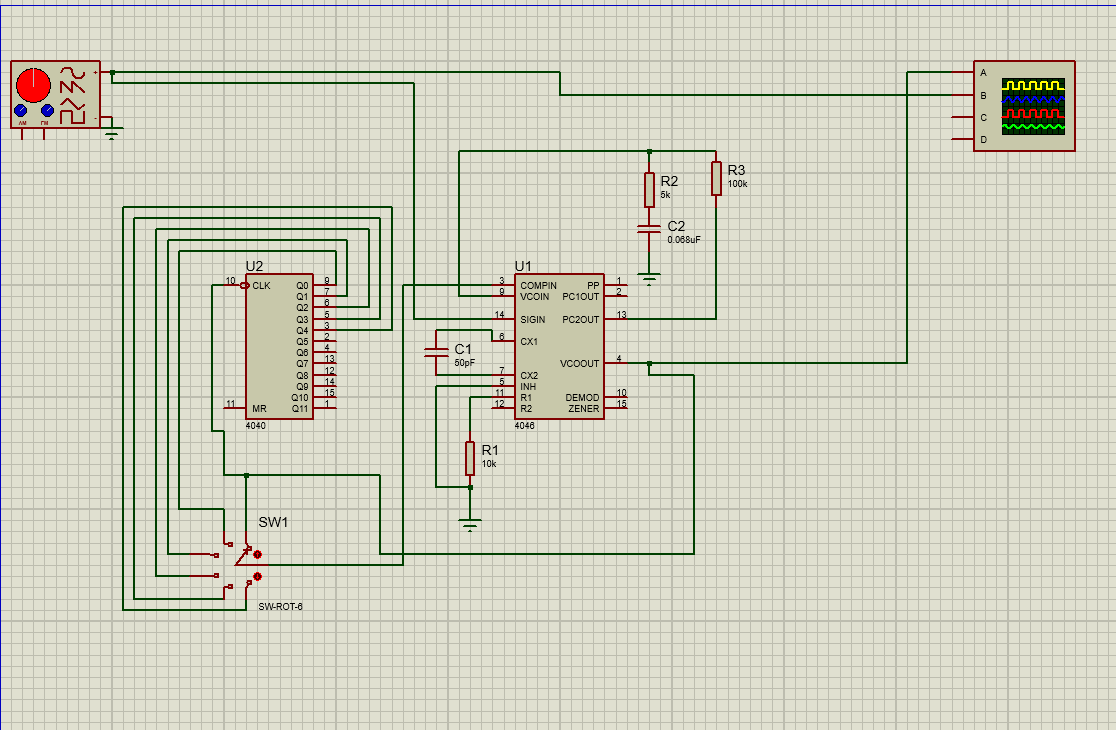
**Figure III.2 :** Compteur 4040

*La broche CLK est celle d’horloge, elle permet d’incrémenter le compteur. Les broches de Q0 à Q11 représentent les sorties permettant de récupérer un nombre sous forme binaire. Quant à la broche du RESET, elle permet une remise à zéro du nombre binaire. La valeur maximale est limitée à 4095, si l’on veut avoir un nombre supérieur à 4095, il est indispensable de se servir d’un autre compteur.*

*Dans ce qui suit, nous donnons les résultats de simulation des différentes applications dans l’ordre indiqué dans l’introduction du présent chapitre.*

***III.5 Multiplication de fréquence :***

Pour cette application, nous donnons le schéma de base sur lequel nos simulations concernant la multiplication de fréquence ont été menées. Nous présentons également les résultats de simulation dans l’environnement Proteus, correspondant aux différentes positions du Switch concrétisant ainsi le principe de la multiplication de fréquence. L’application est réalisée autour d’une PLL et d’un diviseur de fréquence. En effet, plus on divise la fréquence d’entrée plus la fréquence signal à la sortie du VCO est élevée : elle est régi par :

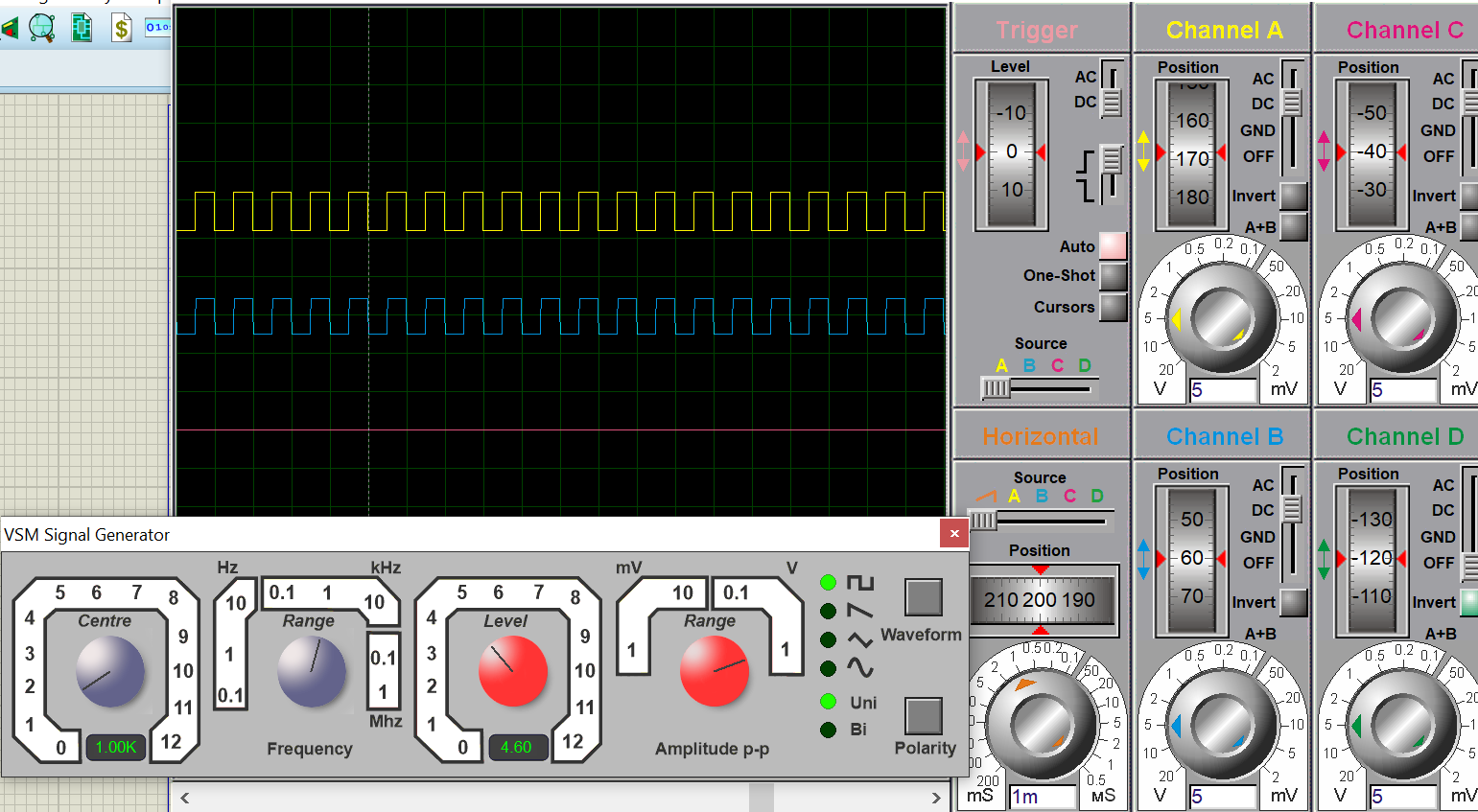
******

**Figure III.3*:*** Circuit Multiplicateur de fréquence dans l’environnement Proteus

*Dans ce schéma, le commutateur à six positions. Nous donnons quelques résultats correspondant aux différentes positions du commutateur. La fréquence d’entrée est délivrée par un GBF, elle est égale à 1 KHz.*

*Le signal de sortie est donné en couleur jaune, alors que le signal d’entrée (sortie du diviseur de fréquence est donnée en couleur bleue.*

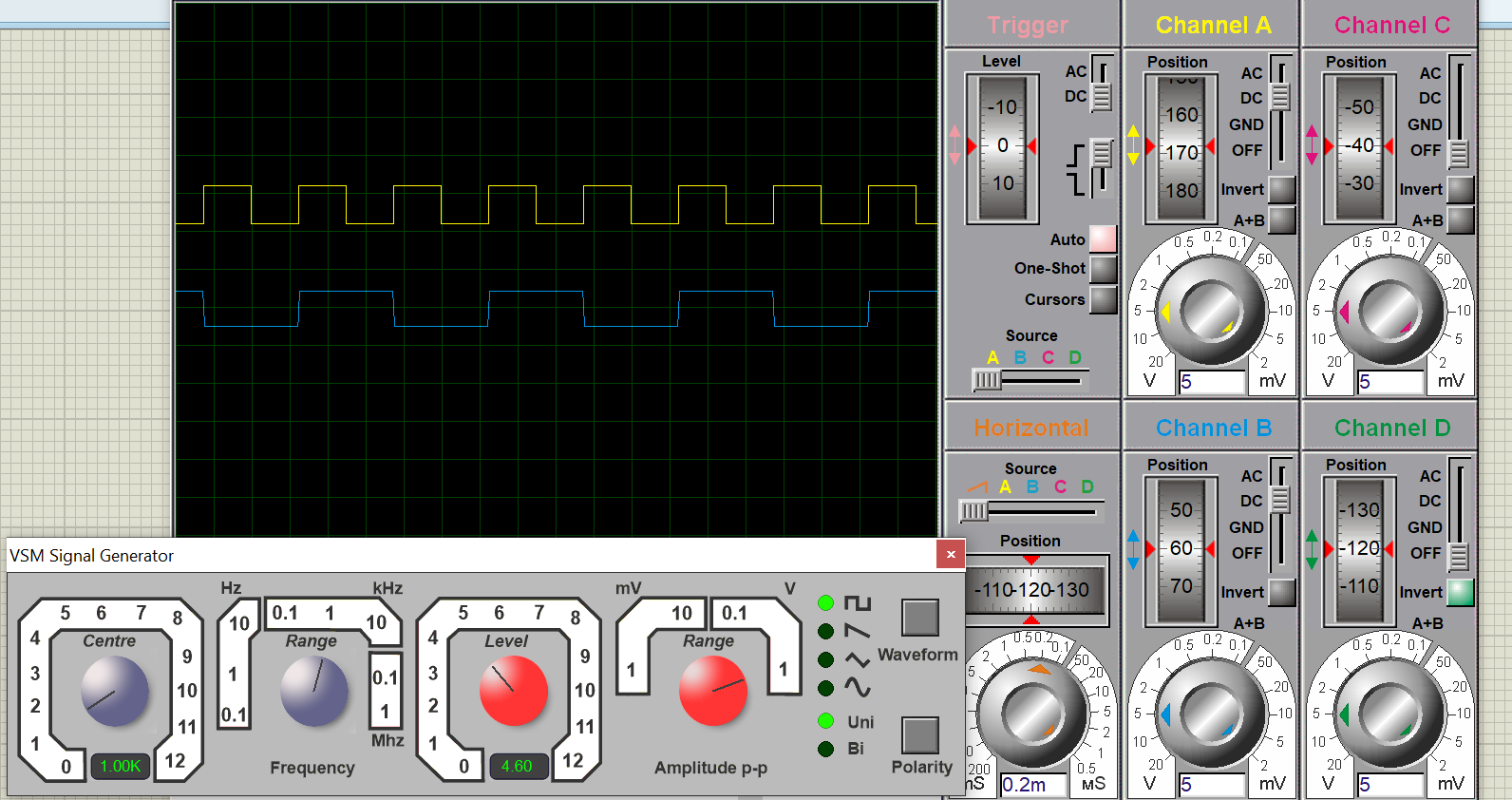
* ***Cas 1 :*** *lorsqu’il il n’y a pas de division :*



**Figure III .4***:* le résultat de la position n°1

* ***Cas 2 :*** *lorsque donc il y a division sur 2 :*

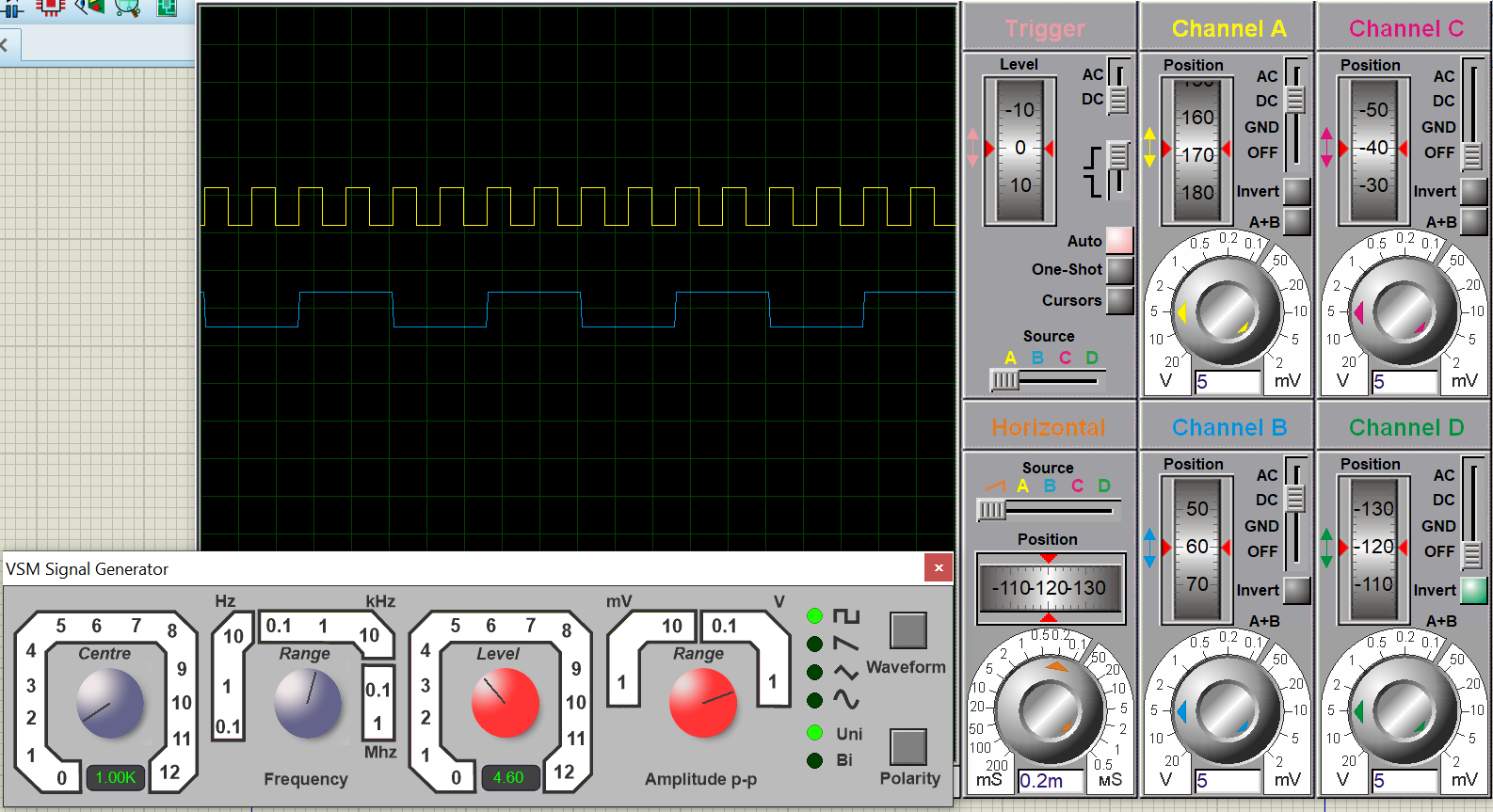
*Ce qui correspond bien à l’oscillogramme de la figure 3.5*



**Figure III.5**: Multiplication par 2 de la fréquence d’entrée

* ***Cas 3 :*** *lorsque donc il y a division sur 4 :*

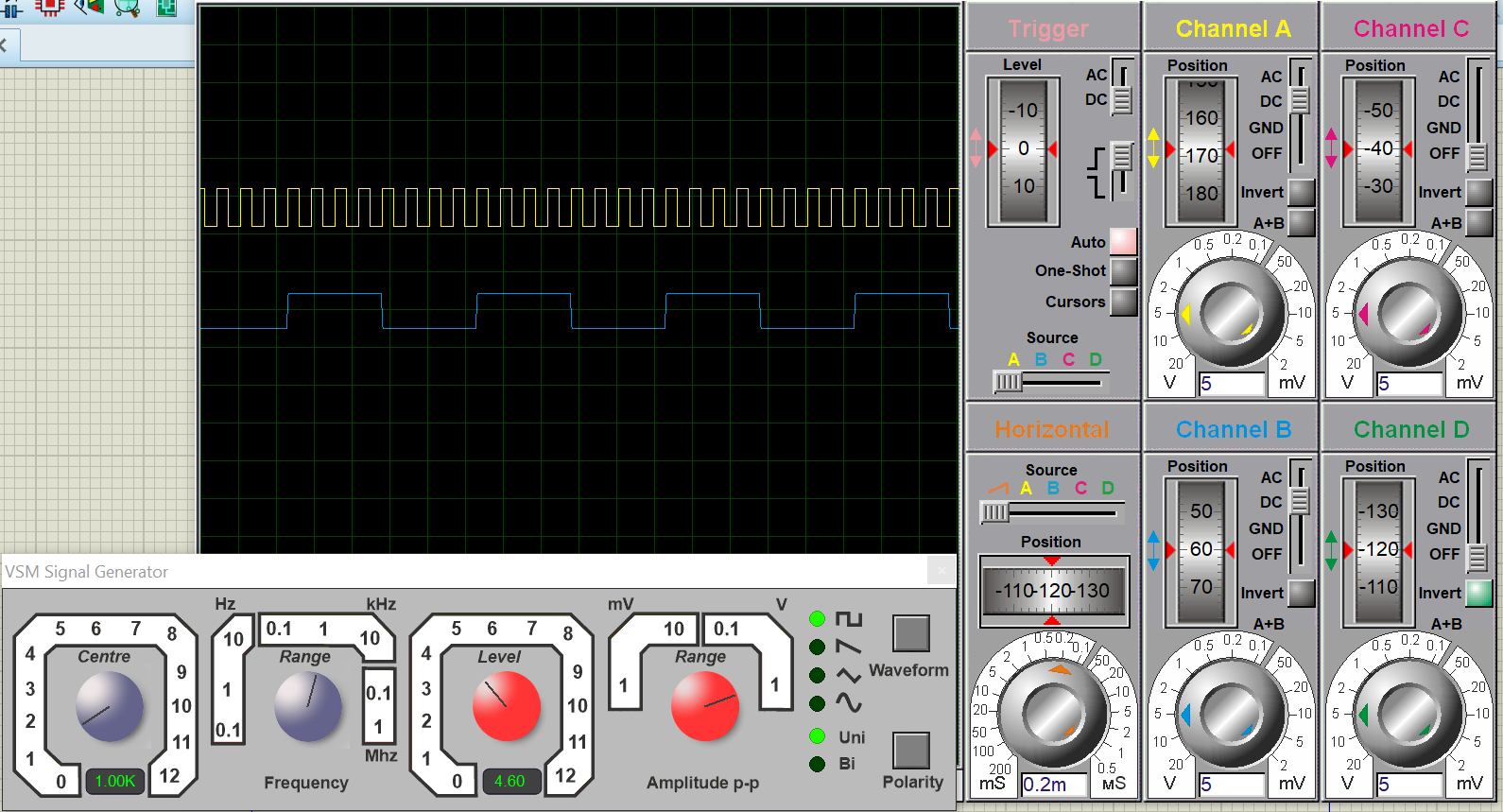
*Ce qui correspond bien à l’oscillogramme de la figure 3.6*



**Figure III.6**: Multiplication par 4 de la fréquence d’entrée

* ***Cas 4 :*** *lorsque donc il y a division sur 8 :*

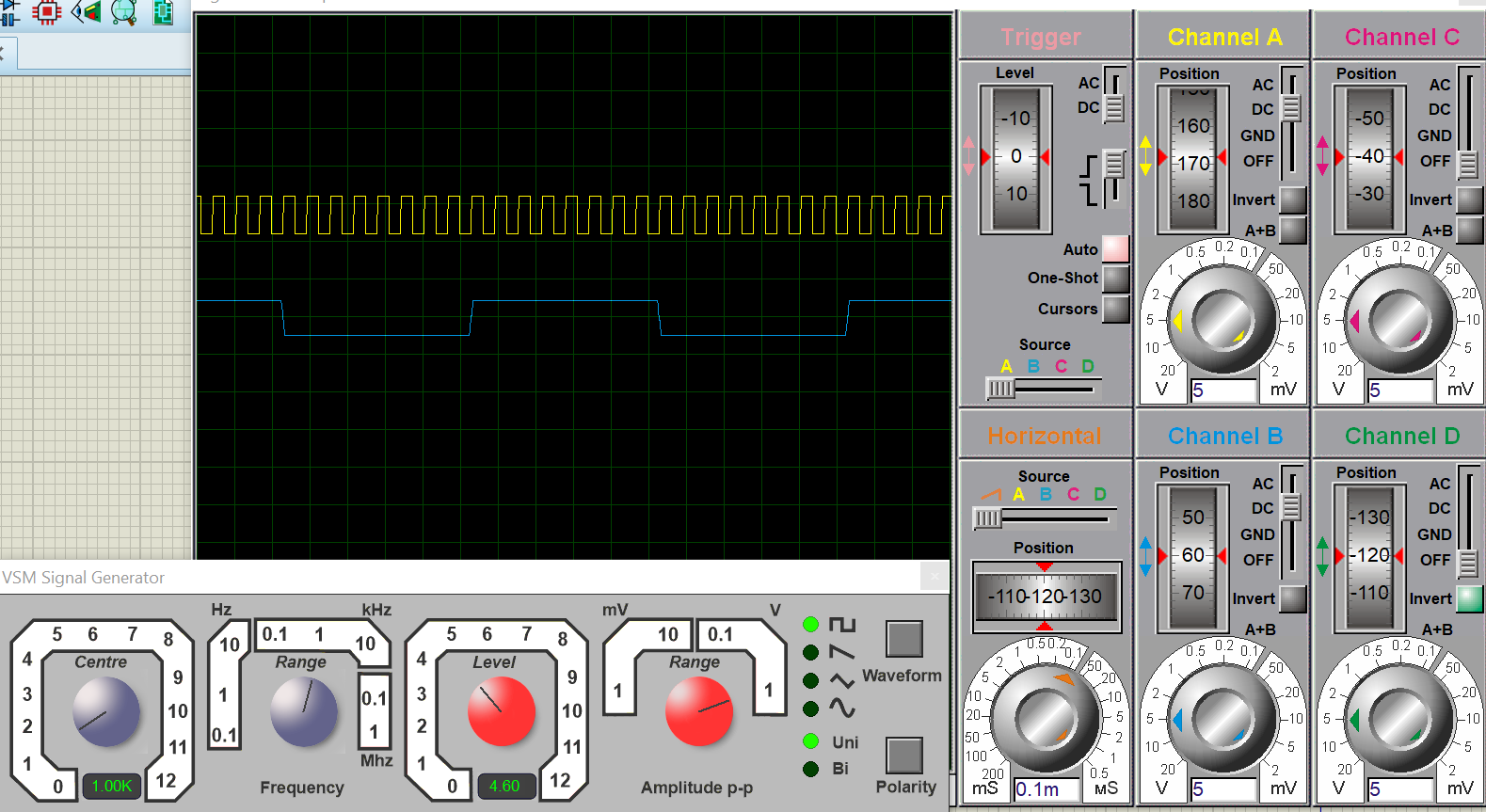
*Ce qui correspond bien à l’oscillogramme de la figure 3.7*

**

**Figure III.7***:* Multiplication par 8 de la fréquence d’entrée

* ***Cas 5 :*** *lorsque donc il y a division sur 16 :*

*Ce qui correspond bien à l’oscillogramme de la figure 3.8*

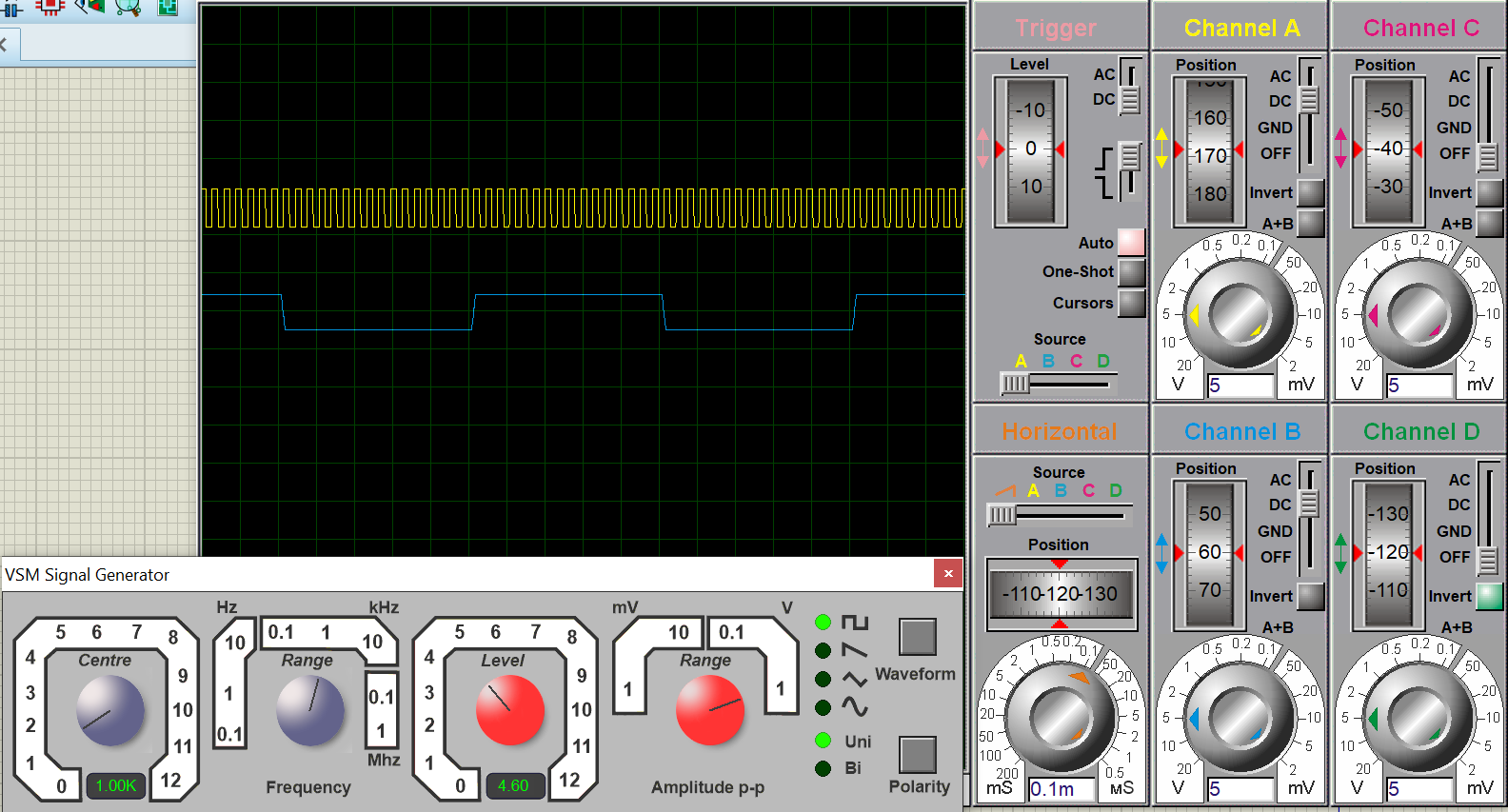
**

***Figure III.8****:* Multiplication par 16 de la fréquence d’entrée

*Figure 3.7 : Multiplication par 8 de la fréquence d’entrée*

* ***Cas 5 :*** *lorsque donc il y a division sur 32 :*

*Ce qui correspond bien à l’oscillogramme de la figure 3.9*

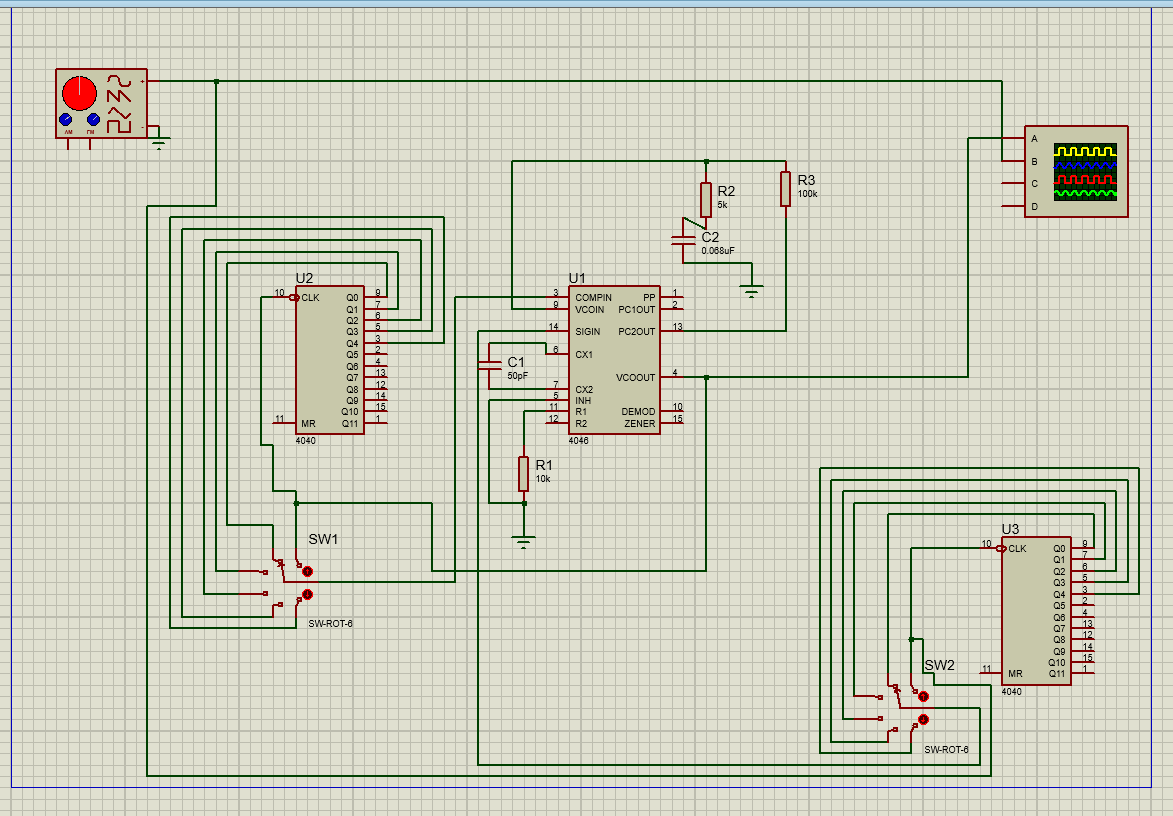
**

**Figure III.9***:* Multiplication par 32 de la fréquence d’entrée

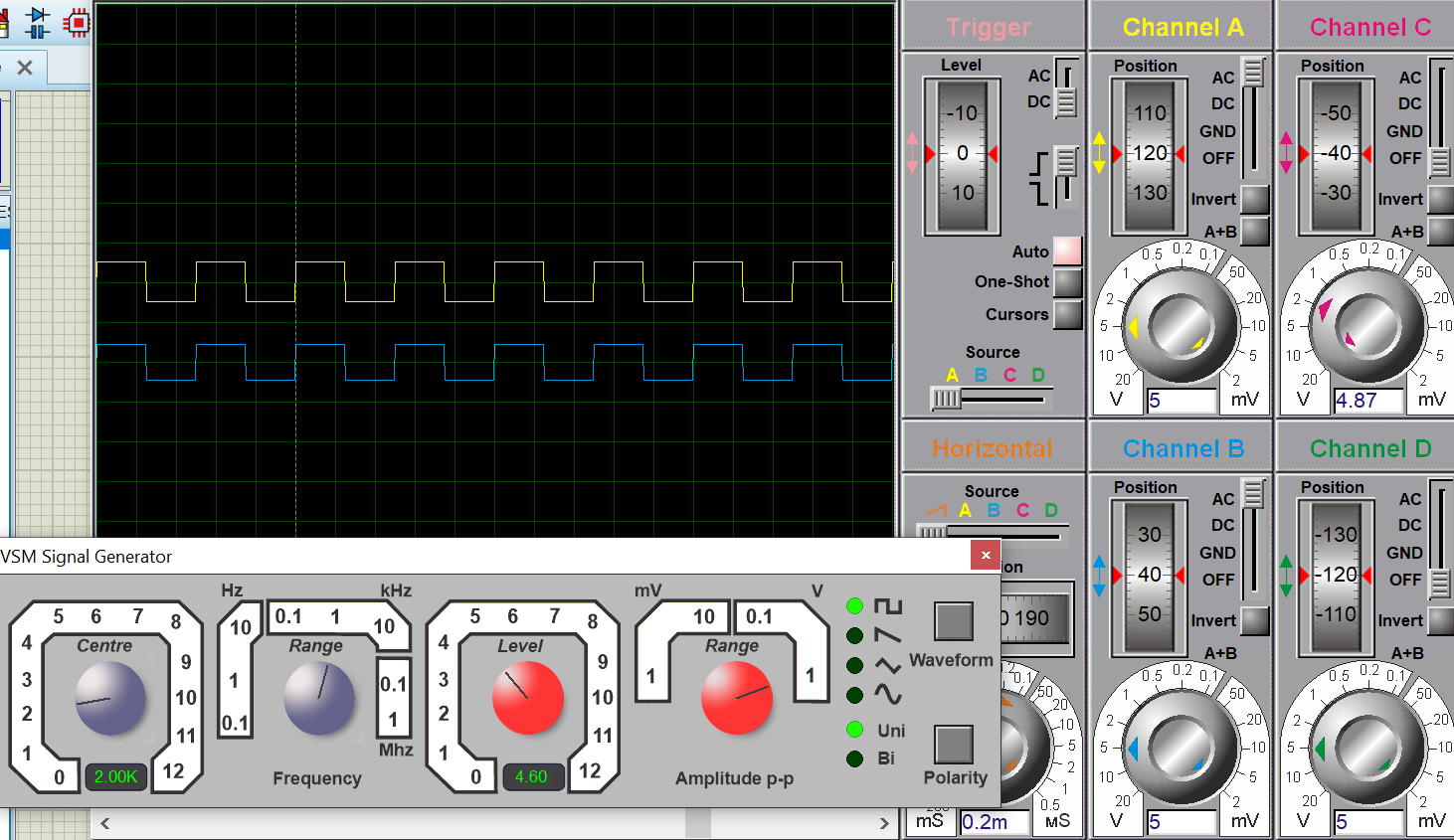
**III.6 Synthèse de fréquence :**

*La synthèse de fréquence consiste donc à fabriquer une fréquence. Dans le dans le domaine de la radio par exemple, pour sélectionner la station à écouter se fait par changement de la fréquence d’entrée en se basant sur la fréquence appelée pas. Pour cela on utilise une structure dite hétérodyne dans laquelle la fréquence de l'oscillateur local, détermine indirectement la station voulue. Dan ce cas, l'oscillateur local est un synthétiseur de fréquences.*

*En raison de concrétiser cette application, nous nous sommes servis d’une PLL et de deux diviseurs de fréquence. L’application est testée en simulation dans l’environnement Proteus. La figure 3.10 représente le schéma utilisé pour simuler le comportement d’un synthétiseur de fréquence.*

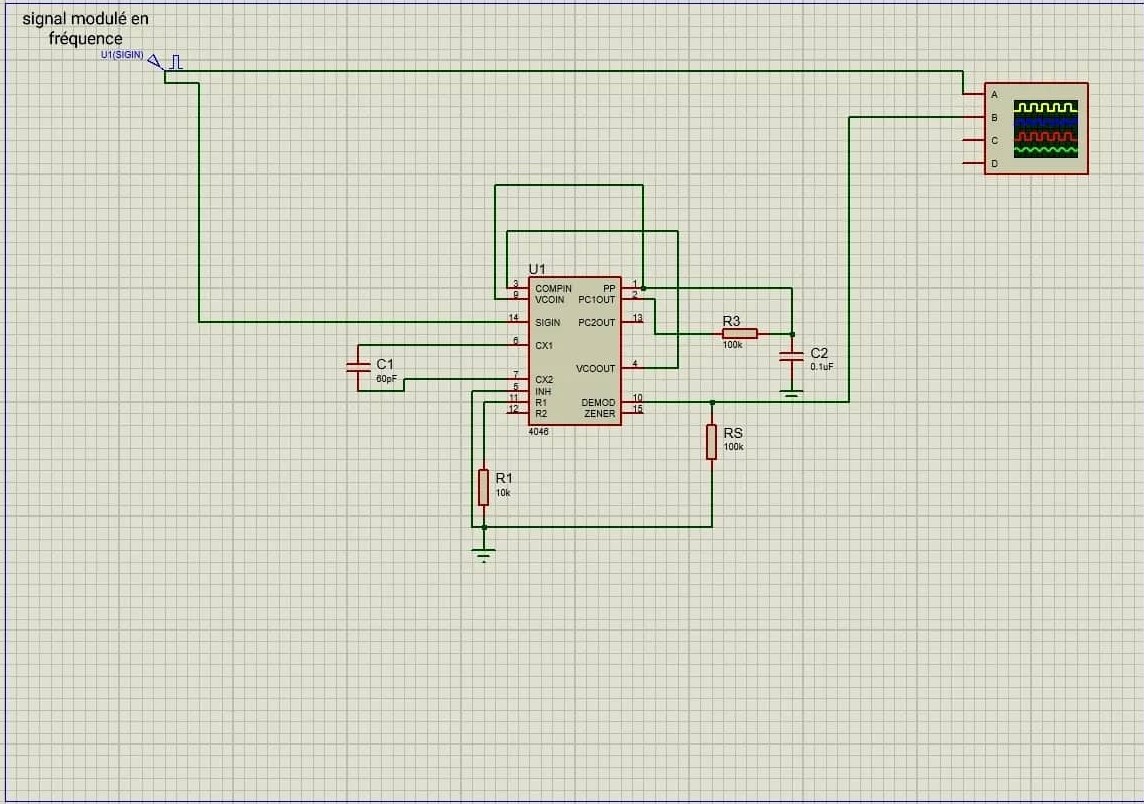
******

***Figure III.10 :*** Synthétiseur de fréquence

****

**Figure III .11 :**synthèse de fréquence (fréquence de sortie identique au pas)

***III.7 Démodulation de fréquence :***

**

**Figure III.12 :** Schéma électrique du circuit de Démodulation de fréquence***.***

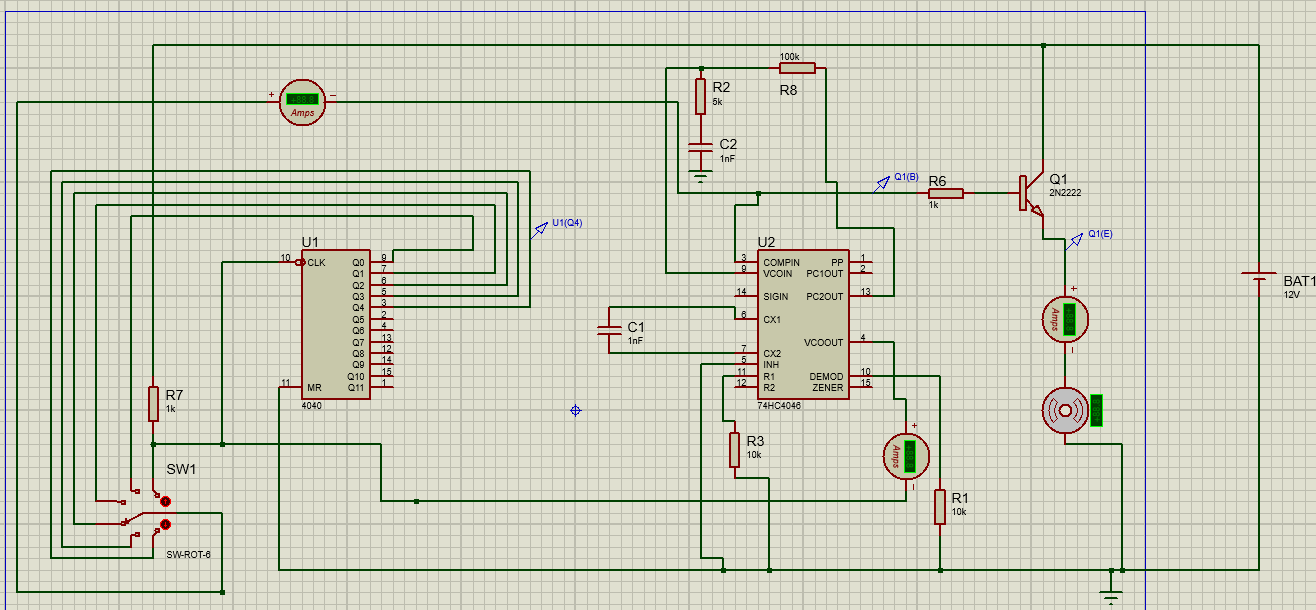
*Cette application consiste en la démodulation de fréquence (FM). Pour cela, nous avons choisi la fréquence centrale de la PLL fo = 1 MHz. Elle est égale aussi à la fréquence de la porteuse, c.-à-d. fp = fo= 1 MHz. Il est à noter que la fréquence centrale de la PLL est fixée moyennant les composants R₁et C₁. En exploitant l'abaque relatif à la fréquence centrale, nous avons déterminé leurs valeurs à savoir: R₁= 10 K Ω, C₁ 60PF. Aussi, l'alimentation est de 10 Volts.*

*La fréquence du signal modulant est FM 400 Hz (plage de capture de la PLL). Pour avoir une telle = fréquence, il faut choisir : R1 = 100 K Ω, C₁ = 0.1 µF.*

*En effet, le signal modulant est bien le signal de commande du VCO avec par exemple Rs = 100ΚΩ. Le gain de la démodulation peut être déterminé expérimentalement*

***III.8 Commande en vitesse d’un moteur à courant continu :***

*Le schéma ci-dessous représente un circuit de contrôle de vitesse d’un moteur à courant continu à base de PLL(CD4046)*

******

**Figure III.13 :** Schéma électrique du circuit de commande de vitesse d’un moteur à CC sous Proteus.

*Pour la commande du moteur, nous avons utilisé une PLL offrant la possibilité de réaliser un contrôle aussi bien en phase qu’en fréquence. Aussi, elle est caractérisée par une grande précision avec également un temps très cours concernant l’accrochage de la boucle. En fait, dans cet exemple, la PLL fonctionne à une fréquence centrale fixé par des composants extérieurs. A sa sortie, elle délivre un signal carré de fréquence dite centrale. Le signal va être divisé via un diviseur de fréquence permettant de commander en vitesse un moteur à courant continu. Le signal délivré par le diviseur de fréquence est amplifié moyennant un amplificateur à transistor bipolaire monté en collecteur commun. En effet, plus la fréquence du signal de commande est divisée plus la vitesse du moteur diminue.*

*Dans cette application, nous présentons des résultats de simulation correspondant aux différents signaux de commande issus du diviseur de fréquence. Le signal de commande est celui délivré par la PLL divisé sur selon la position du switch.*

*Nous tenons à signaler que le présent schéma de commande proposé pour cette application s’inspire d’un travail antérieur réalisé dans la référence 10*

*Pour l’étude de l’effet du changement de fréquence sur la vitesse du moteur, nous présentons des résultats de simulation relatifs aux différentes fréquences (selon la position du switch)*

* ***Cas 1 :,*** *la fréquence du signal de commande est divisé sur 2:*
* *La valeur du courant sortant du deviseur est de :0.08 A*
* *La valeur du courant sortant du VCO est :0.09 A*
* *La valeur du courant sortant du transistor est :0.33 A*
* ***Cas 2 :,*** *la fréquence du signal de commande est divisé sur 2:*
* *La valeur du courant sortant du deviseur est de :0.07 A*
* *La valeur du courant sortant du VCO est :0.09 A*
* *La valeur du courant sortant du transistor est :0.27 A*
* ***Cas 3 :,*** *la fréquence du signal de commande est divisé sur 4:*
* *La valeur du courant sortant du deviseur est de : 0.05.A*
* *La valeur du courant sortant du VCO est : 0.09. A*
* *La valeur du courant sortant du transistor est : 0.20.A*
* ***Cas 4 :,*** *la fréquence du signal de commande est divisé sur 8:*
* *La valeur du courant sortant du deviseur est de :0.04 A*
* *La valeur du courant sortant du VCO est : 0.09 A*
* *La valeur du courant sortant du transistor est :0.175 A*
* ***Cas 5 :,*** *la fréquence du signal de commande est divisé sur 16:*
* *La valeur du courant sortant du deviseur est de : 0.02 A*
* *La valeur du courant sortant du VCO est : 0.09 A*
* *La valeur du courant sortant du transistor est :0.081 A*

*D’après les résultats obtenus, nous constatons bel et bien que la valeur du courant mesuré correspondant à chaque de figure est proportionnelle à la fréquence du signal de commande. De ce fait, la vitesse du moteur est également proportionnelle à la fréquence du signal de commande.*

*Par ailleurs, les résultats numériques obtenus dans notre simulation sont en adéquation totale à ce que nous avons vérifiés à l’œil nue en observant le moteur lorsqu’il tourne.*

***NB :*** *en raison de consommation, le transistor bipolaire peut être remplacé par un transistor à effet de champ.*

***Conclusion***: *dans ce chapitre, nous avons présenté les résultats de simulation relatifs aux différentes applications de la PLL. S’agissant de la synthèse et la multiplication de fréquence, les résultats de simulation sont parfaits. En pratique, en ce qui concerne le signal d’entrée, on utilise un oscillateur en quartz caractérisé par une très grande stabilité dans le temps. La commande du moteur à cc est parfaitement réalisée étant donné que le temps d’accrochage de la boucle PLL est très petit.*

*Dans ce mémoire de fin d’étude, nous avons eu l’occasion d’étudier la boucle à verrouillage de phase (PLL) et ses applications. Cette dernière qui se présente sous forme d’un circuit intégré avec quelques composants périphériques, selon l’application, est largement utilisée en électronique. En effet, nous nous sommes intéressés plus particulièrement à un ensemble d’applications auxquelles est dédiée, à savoir : la multiplication et la synthèse de fréquence, la démodulation de fréquence et la commande en vitesse d’un moteur à courant continu.*

*Pour mener à bien notre travail, nous avons tout d’abord présenté le contexte dans lequel est inventé la PLL, comme nous avons aussi décrit son principe de fonctionnement. Après avoir introduit la PLL, nous nous sommes penchés sur les différentes applications qui lui sont relatives. Pour donner un sens à notre travail, des simulations dans l’environnement proteus ont été réalisées pour justement concrétiser les différentes applications déjà citées. Nous tenons à noter que nos applications ont été toutes réalisées autour d’une PLL numérique (circuit intégré 4046) et un compteur (diviseur de fréquence) circuit intégré 4040, bien sûr avec quelques composants périphériques. S’agissant de la commande numérique du moteur à cc, permettant de le faire tourner à plusieurs vitesses différentes, un étage d’amplification est introduit à la sortie du compteur. Les résultats obtenus sont satisfaisants et ils sont en adéquation avec la théorie.*

*Comme perspective à ce présent travail, il serait intéressant de revoir toutes les applications étudiées en passant à la réalisation pratique.*

***Références Bibliographiques***

[*[1]*](https://stringfixer.com/fr/Frequency_synthesiser)*Saeed Golestan,Senior Member,IEEE,Josep M. Guerrero,Fellow,IEEE,and Junan C. Vasquez, Senior Member,IEEE Three-phase PLLs:A Review OF Recent Advences, VOL. 32, NO. 3, MARCH 2017*

[*[2]*](https://stringfixer.com/fr/Frequency_synthesiser) *HIERRY ROCACHER « Résumé de cours sur la PLL & la synthèse de fréquence »*

*https://www.leselectroniciens.com/sites/default/files/cours/pll\_synhese\_de\_frequence.pdf.*

[*[3]*](https://stringfixer.com/fr/Frequency_synthesiser)*Manassewitsch (1987 , p. 7)*

[*[4]*](https://stringfixer.com/fr/Frequency_synthesiser)*Popiel-Gorski (1975, p. 25) (synthese )*

[*[5]*](https://stringfixer.com/fr/Frequency_synthesiser)*Le site web string fixer*

[*[6]*](https://stringfixer.com/fr/Frequency_synthesiser) *le site Web etudier.com*

[*[7]*](https://stringfixer.com/fr/Frequency_synthesiser)"Démodulateur - Définitions de Dictionary.com" . dictionnaire.reference.com *. Récupéré le 2008-05-16*

[*[8]*](https://stringfixer.com/fr/Frequency_synthesiser) *le site Web la caverne de lucan*

[*[9]*](https://stringfixer.com/fr/Frequency_synthesiser)*CD4046B Phase-Locked Loop: A Versatile Building Block for Micropower Digital and Analog Applications, Texas Instruments.*

[*[10]*](https://stringfixer.com/fr/Frequency_synthesiser)*Contrôle de vitesse d’un moteur à courant continu par la PLL, mémoire de master, université de Tlemcen, 2016*

***Mots clés*** : *PLL, diviseur de fréquence, démodulation FM, synthèse de fréquence.*