

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE
MINISTRE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA RECHERCHE
SCIENTIFIQUE

Université de Mohamed El-Bachir El-Ibrahimi - Bordj Bou Arreridj

Faculté des Sciences et de la technologie

Département d'Electronique

Mémoire

Présenté pour obtenir

LE DIPLOME DE MASTER

FILIERE : ELECTRONIQUE

Spécialité : microélectronique

Par

Naidji Ahlem

Zebiri Wissam

Intitulé

*Etude et simulation par TCAD des effets de passivation sur les
caractéristiques électriques d'un transistor 4H-SIC MOSFET*

Soutenu le :

NOM PRENOM

jury

Dr. KHALED Fahima..... Président

Mme. KHERRAT Fadila..... Examinatrice

Dr. MESSAI Zitouni..... Encadreur

Année Universitaire 2019/2020



Remerciement

Avant toutes choses, nous remercions « Allah » , le tout puissant, pour nous avoir donné la force et la patience.

Nous exprimons d'abord nos profonds remerciements et notre vive connaissance à Dr. Zitouni Messai pour avoir proposé le thème de ce travail et avoir accepté de le diriger du début jusqu'à la fin.

Nous le remercions sincèrement pour ses précieux conseils, ses encouragements, sa disponibilité, sa patience, le temps qu'il nous a consacré, des corrections minutieuses et tous les efforts qu'il a fournis pour le bon aboutissement de ce travail.

Nous adressons également nos remerciements, à tous nos enseignants, qui nous ont donné les bases de la science, sans oublier d'exprimer nos remerciements encore au Chef de Département d'électronique.

Nos remerciements aux membres du jury qui nous ont fait l'honneur d'accepter de lire et de juger ce travail.

Nous tenons à remercier enfin, tous ceux qui ont aidés de près ou de loin lors de ce projet de fin d'études.





Dédicace

Je Dédie Ce Modeste Travail

A Mes Chers Parents

A Mes Frères Et Ma Sœurs

Et ses chers enfants

À mon fiancé et sa famille Khaldi

A Toute Ma Famille Naïdji

A Tous Mes Collègues

Et Mes Amis Partout

NAIDJI Ahlem



A decorative circular border surrounds the text. It features three black graduation caps at the top, several yellow scrolls tied with red ribbons on the sides, and clusters of light blue flowers at the bottom. The background is a light, textured white.

Dédicace

Je Dédie Ce Modeste Travail

A Mes Chers Parents

A Mes Frères Et Sœurs

À mon cher fiancé et sa famille

A Toute Ma Famille Zebiri

A Tous Mes Collègues

Et Mes Amis Partout

ZEBIRI Wissam

Listes des abréviations

A

Al Aluminium

C

C Carbone

CVD Chemical Vapor Deposition

C_{ox} La capacité de l'oxide

E

E_g L'énergie de bande interdite

E_b Le champ de claquage

E_{Fm} Le niveau de fermi dans le métal

E_{Fp} Le niveau de fermi dans le semi-conducteur de type p

F

FET Field Effect Transistor

G

GaAs L'arséniure de gallium

GaN Nitrure de gallium

gd Conductance de sortie

gm La transconductance

I

I_d Le courant de drain

J

J_x La densité de charge

K

k	La conductivité thermique
K'_n	Le paramètre de conduction du processus pour le MOSFET à canal n
K_n	Le paramètre de conduction pour le MOSFET à canal n
L	
LPE	L'épitaxie en phase liquide
L	Longueur de canal
M	
MBE	L'épitaxie par jet moléculaires
MOS	Metal Oxide Semiconductor
N	
$n(y)$	La concentration d'électrons dans la couche d'inversion
N_d	Concentration des atomes donneurs
N_a	Concentration des atomes accepteurs
Q	
Q'_n	L'ampleur de la charge de la couche d'inversion par unité de surface
R	
RTA	Recuit thermique rapide
S	
SiO ₂	Dioxyde de silicium
SiC	Carbure de silicium
Si	Silicium
SILVACO	Silicon Valley Corporation
SRH	Shockley-Read Hall
T	
TCAD	Technology Computer-Aided Design
T	Température
U	
μ_n	La mobilité des électrons

μ_p La mobilité des trous

V

V_{sat} La vitesse de saturation des électrons

v_{ds} La tension entre drain et source

v_{gs} La tension la grille et source

V_{SB} La tension source - substrat

V_{TH}, V_T Tension de seuil

W

w La largeur du canal

Z

ZnO L'oxyde de zinc

σ La conductivité du canal

φ_{ms} La différence de fonction de travail métal-semi-conducteur

γ Le coefficient de l'effet du substrat.

Liste des tableaux

<i>Titre</i>	<i>Page</i>
Tableau 1.1.1 : Propriétés physiques à température ambiante de sept semi-conducteurs[6].....	09
Tableau 3.1 : Modèles de Base de l'oxydation et de la diffusion.....	51
Tableau 3.2 : Référence des modèles d'implants sous Athena.....	57
Tableau 3.3 : Résumé des valeurs adoptées pour les simulations de la structure étudié.....	69

Liste des figures

<i>Titre</i>	<i>Page</i>
Figure 1. 1.1 Illustration de la structure cristallographique du silicium.....	3
Figure 1. 4.1 Le tétraèdre, brique de base de la structure cristalline du SiC.....	5
Figure 1. 4.2. L'empilement des biplans Sic dans le carbure de silicium : trois position.....	5
Figure 1. 4.3 L'empilement des biplans carbone-silicium pour différents poly types.....	6
Figure 1. 5.1. Structure cristalline du poly type 4H.....	6
Figure 1.7.1. Méthode de Lely modifiée :Représentation schématique d'un creuset de croissance de SiC massif.....	8
Figure 1.11.1 : Images obtenues par NOM ('Nomarski Optical Microscope') pour des couches de 4H-SiC homo-épitaxiées sur des substrats (a) désorientés de 3,5° et (b) désorientés de 8°.....	13
Figure 1.11.2 Exemples typiques de « micropipes » entourées de « step bunching ».....	14
Figure2. 1 Structure MOSFET.....	16
Figure2. 2 Coupe schématique d'un transistor MOS normalement conducteur (À appauvrissement de canal).....	17
Figure 2.3 Section transversale et symbole de circuit pour (a) un MOSFET à canal p en mode d'amélioration et (b) un MOSFET à canal p en mode d'appauvrissement.....	19
Figure2.4 Mode d'amélioration à canal n MOSFET (a) avec une tension de grille $V_{GS} < V_T$ appliquée (b) avec une tension de grille $V_{GS} > V_T$ appliquée.....	20
Figure2.5 Caractéristiques de I_D par rapport au V_{DS} , pour les petites valeurs de V_{DS} à trois tensions V_{GS}	21
Figure2. 6 Section transversale et courbe I_D en fonction du V_{DS} lorsque $V_{GS} < V_T$ pour (a) une petite valeur V_{DS} , (b) une valeur V_{DS} plus importante, (c) une valeur de $V_{DS} = V_{DS(sat)}$, et (d) une valeur de $V_{DS} > V_{DS(sat)}$	22
Figure2.7 Famille de courbes $I_D - V_{DS}$ pour un MOSFET en mode d'amélioration à n canaux.....	24
Figure2. 8 Coupe transversale d'un MOSFET en mode d'appauvrissement.....	24

Figure2. 9 Famille de courbes I_D versus V_{DS} pour un mode d'appauvrissement à n canaux MOSFET.....	25
Figure2. 10 Géométrie d'un MOSFET pour la dérivation I_D versus V_{DS}	27
Figure2. 11 Distribution de charge dans le mode d'amélioration du canal n MOSFET pour $V_{GS} > V_T$	28
Figure 2. 12 Géométrie pour l'application de la loi de Gauss.....	28
Figure 2. 13 (a) Potentiels en un point x le long du canal. (b) Diagramme de la bande d'énergie à travers la structure MOS au point x.....	30
Figure2. 14 Graphiques de $I_D - V_{DS}$ à partir de l'équation (1.23).....	32
Figure2.15 I_D par rapport au V_{GS} (pour les petits V_{DS}) pour le mode d'amélioration MOSFET. (b) $\sqrt{I_D}$ idéal par rapport au V_{GS} dans la région de saturation pour les MOSFET à canal n en mode d'enrichissement (courbe A) et en mode d'appauvrissement (courbe B).....	34
Figure 2. 16 Section transversale et configuration de biais pour un MOSFET en mode d'amélioration du canal p.....	34
Figure.3.1 Menu de commandes.....	39
Figure3.2 Définition des meshes et affichage de la fenêtre de la grille.....	39
Figure3.3 Nouvelle grille rectangulaire.....	40
Figure.3.4 Insertion de la nouvelle grille rectangulaire.....	41
Figure.3.5. Menu de définition des meshes.....	42
Figure.3.6 Redéfinition des meshes.....	42
Figure.3.7 Menu d'initialisation du maillage.....	43
Figure 3.8 Grille triangulaire initiale.....	44
Figure.3.9 Résultat obtenu à deux dimensions (2D).....	45
Figure. 3.10 Menu de dépôt Athena.....	46
Figure.3.11 Les différentes étapes de processus de déposition.....	46
Figure.3.12 Schéma structurelle obtenu après la procédure de déposition.....	47
Figure.3.13 Menu de diffusion sous Athéna.....	48
Figure 3.14 Menu Propriétés « Gas Flow » sous Athena.....	50
Figure 3.15 diffusion d'aluminium.....	52
Figure 3.16 gravure de SiO_2	52
Figure.3.17 Schéma de principe d'une implantation ionique.....	53

Figure 3.18 Menu d'implantation ionique sous Athena.....	53
Figure.3.19 Représentation du canal pour différentes orientations cristallographiques.....	54
Figure.3.20 Géométrie d'implantation.....	55
Figure 3.21 Fenêtre d'implantation ionique sous Athena.....	56
Figure. 3.22 gravure de SiO ₂ pour la zone de dopage de drain.....	59
Figure. 3.23 Implantation du phosphore suivie du recuit.....	60
Figure.3.24 Vue de la structure après l'élimination de SiO ₂	60
Figure 3.25 déposition de l'oxyde et poly silicium.....	61
Figure 3.26 Gravure des simples géométries.....	62
Figure.3.27 Structure crée par la fonction gravure géométrique « etch ».....	62
Figure.3.28 : Obtention de la gravure inclinée.....	63
Figure.3.29 Gravure à sec.....	64
Figure 3.30 : Formation des électrodes (gauche, avant gravure, droite, après gravure)..	65
Figure.3.31 : Dépôt d'oxyde.....	66
Figure.3.32 : Gravure d'oxyde.....	66
Figure 3.33 Menu miroir Athena.....	67
Figure. 3.34 Structure complète après effet de miroir.....	67
Figure. 3.36 Menu de désignation des électrodes sous Athena.....	68
Figure.3.37 Représentation des électrodes sous Athéna.....	69
Figure 3.38 : Structure finale du composant 4H-SiC MOSFET simulé.....	70
Figure 3.39 Caractéristiques Id-Vgs pour différents valeur de Vds.....	70
Figure 3.40 Variation du courant Id-Vds pour différents valeurs de Vgs.....	71
Figure 3.41 Effet de la température sur les caractéristiques I_d-V_{ds} pour $V_{gs}=16V$	72
Figure 3.42 la transconductance gm pour $V_{ds}=12$	72
Figure 3.43 l'effet de la température sur la mobilité des électrons et des trous.....	73

Sommaire

Titre	Page
Remerciement	
Dédicace	
Liste des abréviations	
Liste des tableaux	
Liste des figures	
Sommaire	
Introduction générale.....	1

Chapitre 1 : Généralité sur le Carbure de Silicium

1. Généralités sur la structure du silicium et du carbone.....	3
1.1. Le silicium.....	3
1.2. Le carbone.....	3
1.3. Le carbure de silicium.....	4
1.4. Cristallographie et les poly types du SiC.....	4
1.5. Structure cristalline du poly type 4H-SiC.....	6
1.6. Elaboration du matériau composé SiC.....	7
1.7. Croissance de substrats de SiC.....	7
1.7.1. Croissance de substrats de SiC.....	7
1.7.2. Epitaxie du SiC.....	8
1.8. Quelques propriétés du SiC.....	9
1.8.1-Propriétés physico-chimiques.....	9
1.8.2. Propriétés physiques du SiC.....	10
1.8.3. Les propriétés électroniques.....	10
1.9. Les Applications du SiC.....	11
1.9.1. Les applications « haute température ».....	11
1.9.2. Les applications « haute puissance » et « haute fréquence ».....	11
1.10. Dopage du SiC.....	11
1.11. Les défauts dans le SiC.....	12
1.11.1. Défauts dans α -SiC.....	13
1.11.2. Les défauts ponctuels dans le SiC.....	14

Chapitre 2 : Etude théorique des transistors MOSFETs

2.1. Les transistors Mosfets	16
2.1.1. Introduction.....	16
2.1.2. Structure de base et principe de fonctionnement.....	16
2.1.3. Différents types de MOSFETs.....	17

2.1.3.1. Transistor à Enrichissement.....	18
2-1-3-2-Transistor à Appauvrissement.....	19
2.1.4. Caractéristiques courant – tension.....	19
2.1.4.1. Concepts de la relation courant-tension.....	19
2-1-4-2- Relation courant-tension - dérivation mathématique.....	26
2.1.4.3. Transconductance.....	36
2.1.4.4. La tension seuil.....	36
Chapitre 3 : Simulation Technologique et Electrique d'un Transistor 4H-SiC MOSFET	
3.1 Introduction.....	38
3.2 Simulation en 2D des dispositifs sous ATHENA.....	38
3.2.1 Création d'une structure initiale.....	38
3.2.2 Spécification de la grille rectangulaire initiale.....	38
3.2.3 Définition du substrat initial.....	43
3.2.4 Dépôts de simples couches.....	45
3.2.5 Choix des modèles.....	48
3.2.5.1 Implantation, diffusion, oxydation, RTA.....	48
3.2.5.1.1 Simulation de la diffusion.....	48
3.2.5.1.2 Simulation de la procédure d'oxydation.....	49
3.2.5.1.3 Simulation de l'implantation ionique.....	52
3.2.5.1.4 Remarques sur la simulation des recuits thermiques rapides (RTA).....	57
3.2.6 Gravures des matériaux à géométries simples.....	61
3.2.7 Spécifications des électrodes.....	64
3.2.8 Réflexion d'une structure dans le plan « Y » à l'aide du paramètre Miroir.....	67
3.2.9 La structure finale étudiée.....	69
3.3. Simulation des caractéristiques électriques du transistor MOS sous Atlas	70
3.3.1. Obtention des caractéristiques de transfert Id-Vgs.....	70
3.3.2 Obtention de la caractéristique de sortie Id-Vds.....	71
3.3.3 Effet de la température sur les caractéristiques de sortie.....	72
3.3.4 Caractéristique de la transconductance.....	72
3.3.5 Effet de la température sur la mobilité des électrons et des trous ..	73

Sommaire

Conclusion générale..... 75

Références bibliographie.

Annexe.

INTRODUCTION
GENERALE

Les progrès technologiques des dernières décennies se sont déroulés à un rythme effréné. Du smartphone omniprésent aux nouvelles technologies comme l'iPad d'Apple TM et la TV 3D, de nouvelles idées continuent de changer notre vie quotidienne et l'innovation ne montre aucun signe de ralentissement. À l'insu de la plupart du public, ces nouveaux produits ne sont rendus possibles que par l'innovation dans le domaine de la technologie des semi-conducteurs.

Un simulateur de processus à semi-conducteurs d'Athéna de silvaco que nous avons utilisés dans ce travail nous a permis de modéliser les effets des différentes étapes impliquées dans la fabrication des semi-conducteurs: croissance, gravure, dépôt, etc. La plupart des simulateurs de processus utilisés aujourd'hui y compris Athéna sont dérivés du code SUPREM.IV.GS qui était à l'origine développé au laboratoire de circuits intégrés de l'université de Stanford. SUPREM. IV.GS est depuis longtemps reconnue comme la norme de l'industrie en matière de simulation de processus, ses commandes intuitives font en sorte que les fichiers d'entrée de simulation de processus ressemblent aux étapes de processus d'un site de fabrication qu'on trouve dans une salle blanche.

Ce genre de simulateur de dispositif à semi-conducteurs peut modéliser les propriétés électriques, optiques, thermiques et parfois même mécaniques des dispositifs. Ils peuvent être utilisés en mode autonome en définissant la structure du composant ou utilisés conjointement avec un simulateur de processus. Ces outils permettent à l'utilisateur de travailler sur l'ingénierie de la structure des bandes, le confinement quantique et d'autres optimisations qui seraient difficiles à réaliser en utilisant uniquement des résultats expérimentaux.

La plupart de ces simulateurs de dispositifs sont basés sur l'analyse par éléments finis 2D / 3D des propriétés électriques, thermiques et optiques des dispositifs semi-conducteurs composés et silicium.

Dans ce chapitre, nous allons d'abord simuler un transistor MOSFET à enrichissement sous une technologie 4H-SiC de type n à canal long (NMOS).

Notez qu'en raison de la nature symétrique du MOSFET, nous allons d'abord simuler la moitié de la structure et utiliser l'instruction miroir pour compléter la structure MOS.

CHAPITRE 1 :
GENERALITE SUR LE
CARBURE DE SILICIUM

1. Généralités sur la structure du silicium et du carbone

1.1. Le silicium :

Le silicium est l'élément le plus abondant sur terre après l'oxygène, et il représente 26% de sa masse. Il est principalement répandu sous forme de dioxyde de silicium (SiO_2). Il possède une structure cristalline en forme de diamant (Figure 1-1.1). Sa configuration électronique est de type $[\text{Ne}] 3s^2 3p^2$.

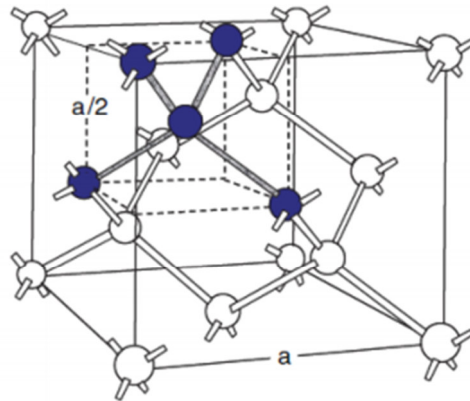


Figure 1. 1.1 Illustration de la structure cristallographique du silicium[1].

En raison de ses propriétés électroniques semi-conductrices, le silicium est largement utilisé dans plusieurs domaines technologiques. La structure mono cristalline fournit un outil précieux dans la fabrication des dispositifs électroniques. La présence des joints de grains dans le cas d'une structure poly cristalline, favorise la formation des imperfections dans la microstructure du silicium. Ces imperfections peuvent avoir des effets significatifs sur les propriétés électroniques locales du matériau. En effet, en l'absence d'une structure cristalline idéale, il serait pratiquement impossible de construire des dispositifs à grand échelle d'intégration [1].

1.2. Le carbone

Le carbone est un élément non-métallique appartenant au groupe (IVA) du tableau Périodique. Le carbone est présent dans la nature dans deux formes allotropiques principales :

- Le graphite de structure cristalline hexagonale.
- Le diamant de structure cristalline tétraédrique.

Actuellement, le développement de formes artificielles de carbone, comme les nanotubes Carbone (CNT), élargit le champ des applications technologiques de ce composant. De plus, l'incorporation du

carbone par la technique d'implantation ionique dans des substrats de Si, est très intéressante. En effet, elle permet l'amélioration des propriétés électroniques et mécaniques des substrats implantés. Dans ce contexte, on peut citer la formation de couches enterrées de carbure de silicium (SiC) dans le silicium monocristallin[1].

1.3. Le carbure de silicium

Le carbure de silicium (SiC) est un matériau de grand intérêt sur le plan industriel. Le carbone (C) et le silicium (Si) sont les éléments les plus légers possédant quatre électrons de valence, et donc aptes à former des composés stables (C, Si et SiC)[2]. La découverte du SiC remonte à la révolution industrielle du XIXème siècle[3]. En 1885, à la recherche d'une voie pour produire des diamants synthétiques, Acheson était le premier à synthétiser « accidentellement » des cristaux de carbure de silicium. La première application du SiC fut celle d'abrasif et d'outils de coupe, mais en 1907 l'ingénieur Henri J. Round a fabriqué la première diode électroluminescente à partir du composé SiC. Le développement important suivant a eu lieu en 1955 quand Lely proposa un nouveau concept pour la croissance de cristaux de grande qualité [4]. A partir de ce moment, l'intérêt pour le SiC en tant que matériau pour l'électronique commença à croître.

Le carbure de silicium existe sous plusieurs variétés cristallines qui sont très proches les unes des autres[5]. Le SiC est un matériau semi-conducteur à grande bande interdite, caractérisé par une forte valeur du champ électrique de claquage, de la vitesse de dérive électronique en régime de saturation, de l'énergie seuil de déplacement des atomes, et de la conductivité thermique. Ces propriétés en font un candidat idéal pour des applications électroniques de puissance, des applications hautes fréquences, en environnement hostile (haute température et présence de radiations) ainsi que des détecteurs de radiation de haute énergie[3].

1.4. Cristallographie et les poly types du SiC

Le carbure de silicium peut se cristalliser sous plusieurs formes allotropiques. Toutes ces formes cristallines ont en commun un arrangement hexagonal compact d'atomes de silicium (carbone) dont la moitié des sites tétraédriques est occupée de façon ordonnée par les atomes de carbone (silicium). Dans cette structure, chaque atome de carbone (silicium) est lié à 4 atomes de silicium (carbone) [6].

Le bloc de base composant un cristal de SiC est le tétraèdre formé par quatre atomes de carbone et un atome de silicium au centre ou inversement. Il existe deux types de tétraèdres, le second étant tourné de 180° par rapport au premier comme le montre la figure 1.4.1 [3].

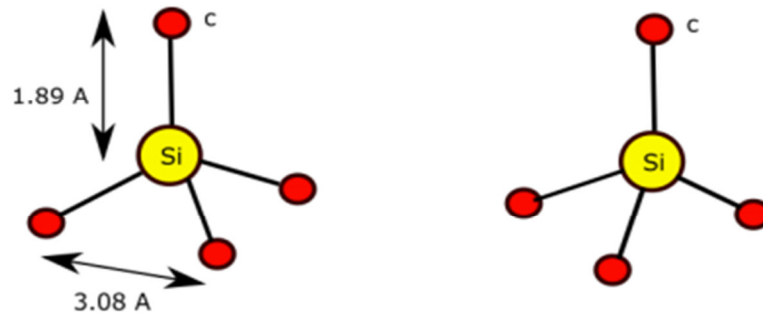


Figure 1. 4.1 Le tétraèdre, brique de base de la structure cristalline du SiC [3].

On peut également considérer le cristal de SiC comme un empilement de plans occupés successivement par des atomes de carbone et de silicium[3]. Ramsdell a proposé une nomenclature qui consiste à noter les différents poly types sous la forme nX-SiC. X est associé au type de symétrie du réseau cristallin noté C, H ou R correspondant respectivement aux formes cubiques, hexagonales et rhomboédriques du réseau. Le nombre n correspond au nombre de bicouches de Si-C nécessaires qui constituent la maille élémentaire du cristal. La séquence d’empilement des bicouches Si-C peut se construire selon trois positions différentes [7] (Figure 1.4.2).

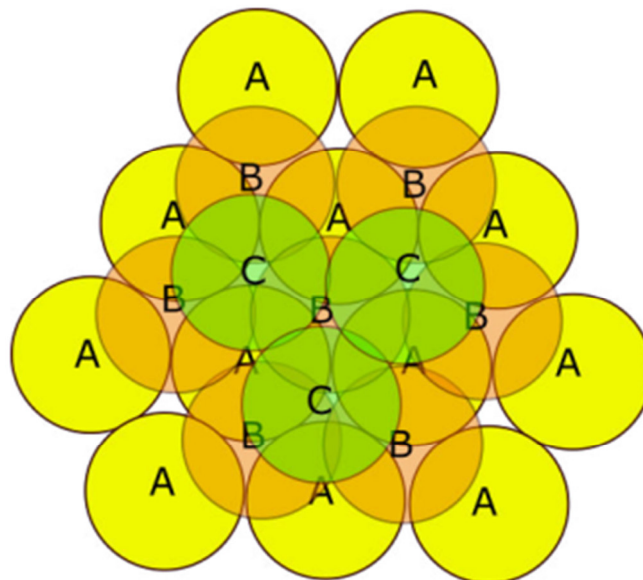


Figure 1. 4.2. L’empilement des biplans Sic dans le carbure de silicium : trois position [7].

Cette caractéristique est à la base d'un polymorphisme mono dimensionnel appelé polytypisme. La composition chimique ne varie pas mais la structure cristalline dépend de la succession des empilements. Il existe plus de deux cent poly types de SiC. Ils sont repérés, en notation de Ramsdell par un nombre qui exprime la périodicité dans l'empilement des biplans et une lettre qui donne le type de la structure cristalline (H : hexagonal, C : cubique, R rhomboédrique). Ainsi la structure 3C est une structure cubique caractérisée par un empilement ABCABC comme le montre la figure 1.4.3 [3].

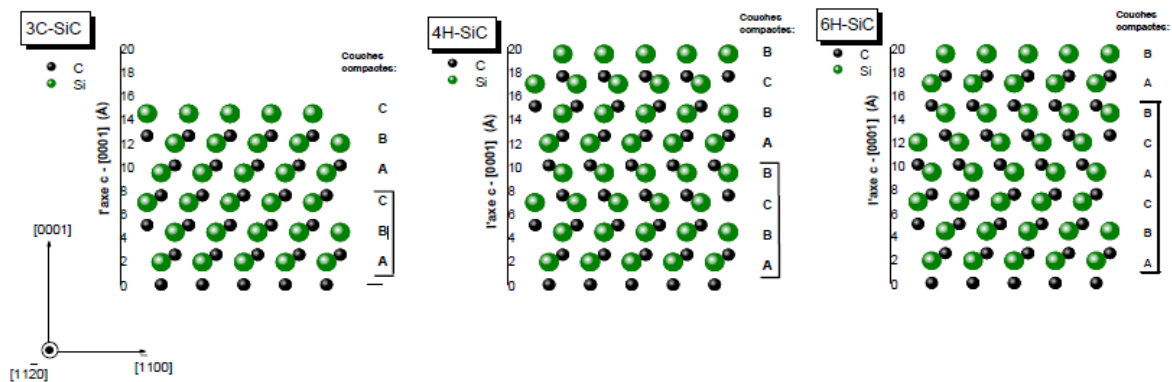


Figure 1. 4.3 L'empilement des biplans carbone-silicium pour différents poly types[3].

1.5. Structure cristalline du poly type 4H-SiC

Le poly type 4H-SiC que nous avons choisis comme support dans notre étude, possède une périodicité de quatre bicouches caractérisée par une séquence d'empilement ABAC (ABAC...), il possède un nombre égal des sites cubiques et hexagonaux comme le montre la figure 1.4.1. Les structures hexagonales sont notées α -SiC [2].

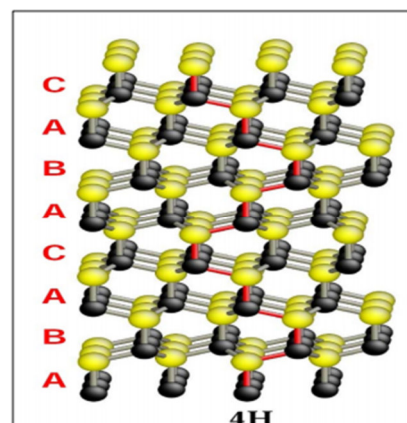


Figure 1. 5.1. Structure cristalline du poly type 4H

1.6. Elaboration du matériau composé SiC

Les perfectionnements dans la fabrication de composants électroniques à base de SiC dépendent très strictement de la qualité du matériau disponible. Pour réaliser des composants de puissance présentant de bonnes performances et fiables, il est nécessaire d'avoir des plaquettes de bonne qualité cristalline, de taille raisonnable et des procédés de croissance parfaitement maîtrisés[7]. En 1955, J.A. Lely met au point une nouvelle méthode pour l'obtention de cristaux purs. Il s'agit de refondre des cristaux de SiC obtenus par la méthode Acheson dans un creuset cylindrique vertical en carbone et sous atmosphère d'Argon. A une température atteignant 2500°C, Sur le fond et le sommet du creuset, du SiC pur se dépose sous forme monocristalline. Cependant la taille et le poly type des cristaux est difficilement contrôlable. Quelle que soit la qualité des wafers obtenus par ces méthodes, la pureté n'en est pas encore suffisante, et le dopage pas suffisamment bien contrôlé pour permettre la réalisation de composants électroniques. Il est alors nécessaire de faire croître sur ce substrat une couche fine quasi-parfaite, qui possèdera les propriétés nécessaires, et la même structure cristalline. Cette couche épitaxie est à l'heure actuelle déposée par CVD. Plusieurs variantes de réacteurs de dépôt existent. Les gaz utilisés sont du silane et des hydrocarbures, et pour le dopage de l'azote (dopage n) ou du trimethylaluminium (TMA, dopage p). On peut trouver dans le commerce des wafers avec une couche épitaxie allant jusqu'à 50 µm d'épaisseur, tandis que les substrats ont une épaisseur courante de 450 µm.[3]

1.7. Croissance de substrats de SiC

1.7.1. Croissance de substrats de SiC

La réalisation de composants électroniques nécessite des substrats possédant une bonne qualité cristalline, un niveau de dopage contrôlé et une taille suffisante pour réaliser les étapes de fabrication. L'obtention de substrats en SiC par les méthodes classiques utilisées pour le silicium est impossible du fait de l'absence de phase liquide pour le SiC [10]. Le carbure de silicium (SiC) a été découvert accidentellement par Berzelius en 1824 alors qu'il tentait de produire artificiellement du diamant. En 1891, grâce au développement du procédé d'Acheson, le SiC a été commercialisé pour des applications dans l'industrie des abrasifs. Les propriétés électroluminescentes sont remarquées au 1907 par Round, ce qui en fait un des premiers semi-conducteurs connus [8]. En 1955, J.A. Lely met au point un nouveau système d'élaboration du SiC. Par cette méthode, la pureté et certaines propriétés du matériau obtenu sont plus ou moins contrôlables. La qualité cristalline du SiC restait néanmoins toujours

insuffisante pour la réalisation de composants électroniques. La plus importante avancée dans l'histoire de la croissance de substrats en SiC date de 1978. Tairov et Tsvetkov ont modifié la méthode de Lely en introduisant un germe de SiC monocristallin de poly type bien déterminé. Cette méthode consiste à chauffer du SiC poly cristallin (ou poudre de SiC) à environ 2200°C-2400°C par un système d'échauffement radio fréquence (RF) par induction. Le SiC est ensuite sublimé et se condense sur le germe de SiC monocristallin par l'effet du gradient de température (Figure 1.6.1). Le cristal obtenu par cette méthode permet de produire des substrats de grande taille et de bonne qualité cristalline, Cette technique a permis de contrôler le poly type, d'augmenter l'épaisseur des lingots et d'accroître le diamètre des cristaux [7].

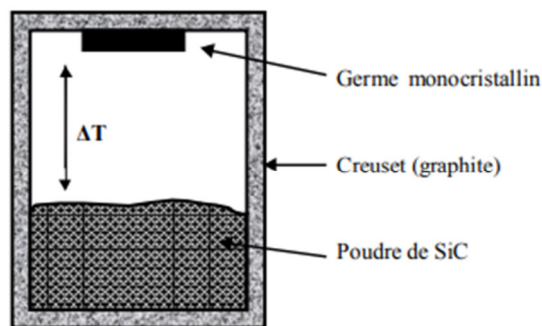


Figure 1.7.1. Méthode de Lely modifiée :

Représentation schématique d'un creuset de croissance de SiC massif [8].

1.7.2. Epitaxie du SiC

Plusieurs techniques ont été développées pour obtenir une couche épitaxiale de SiC, parmi lesquelles, l'épitaxie en phase liquide (LPE), l'épitaxie par jet moléculaires (MBE) ou la croissance par sublimation (méthode sandwich). L'épitaxie en phase vapeur (CVD : Chemical Vapor Deposition) est la méthode la plus utilisée et qui a le plus progressé ces dernières années. La technique de dépôt CVD consiste à décomposer des gaz dans une enceinte, à haute température comprise entre 1300 et 1600°C, et à faire réagir les constituants décomposés avec la surface d'un substrat. Le mélange le plus utilisé pour déposer du SiC est $\text{SiH}_4 + \text{C}_3\text{H}_8$, dilué dans le gaz porteur H_2 . Le silane et le propane sont des gaz réactifs qui contribuent, respectivement, à l'apport de silicium et de carbone [8].

1.8. Quelques propriétés du SiC

1.8.1. Propriétés physico-chimiques

Les propriétés physico-chimiques du SiC sont proches de celles du diamant et ce, grâce à la nature des liaisons Si-C. La longueur de la liaison Si-C est de 1,89Å. Elle n'est pas purement covalente du fait de la différence d'électronégativité. Le SiC est le matériau le plus dur après le diamant. Sa dureté est de 9 sur l'échelle de Mohs (10 pour le diamant). De ce fait, le polissage du SiC est extrêmement difficile à mettre en œuvre [7]. Le carbure de silicium appartient à la famille des semi-conducteurs à « grand gap » (à large bande interdite). Pour évaluer l'intérêt du SiC, il est nécessaire de le comparer à d'autres semi-conducteurs couramment utilisés comme le silicium (Si), l'arséniure de gallium (GaAs), diamant, nitrure de gallium (GaN) ainsi que celui de l'oxyde de zinc (ZnO).

Le tableau 1.7.1 regroupe six propriétés importantes : l'énergie de bande interdite (E_g), le champ de claquage (E_b), la vitesse de saturation des électrons (v_{sat}), la conductivité thermique (k), la mobilité des électrons et des trous (μ_n et μ_p).

Une première analyse de ce tableau montre que le carbure de silicium possède comparativement aux autres semi-conducteurs des valeurs élevées pour E_g , E_b , v_{sat} and K . En donnant plus de précision de ces caractéristiques, la concentration en porteurs intrinsèques (thermiquement générés) à l'origine de courants de fuite dans les composants électroniques dépend de la valeur de E_g . Plus le gap est grand, plus l'énergie thermique à fournir aux électrons pour passer de la bande de valence à celle de conduction est importante[6].

	Si	GaAs	4H-SiC	3C-SiC	Diamant	GaN	ZnO
E_g ev	1.1	1.4	3.2	2.4	5.5	3.4	3.4
E_b MV/cm	0.3	0.4	3-5	~1	1-10	5	?
V_{sat} $10^7 \times cm/s$	1.1	1.0	2.0	2.5	2.7	2.5	3.0
K W/cm×K	1.5	0.5	3.7	3.6	20	1.3	1.3
$\mu_{n,p}$ $cm^2/v \times s$	$\mu_n = 1500$ $\mu_p = 370$	$\mu_n = 2850$ $\mu_p = 400$	$\mu_n = 950$ $\mu_p = 98$	$\mu_n = 510$ $\mu_p = 18$	$\mu_n = 2000$ $\mu_p = 2100$	$\mu_n = 900$ $\mu_p = 150$	$\mu_n = 200$ $\mu_p = 5 - 50$

Tableau1. 1.1. Propriétés physiques à température ambiante de sept semi-conducteurs[6].

1.8.2. Propriétés physiques du SiC

Le SiC a une liaison quasiment covalente avec une contribution ionique de 12 % environ. En effet, le carbone est légèrement polarisé négativement. L'ionicté peut être mise en évidence par la piézoélectricité. Le SiC étant un composé polaire, la constante de couplage piézoélectrique est relativement importante [9]. Le carbure de silicium fait partie des matériaux réfractaires à grand gap. De ce fait, il est très peu influencé par la température et peut opérer au-delà de 500°C alors que le silicium reste limité à 300°C. Il ne fond pas en-dessous de 35 atmosphères mais se sublime à haute température. Bozack et al, on étudie les décompositions de surface selon la température de recuit et observent un enrichissement de la surface en carbone d'es 800°C. Une excellente conductivité thermique caractérise le carbure de silicium. Proche de celle du cuivre, elle vaut quatre fois celle du silicium ce qui permet, par exemple, une évacuation rapide de la chaleur produite dans un dispositif. De plus, le SiC est chimiquement inerte, seules quelques bases concentrées portées à haute températures, tel que KOH en fusion, peuvent l'attaquer. Il est peu sensible aux radiations et possède une dureté trois fois supérieure à celle du silicium. La mobilité relativement restreinte des porteurs de charge présente un inconvénient évident pour les applications à la microélectronique. En revanche, les valeurs assez élevées de champ de claquage et de vitesse de dérive limite des électrons sont à l'avantage du carbure de silicium[11].

1.8.3. Les propriétés électroniques

Afin de pouvoir modéliser nos composants et résoudre l'équation de continuité dans le SiC, il est nécessaire de connaître les grandeurs caractéristiques de ce semi-conducteur telles que l'énergie de gap, la densité d'état dans les bandes de conduction et de valence, les densités de porteurs générés par le dopage, les mobilités des électrons et des trous, et le coefficient de diffusion[3]. Les propriétés électroniques du SiC sont fortement liées au polytype et spécialement à la structure de bande. Toutes ses variétés allotropiques sont des matériaux à bande indirecte de sorte que les transitions de la bande de valence à la bande de conduction soient accompagnées d'un changement de vecteur d'onde et donc de pertes énergétiques par émission de phonons. Ceci n'en fait pas un bon candidat pour les applications optroniques. Par contre, le SiC est largement utilisé comme support pour la croissance de GaN pour diodes électroluminescentes[11].

1.9. Les Applications du SiC

Le SiC est un matériau attirant pour la micro-électronique. Ces caractéristiques physiques en font un matériau prometteur pour le développement d'une électronique spécifique dans les domaines de la haute température, de la puissance et des hyperfréquences [8].

1.9.1. Les applications « haute température »

Ce champ d'application couvre non seulement le cas des composants utilisés dans un environnement hautes températures, mais aussi les composants de puissance ou ceux dont le refroidissement pose problème. Le gap et la très faible densité de porteurs intrinsèques font que le SiC conserve des propriétés semi-conductrices « normales » à très haute température, jusque vers 1000K environ. En effet, la densité de porteurs intrinsèques varie exponentiellement avec le ratio gap/température, le dopage intentionnel du matériau reste prépondérant devant la génération thermique de porteurs jusqu'à des températures élevées. Cependant, il faut tenir compte de certains phénomènes qui pénalisent le composant à haute température, en particulier la mobilité des porteurs et la conductivité thermique qui diminuent avec la température, pénalisant ainsi les performances électriques et thermiques du composant[12].

1.9.2. Les applications « haute puissance » et « haute fréquence »

Le champ électrique critique du SiC est dix fois plus élevé que dans le Si. Il indique un seuil à partir duquel le champ électrique entraîne la multiplication de porteurs par phénomène d'avalanche et donc le claquage du dispositif. Pour une même épaisseur de couche active, le SiC est en mesure de bloquer une tension directement plus élevée que le Si. De plus sa conductivité thermique est proche de celle du cuivre ce qui permet une meilleure dissipation d'énergie par le substrat que pour le Si. Ces propriétés font du SiC un candidat idéal pour des applications de puissance (MOSFET, Schottky ...). La vitesse de saturation des porteurs deux fois supérieure à celle du silicium laisse envisager la réalisation de composants hautes fréquences utilisables spécialement dans les télécommunications[8].

1.10. Dopage du SiC

Les principaux dopants utilisés pour doper le SiC sont l'azote (N) et le phosphore (P) pour le type n et l'aluminium (Al) et le bore (B) pour le type p. Compte tenu des faibles coefficients de diffusion des dopants dans SiC, les procédés de diffusion ne sont pas réalisables. De ce fait, la méthode la plus évidente pour réaliser un dopage localisé est l'implantation ionique. Dans le SiC, les niveaux des accepteurs sont beaucoup plus profonds que dans le Si. En conséquence, à température ambiante, pour

une concentration de dopants en site substitutionnel donnée, seule une fraction des dopants en site substitutionnel est ionisée et participe à la conduction. Ce phénomène est appelé ionisation incomplète des dopants[7].

Le dopage du SiC prend en considération les étapes suivantes [10]:

- Eléments dopants.
- Sites de substitution
- Niveaux d'énergie des impuretés.
- Dopage par diffusion.
- Dopage par implantation.

1.11. Les défauts dans le SiC

Indépendamment de l'augmentation de taille, la croissance des lingots s'accompagne toujours de la création de nombreux défauts. Dans le cas de SiC, les plus gênants sont les micropipes (ou micro tubes qui, tout simplement, traversent le lingot de part en part). On ne les observe pas dans les cristaux produits par la méthode de Lely mais on les trouve en assez grand nombre dans les cristaux obtenus par la méthode Lely modifiée. Il est donc évident qu'ils trouvent leur origine à la surface du germe. Fin 1997-début 1998, pour des cristaux standards, après 25 min d'attaque dans la potasse à 650 °C, on en révèle typiquement 10^2 à 10^3 par cm^2 . Le processus physique de formation des micropipes est encore très mal connu[13].

Les défauts sont liés à un arrangement irrégulier des atomes du réseau cristallin. Ces défauts sont de plusieurs types [7]:

- Défaut ponctuel : Ce type de défaut se caractérise par la présence de lacunes d'interstitiels dans le réseau cristallin.
- Défaut étendu : on peut les regrouper selon trois familles différentes.
- Défauts linéaires : il s'agit d'une imperfection du réseau cristallin qui se propage dans une direction donnée. Dans le SiC, les défauts linéaires se présentent sous forme de dislocations vis ou de 'micropipes'.

- Défauts planaires : les défauts planaires peuvent se classer en trois grandes familles. Les domaines de doubles positionnements ('Double Phase Boundaries', DPBs), les frontières d'antiphase ('Anti-Phase Boundaries', APBs) et les défauts d'empilement ('Stacking Faults', SFs).
- Défauts volumiques : les défauts volumiques sont des inclusions de différents polytypes de SiC durant la croissance.

1.11.1. Défauts dans α -SiC

Dans les matériaux massifs de 4H et 6H-SiC, les défauts les plus souvent rencontrés sont les inclusions de différents polytypes de SiC et les « micropipes ».

L'homo-épitaxie sur les substrats de 4H ou 6H-SiC 'on-axis' ou faiblement désorientés (c'est-à-dire selon l'axe c, parallèlement au plan basal (0001)) favorise l'inclusion de 3C-SiC sous forme triangulaire. Ces défauts d'inclusion de 3C-SiC peuvent être éliminés en faisant croître la couche sur un substrat désorienté ('off-axis') de 4 à 8° comme il est illustré dans les Figure 1.11.1 [7].

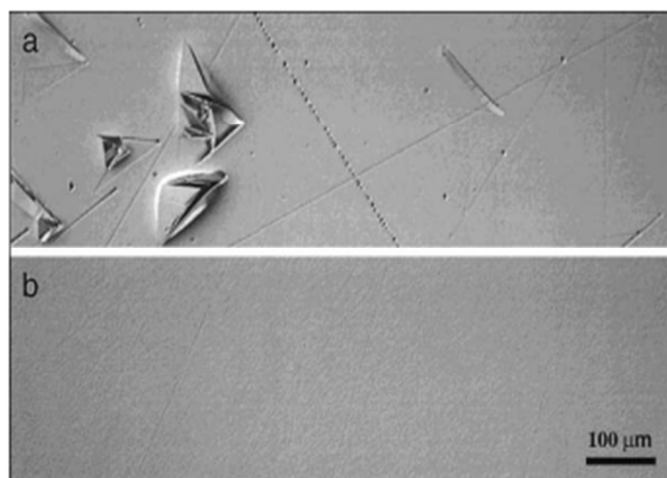


Figure 1.11.1 : Images obtenues par NOM ('Nomarski Optical Microscope') pour des couches de 4H-SiC homo-épitaxiées sur des substrats (a) désorientés de 3,5° et (b) désorientés de 8°

Les « micropipes » sont, quant à eux, des dislocations « super vis ». Il s'agit de petits tubes vides de diamètre compris entre 0,1 μ m à 10 μ m et qui traversent (selon l'axe c, perpendiculairement au plan basal) la totalité du substrat, se propageant également dans la couche épitaxiée [34]. Les « micropipes » sont souvent observés avec la formation de défauts de type « step bunching » de forme spirale [7], comme il est présenté dans la Figure 1.11.2

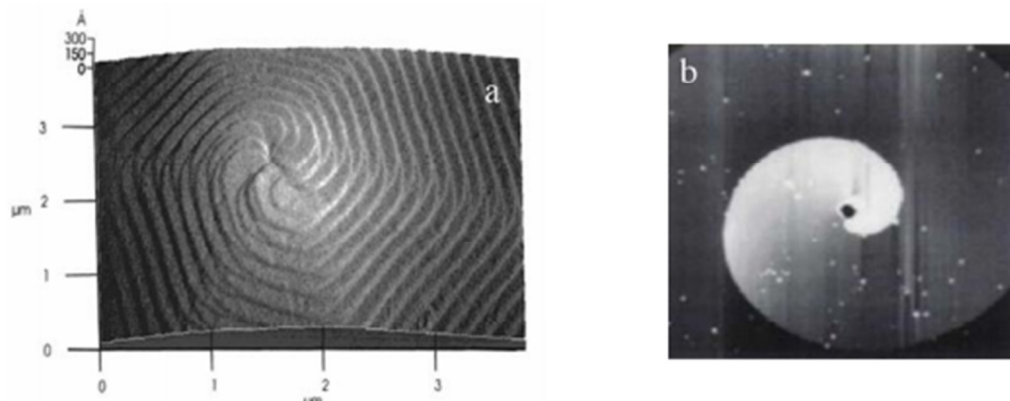


Figure 1.11.2 Exemples typiques de « micropipes » entourées de « step bunching »

1.11.2. Les défauts ponctuels dans le SiC

Le nombre de phénomènes liés à l'irradiation peuvent intervenir dans un semi-conducteur lors d'une implantation ionique ou dans les matériaux utilisés dans la structure des réacteurs nucléaires.

Les effets d'irradiation résultent des interactions particule-matière qui induisent des dommages pouvant aboutir à la formation d'une microstructure susceptible de modifier considérablement les propriétés du matériau irradié. Ceci peut éventuellement se traduire par un durcissement et une fragilisation de sa structure, une augmentation de sa conductivité électrique ou encore par une diminution de sa conductivité thermique. La compréhension des phénomènes mis en jeu est alors indispensable pour concevoir et améliorer les matériaux subissant de telles conditions, tout particulièrement quand il s'agit d'assurer le bon fonctionnement et la sécurité d'une installation nucléaire [11].

CHAPITRE 2 :

Etude théorique des transistors MOSFETs

2.1. Les transistors Mosfets :

2.1.1. Introduction :

Les notions du transistor MOS (Metal Oxide Semiconductor) ont été brevetées par Lilienfield et Heil en 1930. Cependant des difficultés technologiques ont retardé sa réalisation pratique due principalement aux problèmes d'interfaces Si/SiO₂. C'est en 1960 que Kahng et Attala ont exhibé le premier transistor MOS sur Silicium en utilisant une Grille isolée dont le diélectrique de grille était en oxyde de silicium SiO₂. Le transistor à effet de champ métal-oxyde-semi-conducteur (MOSFET) est l'un des deux grands types de transistors [14]. La communauté industrielle fraîchement établie aux alentours de la baie de San Francisco en Californie, a très rapidement reconnu le potentiel du MOSFET à base de silicium, donnant naissance à ce qu'on appelle aujourd'hui la Silicon Valley. Radio Corporation of America (RCA) et Fairchild Semiconductor ont intégré le MOSFET dans leur premier circuit intégré en 1962[15].

2.1.2. Structure de base et principe de fonctionnement

Le MOSFET est couramment représenté comme un interrupteur par les dessinateurs de circuits logiques. En effet, l'électrode appelée « grille », permet de contrôler le courant traversant un canal de conduction établi entre l'électrode de source et l'électrode de drain. Ainsi la grille agit comme électrode de commutation de l'état bloqué à l'état passant et vice versa. Le canal de conduction est créé en dessous de l'oxyde de grille, entre les deux réservoirs de charges que représentent les régions de source et de drain, grâce à un champ électrique vertical traversant le semi-conducteur à travers la capacité MOS (Métal – Oxyde – Semi-conducteur), d'où le nom transistor à effet de champ (fig. 2.1).

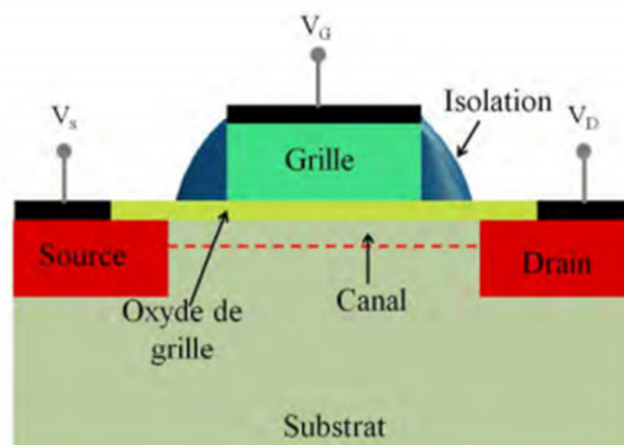


Figure2. 1 Structure MOSFET [15]

Selon le type des porteurs formant le canal de conduction, les MOSFETs se divisent en deux catégories. Lorsque le canal de conduction est formé essentiellement d'électrons, il est dit MOSFET de type n ou NMOS, il est conducteur à l'application d'une tension positive sur la grille. Un MOSFET de type p ou PMOS, quand la conduction est faite par des trous lors de l'application d'une tension négative sur la grille. Pour les deux cas, le dopage du substrat est opposé à la nature du canal et les réservoirs de charges source et drain. Un MOSFET est dit à enrichissement ou Normally Off si le MOSFET est à l'état bloqué à une tension de grille nulle et à l'inverse, il est dit à déplétion ou Normally On si une tension non nulle sur la grille est nécessaire pour passer à l'état bloqué [15].

2.1.3. Différents types de MOSFETs

Rappelons que le transistor ne conduit pas entre la source et le drain lorsqu'aucune tension n'est appliquée sur la grille, c'est-à-dire au repos. En pratique, il est possible de réaliser une couche très fine et suffisamment dopée juste sous l'isolant de même type que les zones de source et de drain afin de permettre une conduction au repos, on parle alors de MOSFETs à appauvrissement de canal, dans ce cas trois zones dopées du même type sont en série. Par contre, l'application d'un champ électrique peut « chasser » les électrons de ce canal existant au repos et donc peut entraîner le blocage de la conduction. De ce fait le transistor peut conduire dès que la tension appliquée sur la grille est supérieure ou égale à zéro vu que le canal de conduction est préfabriqué. La Figure 2.2 montre une coupe schématique d'une structure MOSFET. Ce transistor est alors appelé transistor NMOS à appauvrissement dit « normally on » en anglais.

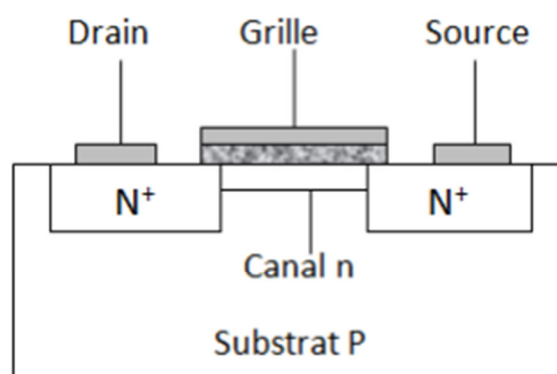


Figure2. 2 Coupe schématique d'un transistor MOS normalement conducteur (À appauvrissement de canal) [16].

La Figure 2.2 est celle d'un transistor à canal n. Nous pouvons remplacer par analogie le dopage de type n des zones de source et de drain par un dopage de type p, et le dopage du substrat de type p par du type n et éventuellement celui du canal en surface par un canal de type p. Nous créons dans ce cas des transistors PMOS [2]. Dans le cas des MOSFETs à enrichissement de canal, ce dernier est obtenu par la polarisation de la grille. Il existe ainsi 4 types de transistors MOS différents selon la nature du substrat et le procédé technologique de fabrication [16]. On distingue alors :

- Le NMOS à enrichissement de canal.
- Le NMOS à appauvrissement de canal.
- Le PMOS à enrichissement de canal.
- Le PMOS à appauvrissement de canal.

2.1.3.1. Transistor à Enrichissement

- Inexistence de canal de conduction lorsque la tension de grille est nulle ;
- Il faut appliquer une tension à la grille, pour créer un canal qui assure la conduction ;
- Dans un transistor N-MOS à enrichissement, il n'y a plus de zone dopée servant de canal de conduction ;
- Les trous du substrat ne peuvent donner lieu à un courant puisque les deux jonctions source-bulk et bulk-drain sont respectivement non polarisée et polarisée en inverse.
- Seuls, les électrons peuvent créer un courant dans ce type Principe de Base – Seuls, les électrons peuvent créer un courant dans ce type de dispositif ;
- Quand une tension nulle est appliquée sur la grille, les électrons ne sont pas injectés dans le semi-conducteur et aucun courant ne circule de la source vers le drain.
- Quand une tension positive est appliquée sur la grille, elle attire des électrons fournis par la source et le drain et un courant peut alors s'établir [17].

2-1-3-2-Transistor à Appauvrissement

- Un canal de conduction existe à une tension de grille nulle ;
- Nécessite une tension de grille pour faire disparaître le canal et rendre le dispositif à un état de non conduction [17].

2.1.4. Caractéristiques courant - tension

2.1.4.1. Concepts de la relation courant-tension

Montre un MOSFET en mode d'amélioration à canal n avec une tension grille-source inférieure à la tension de seuil et avec seulement une très petite tension drain-source. Les bornes de la source et du substrat, ou du corps, sont maintenues à potentiel du sol. Avec cette configuration du biais, il n'y a pas de couche d'inversion des électrons, la jonction drain-substrat pn est polarisée en sens inverse et le courant de drain est nul (sans tenir compte des courants de fuite des jonctions pn).

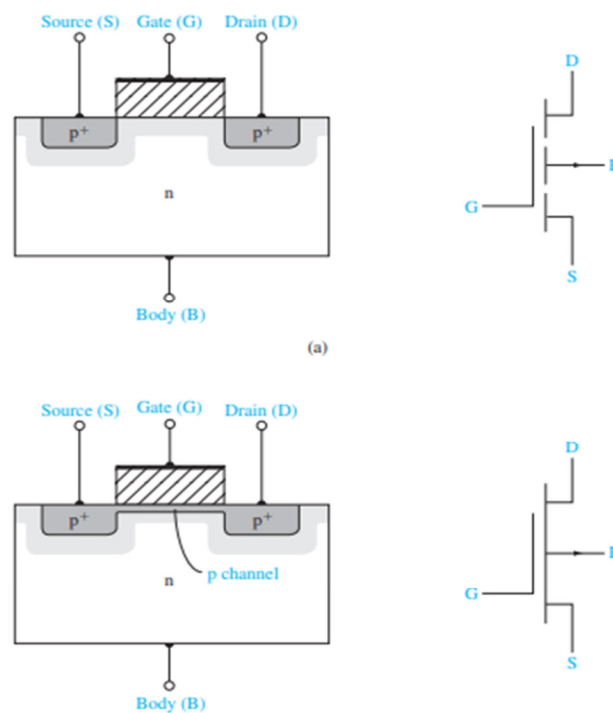


Figure 2.3 Section transversale et symbole de circuit pour (a) un MOSFET à canal p en mode d'amélioration et (b) un MOSFET à canal p en mode d'appauvrissement.

La figure 2.4(b) montre le même MOSFET avec une tension de grille appliquée telle que $V_{GS} > V_T$. Une couche d'inversion des électrons a été créée de sorte que lorsqu'une petite tension de drain est appliquée, les électrons de la couche d'inversion s'envolent de la source vers le positif terminal de drainage. Le courant conventionnel entre dans la borne de drain et quitte la source terminale. Dans ce cas idéal, il n'y a pas de courant à travers l'oxyde vers le terminal de porte. Pour les petites valeurs V_{DS} , la région du canal a les caractéristiques d'une résistance, donc nous pouvons écrire :

$$I_D = g_d \times V_{DS} \quad (1.1)$$

Où g_d est défini comme la conductance du canal dans la limite comme $V_{DS} \rightarrow 0$. La conductance du canal est donnée par :

$$g_d = \frac{W}{L} \times \mu_n | Q'_n | \quad (1.2)$$

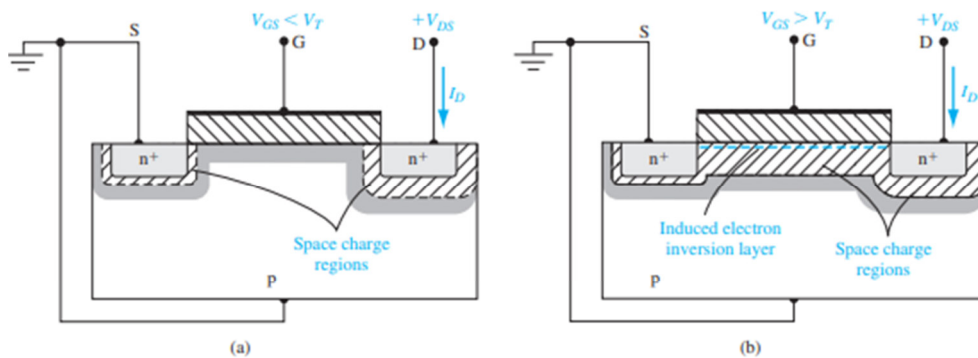


Figure 2.4 Mode d'amélioration à canal n MOSFET (a) avec une tension de grille $V_{GS} < V_T$ appliquée (b) avec une tension de grille $V_{GS} > V_T$ appliquée.

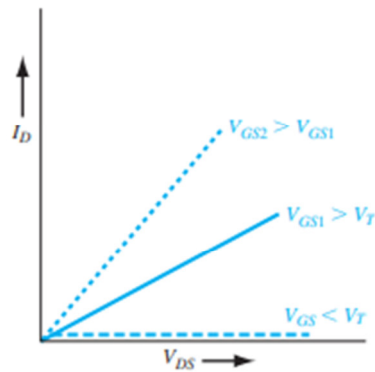


Figure 2.5 Caractéristiques de I_D par rapport au V_{DS} , pour les petites valeurs de V_{DS} à trois tensions V_{GS}

Où μ_n est la mobilité des électrons dans la couche d'inversion et $|Q'_n|$ est l'ampleur de la charge de la couche d'inversion par unité de surface. La charge de la couche d'inversion est une fonction de la tension de grille ; ainsi, l'action de base du transistor MOS est la modulation de la conductance du canal par la tension de grille. La conductance du canal, à son tour, détermine le courant de drain. Nous supposons dans un premier temps que la mobilité est une constante ; Les caractéristiques de I_D par rapport au V_{DS} , pour les petites valeurs du V_{DS} , sont indiquées à la figure 2.5. Lorsque le $V_{GS} < V_T$, le courant de drain est nul. Lorsque le V_{GS} devient supérieur à V_T , la densité de charge d'inversion du canal augmente, ce qui augmente la conductance du canal. Une valeur plus élevée de g_d produit une plus grande pente initiale de la caractéristique I_D par rapport à V_{DS} , comme indiqué dans la figure 2.6a montre la structure MOS de base pour le cas où le $V_{GS} > V_T$ et la tension V_{DS} appliquée est faible [14].

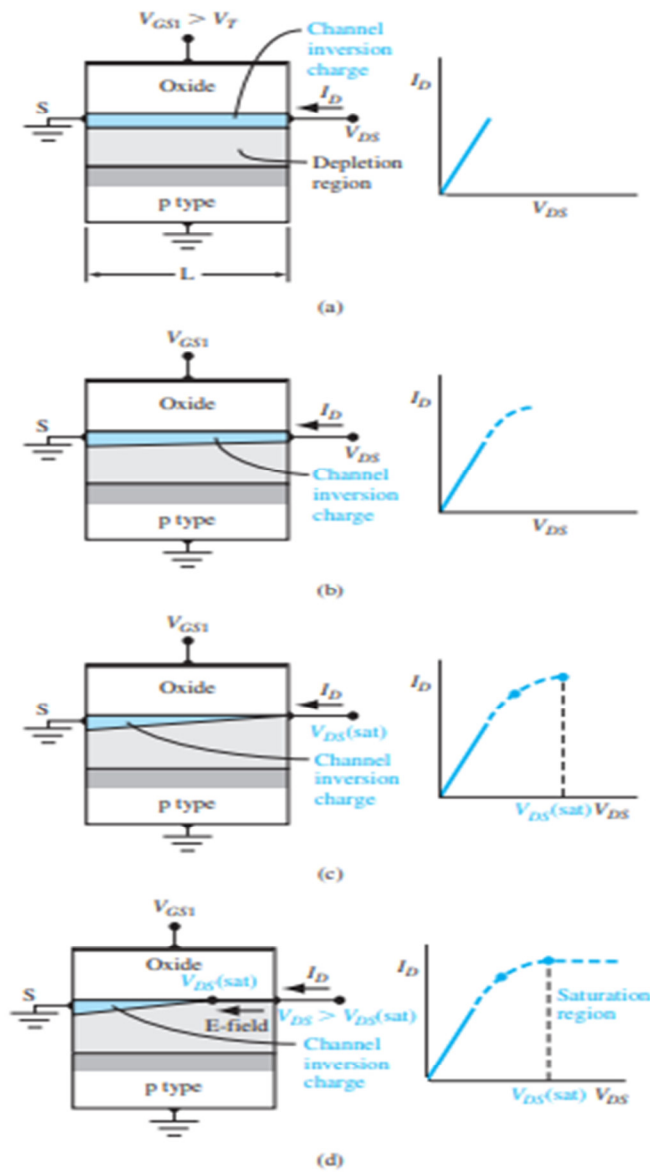


Figure2. 6 Section transversale et courbe I_D en fonction du V_{DS} lorsque $V_{GS} < V_T$ pour (a) une petite valeur V_{DS} , (b) une valeur V_{DS} plus importante, (c) une valeur de $V_{DS} = V_{DS(sat)}$, et (d) une valeur de $V_{DS} > V_{DS(sat)}$.

L'épaisseur de la couche du canal d'inversion dans la figure qualitativement indique la densité de charge relative, qui est essentiellement constante sur toute la longueur du canal dans ce cas. La courbe $I_D - V_{DS}$ correspondante est indiquée dans le graphique. La figure 2.6b montre la situation lorsque la valeur V_{DS} augmente. Lorsque la tension de drain augmente, la chute de tension à travers l'oxyde près de la borne de drain diminue, ce qui signifie que la densité de charge d'inversion induite

près du drain diminue également. La conductance incrémentale du canal au niveau du drain diminue, ce qui signifie que la pente de la courbe I_D en fonction du V_{DS} diminue. Cet effet est illustré par la courbe I_D en fonction du V_{DS} dans la figure. Lorsque le V_{DS} augmente au point où la chute de potentiel à travers l'oxyde à la borne de drain est égale à V_T , la densité de charge d'inversion induite est nulle à la borne de drain. Cet effet est illustré schématiquement à la figure 2.6c. À ce stade, la conductance incrémentale au drain est nulle, ce qui signifie que la pente de I_D en fonction de la courbe V_{DS} est égale à zéro. On peut écrire :

$$V_{GS} - V_{DS(sat)} = V_T \quad (1.3)$$

$$V_{DS(sat)} = V_{GS} - V_T \quad (1.4)$$

Où $V_{DS(sat)}$ est la tension drain-source produisant une densité de charge d'inversion nulle à la borne de drain. Lorsque le V_{DS} devient supérieur à la valeur du $V_{DS(sat)}$, le point du canal à dont la charge d'inversion est juste nulle, se déplace vers la borne source. Dans ce les électrons entrent dans le canal à la source, traversent le canal vers le puits, au point où la charge devient nulle, les électrons sont injectés dans la région de la charge spatiale où ils sont balayés par le champ électrique jusqu'au contact de drainage. Si l'on suppose que la modification de la longueur ΔL du canal est faible par rapport à la longueur L , alors le courant de drain sera une constante pour le $V_{DS} > V_{DS(sat)}$. La région de la caractéristique I_D versus V_{DS} est appelée la région de saturation. Figure 2.6d montre cette région de fonctionnement. Lorsque le V_{GS} change, la courbe I_D versus V_{DS} change. Nous avons vu que, si la V_{GS} augmente, la pente initiale de I_D par rapport au V_{DS} augmente. On peut également noter à partir de l'équation (1.5b) que la valeur du $V_{DS(sat)}$ est une fonction du V_{GS} . Nous pouvons générer la famille de courbes pour cette MOSFET en mode d'amélioration des canaux n, comme le montre la figure 2.7. La figure 2.8 montre un MOSFET en mode d'appauvrissement à canal n. Si la région du canal n est en fait une couche d'inversion électronique induite créée par le métal-semi-conducteur et la charge fixée dans l'oxyde, les caractéristiques courant-tension sont exactement les mêmes que celles dont nous avons parlé, sauf que le V_T est une quantité négative. Nous pouvons également envisager le cas où la région du canal n est en fait un canal de type n région des semi-conducteurs. Dans ce type de dispositif, une tension de grille négative induira une région de charge spatiale sous l'oxyde, ce qui réduit l'épaisseur de la région du canal n. La réduction de l'épaisseur diminue la conductance du canal, ce qui réduit le drain

actuel. Une tension de grille positive crée une couche d'accumulation d'électrons, qui augmente le courant de fuite [14].

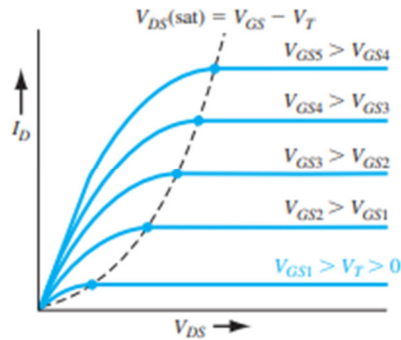


Figure2.7 Famille de courbes $I_D - V_{DS}$ pour un MOSFET en mode d'amélioration à n canaux.

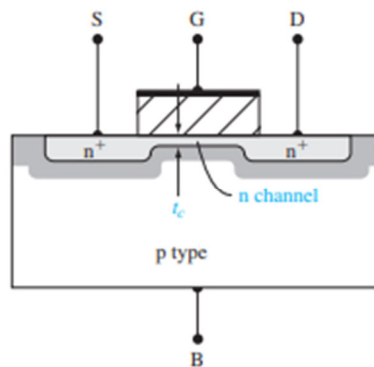


Figure2. 8 Coupe transversale d'un MOSFET en mode d'appauvrissement.

L'une des exigences fondamentales de ce dispositif est que le canal l'épaisseur t_c doit être inférieure à la largeur maximale de la charge spatiale induite afin de pouvoir éteindre l'appareil. La famille de courbes générales $I_D - V_{DS}$ pour un MOSFET en mode d'appauvrissement à n canaux est présentée à la figure 2.9. Dans la section suivante, nous déduisons la relation courant-tension idéale pour le MOSFET à canal n. Dans la région de non-saturation, on obtient :

$$I_D = \frac{W \times \mu_n \times C_{OX}}{2L} \times [2 \times (V_{GS} - V_T) \times V_{DS} - V_{DS}^2] \quad (1.5) a$$

Qui peut s'écrire:

$$I_D = \frac{K'_n}{2} \times \frac{W}{L} \times [2 \times (V_{GS} - V_T) \times V_{DS} - V_{DS}^2] \quad (1.5) b$$

$$I_D = K_n \times [2 \times (V_{GS} - V_T) \times V_{DS} - V_{DS}^2] \quad (1.5) c$$

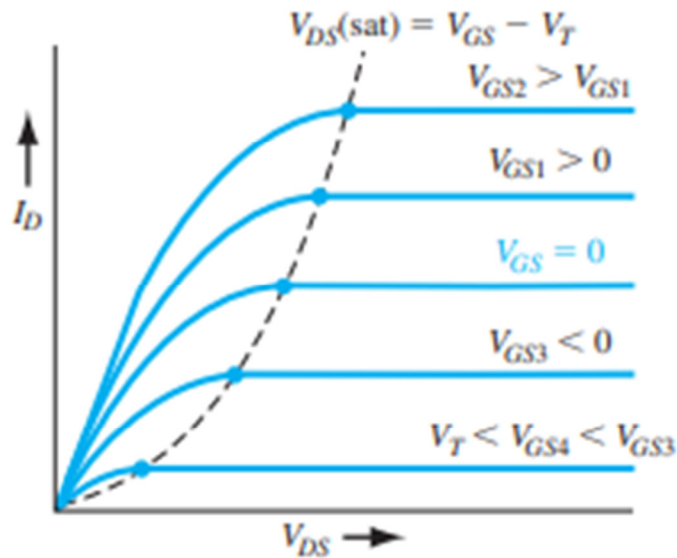


Figure2. 9 Famille de courbes I_D versus V_{DS} pour un mode d'appauvrissement à n canaux MOSFET

Le paramètre $K'_n = \mu_n \times C_{OX}$ est appelé le paramètre de conduction du processus pour le MOSFET à canal n et possède des unités de A/V^2 . Le paramètre $K_n = (w \times \mu_n \times C_{OX})/2L = \left(\frac{K'_n}{2}\right) \times (W/L)$ est appelé le paramètre de conduction pour le MOSFET à canal n et lorsque le transistor est polarisé dans la zone de saturation, la relation courant-tension idéale est donnée par :

$$I_D = \frac{W \times \mu_n \times C_{OX}}{2L} \times (V_{GS} - V_T)^2 \quad (1.6) a$$

Qui peut s'écrire :

$$I_D = \frac{K'_n}{2} \times \frac{W}{L} \times (V_{GS} - V_T)^2 \quad (1.6) b$$

Ou :

$$I_D = K_n \times (V_{GS} - V_T)^2 \quad (1.6) c$$

En général, pour une technologie donnée, le paramètre de conduction du processus, K'_n , est une constante. A partir des équations (1.5b) et (1.6b), nous voyons donc que la conception d'un MOSFET, en termes de capacité actuelle, est déterminée par le paramètre de largeur-longueur. Le fonctionnement d'un dispositif à canal p est le même que celui du dispositif à canal n, sauf que le porteur de charge est le trou et que les polarités conventionnelles de direction du courant et de tension sont inversées [14].

2-1-4-2- Relation courant-tension - dérivation mathématique

Dans la section précédente, nous avons abordé qualitativement les caractéristiques de la tension actuelle. Dans cette section, nous dérivons la relation mathématique entre le courant de drain, la tension grille-source et la tension drain-source. La figure 2.10 montre la géométrie de l'appareil que nous utilisons dans cette dérivation. Dans cette analyse, nous faisons les hypothèses suivantes :

1. Le courant dans le canal est dû à la dérive plutôt qu'à la diffusion.
2. Il n'y a pas de courant à travers l'oxyde de grille.
3. Une approximation graduelle du canal est utilisée dans laquelle $\partial E_Y / \partial Y \gg \partial E_x / \partial x$.

L'approximation signifie que E_x est essentiellement une constante.

4. Toute charge d'oxyde fixée est une densité de charge équivalente à l'oxyde-interface de semi-conducteurs.
5. La mobilité des porteurs dans le canal est constante.

Nous commençons l'analyse par la loi d'Ohm, qui peut s'écrire comme :

$$J_x = \sigma E_x \quad (1.7)$$

Où σ est la conductivité du canal et E_x est le champ électrique le long du canal créé par la tension drain-source. La conductivité du canal est donnée par $\sigma = e \times \mu_n \times n(y)$, où μ_n est la mobilité des électrons et $n(y)$ est la concentration d'électrons dans la couche d'inversion[14].

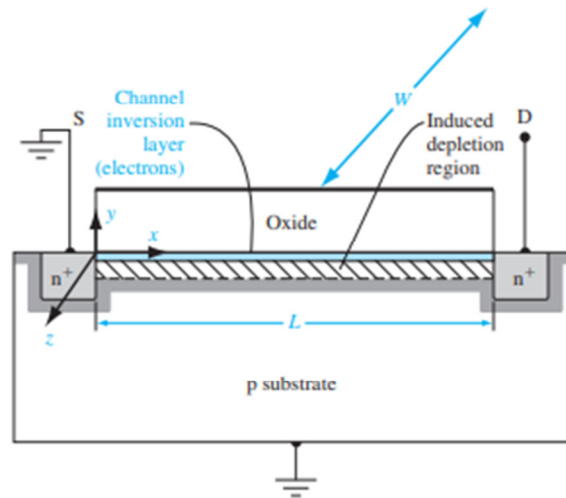


Figure2. 10 Géométrie d'un MOSFET pour la dérivation I_D versus V_{DS} .

Le courant total du canal est trouvé en intégrant J_x sur la surface de la section transversale dans les directions y et z. Puis :

$$I_x = \iint J_x \, dy \, dz \quad (1.8)$$

Nous pouvons écrire que :

$$Q'_n = - \int en(y) \, dy \quad (1.9)$$

Où Q'_n est la charge de la couche d'inversion par unité de surface et est une quantité négative pour ce cas.

L'équation (1.8) devient alors :

$$I_x = -W \times \mu_n \times Q'_n \times E_x \quad (1.10)$$

Où W est la largeur du canal, résultat de l'intégration sur z. Les deux concepts que nous utilisons dans la dérivation de la tension de courant sont la neutralité de la charge et la loi de Gauss. La figure 2.11 montre les densités de charge à travers le dispositif pour $V_{GS} > V_T$. Les redevances sont toutes indiquées en termes de redevance par unité de surface. En utilisant le concept de neutralité des charges, on peut écrire :

$$Q'_m + Q'_{ss} + Q'_n + Q'_{SD}(\max) = 0 \quad (1.11)$$

La charge de la couche d'inversion et la charge spatiale induite sont négatives pour ce dispositif à n canaux. La loi de Gauss peut être écrite comme :

$$\oint \mathbf{E}_n \cdot d\mathbf{S} = Q_T \quad (1.12)$$

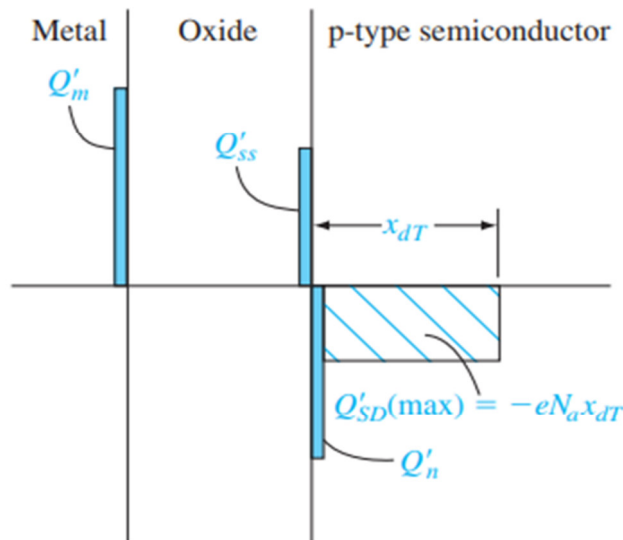


Figure2. 11 Distribution de charge dans le mode d'amélioration du canal n MOSFET pour $V_{GS} > V_T$

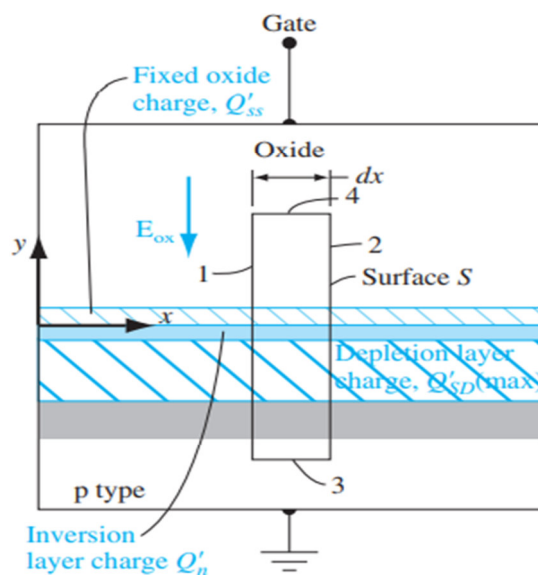


Figure 2. 12 Géométrie pour l'application de la loi de Gauss.

Où l'intégrale se trouve sur une surface fermée. Q_T est la charge totale incluse dans la loi de S. Gauss est appliquée à la surface définie dans la figure 2.12. Depuis le site, la loi de Gauss est appliquée à la surface définie dans la figure 2.12 la surface doit être fermée, nous devons tenir compte des deux surfaces d'extrémité dans le plan x-y. Cependant, il n'y a pas de composante z du champ électrique, donc ces deux extrémités les surfaces ne contribuent pas à l'intégrale de l'équation (1.12). Considérons maintenant les surfaces marquées 1 et 2 dans la figure 2.12. A partir de la graduation l'approximation du canal, nous supposons que E_x est essentiellement une constante le long du canal longueur. Cette hypothèse signifie que E_x en surface 2 est identique à E_x hors surface 1. Puisque l'intégrale de l'équation (1.12) implique la composante extérieure de l'équation E-field, les apports de la surface 1 et 2 s'annulent mutuellement. La surface 3 se trouve dans la région p neutre, donc le champ électrique est nul à cette surface. La surface 4 est la seule surface qui contribue à l'équation (1.12). En prenant en compte tenu de la direction du champ électrique dans l'oxyde, l'équation (1.12) devient :

$$\oint \epsilon_n \mathbf{E}_n d\mathbf{S} = -\epsilon_{OX} E_{OX} W dx = Q_T \quad (1.13)$$

Où " ϵ_{OX} " est la permittivité de l'oxyde. La charge totale incluse est :

$$Q_T = [Q'_{ss} + Q'_n + Q'_{SD}(max)] W dx \quad (1.14)$$

En combinant les équations (1.13) et (1.14), nous avons :

$$-\epsilon_{OX} E_{OX} = Q'_{ss} + Q'_n + Q'_{SD}(max) \quad (1.15)$$

Nous avons maintenant besoin d'une expression pour E_{Ox} . La figure 2.13a montre l'oxyde et le canal. Nous supposons que la source est au potentiel du sol. Le voltage V_X est le potentiel dans le point x sur la longueur du canal. La différence de potentiel à travers l'oxyde en x est une fonction de V_{GS} , V_X , et de la différence de fonction de travail métal-semi-conducteur. [14]

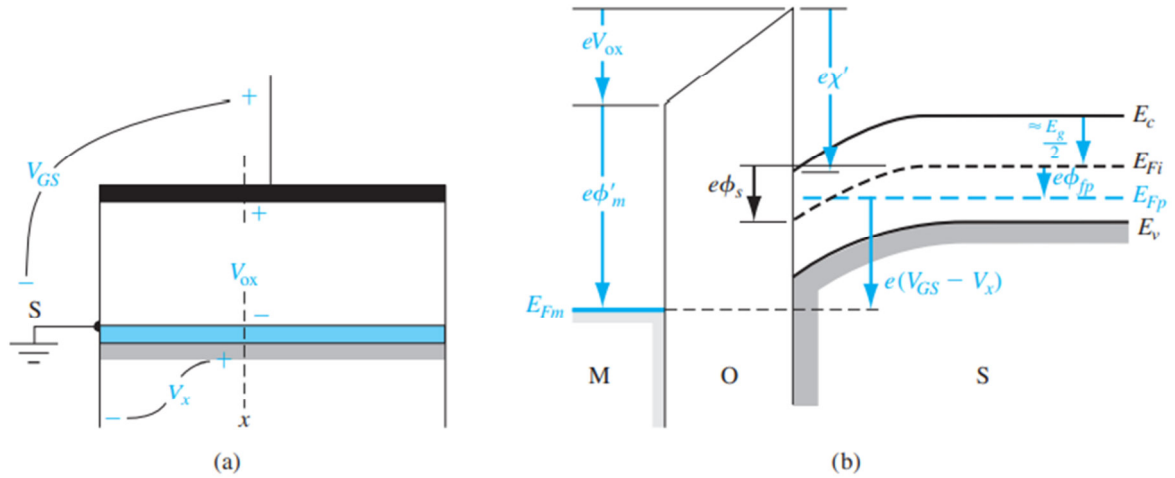


Figure 2.13 (a) Potentiels en un point x le long du canal. (b) Diagramme de la bande d'énergie à travers la structure MOS au point x.

Le diagramme de la bande d'énergie à travers la structure MOS au point x est illustré à la figure 2.13b. Le niveau de Fermi dans le semi-conducteur de type p est E_{FP} et le niveau de Fermi dans le métal est E_{Fm} . Nous avons :

$$E_{FP} - E_{Fm} = e(V_{GS} - V_X) \quad (1.16)$$

Compte tenu des obstacles potentiels, nous pouvons écrire :

$$V_{GS} - V_X = (Q'_m + V_{OX}) - \left(X' + \frac{E_g}{2e} - \varphi_s + \varphi_{fp} \right) \quad (1.17)$$

Qui peut également s'écrire :

$$V_{GS} - V_X = V_{OX} + 2\varphi_{fp} + \varphi_{ms} \quad (1.18)$$

Où φ_{ms} est la différence de fonction de travail métal-semi-conducteur, et $\varphi_s = 2\varphi_{fp}$ pour la condition d'inversion. Le champ électrique dans l'oxyde est :

$$E_{OX} = \frac{V_{OX}}{E_{OX}} \quad (1.19)$$

En combinant les équations (1.15), (1.18), et (1.19), on constate que :

$$-\epsilon_{OX} E_{OX} = \frac{-\epsilon_{OX}}{t_{OX}} [(V_{GS} - V_X) - (\varphi_{ms} + 2\varphi_{fp})] = \varphi'_{ss} + \varphi'_n + \varphi'_{SD}(\max) \quad (1.20)$$

La densité de charge d'inversion, Q'_n , de l'équation (1.20) peut être substituée dans l'équation (1.10) et on obtient :

$$I_X = -W \times \mu_n \times C_{OX} \times \frac{dV_X}{dx} [(V_{GS} - V_X) - V_T] \quad (1.21)$$

Où $E_X = -dV_X / dx$ et V_T est la tension de seuil. Nous pouvons maintenant intégrer l'équation (1.21) sur toute la longueur du canal. Nous avons :

$$\int_0^L I_X dx = -W \times \mu_n \times C_{OX} \int_{V_X(0)}^{V_X(L)} [(V_{GS} - V_T) - V_X] dx \quad (1.22)$$

Nous supposons une mobilité constante μ_n . Pour le dispositif à canal n, le courant de drain entre dans la borne de drain et est une constante sur toute la longueur du canal. En laissant $I_D = -I_X$, l'équation (1.22) devient :

$$I_D = \frac{W \times \mu_n \times C_{OX}}{2L} [2(V_{GS} - V_T) \times V_{DS} - V_{DS}^2] \quad (1.23)$$

L'équation (1.23) est valable pour $V_{GS} \geq V_T$ et pour $0 \leq V_{DS} \leq V_{DS(sat)}$. L'équation (1.23) peut également s'écrire :

$$I_D = \frac{K'_n}{2} \times \frac{W}{L} [2(V_{GS} - V_T) \times V_{DS} - V_{DS}^2] = K_n [2(V_{GS} - V_T) \times V_{DS} - V_{DS}^2] \quad (1.24)$$

Ces paramètres sont décrits et définis dans les équations (1.5b) et (1.5c). La figure 2.14 montre des graphiques de l'équation (1.23) en fonction du V_{DS} pour plusieurs valeurs de V_{GS} . Nous pouvons trouver la valeur du V_{DS} à la valeur de courant de crête à partir de $\partial I_D / \partial V_{DS} = 0$. Ensuite, à l'aide de l'équation (1.23), le courant de crête se produit lorsque :

$$V_{DS} = V_{GS} - V_T \quad (1.25)$$

Cette valeur de V_{DS} est juste $V_{DS(sat)}$, le point auquel la saturation se produit. Pour le $V_{DS} > V_{DS(sat)}$, le courant de drain idéal est une constante et est égal à

$$I_{D(sat)} = \frac{W \times \mu_n \times C_{OX}}{2L} \left[2(V_{GS} - V_T) \times V_{DS(sat)} - V_{DS(sat)}^2 \right] \quad (1.26)$$

En utilisant l'équation (1.25) pour le $V_{DS(sat)}$, l'équation (1.26) devient :

$$I_{D(sat)} = \frac{W \times \mu_n \times C_{OX}}{2L} \times (V_{GS} - V_T)^2 \quad (1.27)$$

En utilisant l'équation (1.26) pour le $V_{DS(sat)}$, l'équation (1.27) devient :

$$I_{D(sat)} = \frac{W \times \mu_n \times C_{OX}}{2L} \times (V_{GS} - V_T)^2 \quad (1.28)$$

L'équation (1.28) peut également être écrite comme suit :

$$I_D = \frac{K'_n}{2} \times \frac{W}{L} \times (V_{GS} - V_T)^2 = K_n \times (V_{GS} - V_T)^2 \quad (1.29)$$

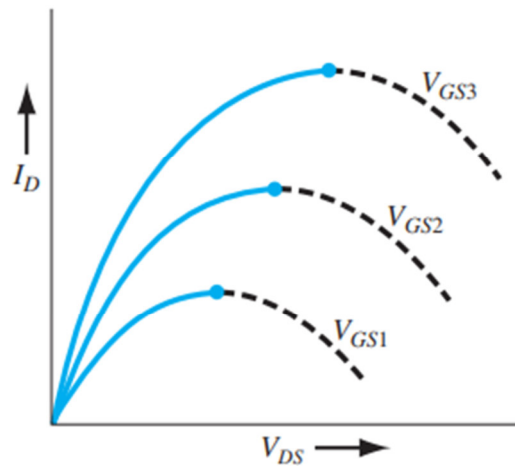


Figure2. 14 Graphiques de $I_D - V_{DS}$ à partir de l'équation (1.23).

L'équation (1.23) est la relation courant-tension idéale du MOSFET à canal n dans la région de non-saturation pour un $0 \leq V_{DS} \leq V_{DS(sat)}$, et l'équation (1.28) est la relation courant-tension idéale du MOSFET à canal n dans la région de saturation pour un $V_{DS} \geq V_{DS(sat)}$. Ces expressions I-V ont été explicitement dérivées pour un dispositif en mode d'amélioration à canal n. Cependant, ces mêmes

équations s'appliquent à un MOSFET à canal n en mode d'appauvrissement dans lequel la tension de seuil V_T est une valeur négative quantité[14].

Nous pouvons utiliser les relations I-V pour déterminer expérimentalement les paramètres de mobilité et de tension de seuil. À partir de l'équation (1.23), nous pouvons écrire, pour de très petites valeurs de V_{DS} ,

$$I_D = \frac{W \times \mu_n \times C_{OX}}{L} (V_{GS} - V_T) \times V_{DS} \quad (1.30)$$

La figure 2.15a montre un tracé de l'équation (1.30) en fonction du V_{GS} pour un V_{DS} constant. Une ligne droite est tracée à travers les points. L'écart par rapport à la ligne droite aux faibles valeurs de V_{GS} est dû à la conduction sous le seuil et l'écart aux valeurs plus élevées de V_{GS} est due au fait que la mobilité est fonction de la tension de la porte. Considérons maintenant le cas où le transistor est polarisé dans la zone de saturation. Si nous prenons la racine carrée de l'équation (1.28), nous obtenons :

$$\sqrt{I_{DS(sat)}} = \sqrt{\frac{W \times \mu_n \times C_{OX}}{2L}} \times (V_{GS} - V_T) \quad (1.31)$$

La figure 2.15b est un tracé de l'équation (1.31). Dans le cas idéal, nous pouvons obtenir la même des informations provenant des deux courbes. Cependant, comme nous le verrons dans le prochain chapitre, la tension de seuil peut être une fonction du V_{DS} dans les appareils à canaux courts. Puisque l'équation (1.31) s'applique aux dispositifs biaisés dans la région de saturation, le paramètre V_T dans cette équation peut différer de la valeur extrapolée déterminée dans la figure 10.48a. En général, Les caractéristiques courant-tension non saturées produiront les données les plus fiables[14].

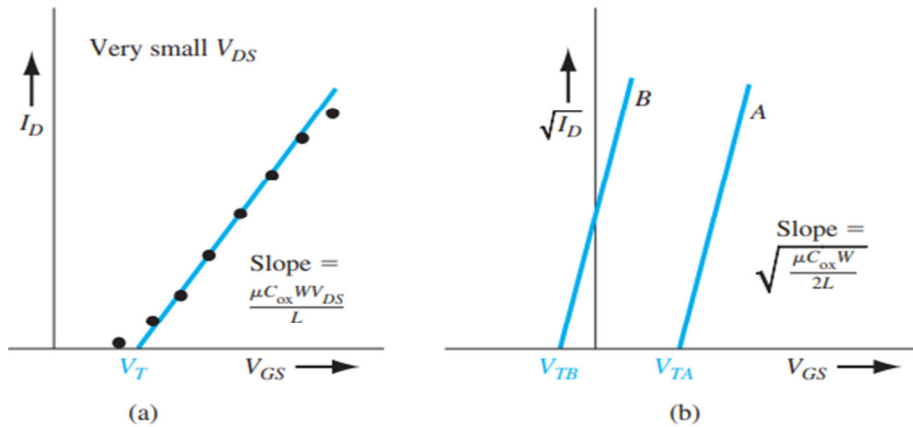


Figure 2.15 I_D par rapport au V_{GS} (pour les petits V_{DS}) pour le mode d'amélioration MOSFET. (b) $\sqrt{I_D}$ idéal par rapport au V_{GS} dans la région de saturation pour les MOSFET à canal n en mode d'enrichissement (courbe A) et en mode d'appauvrissement (courbe B).

La relation courant-tension d'un dispositif à canal p peut être obtenue par le même type d'analyse. La figure 2.16 montre un MOSFET à canal p en mode d'amélioration. Les polarités de tension et la direction du courant sont l'inverse de celles du dispositif à canal n. Nous pouvons noter le changement de la notation de l'indice pour ce dispositif. Pour la direction du courant indiquée dans le graphique, la relation I-V pour le MOSFET à canal p polarisé dans la région de non-saturation est :

$$I_D = \frac{W \times \mu_p \times C_{ox}}{2L} \times [2(V_{SG} + V_T) \times V_{SD} - V_{SD}^2] \quad (1.32)$$

L'équation (1.32) est valable pour $0 \leq V_{SD} \leq V_{SD(sat)}$.

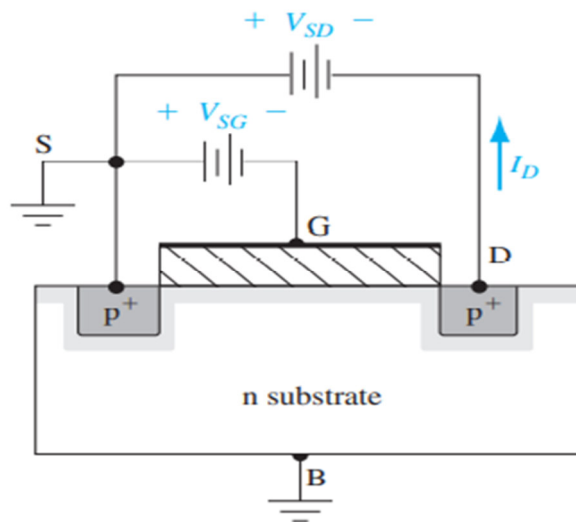


Figure 2. 16 Section transversale et configuration de biais pour un MOSFET en mode d'amélioration du canal p.

L'équation (1.32) peut également être écrite comme suit :

$$I_D = \frac{K'_p}{2} \times \frac{W}{L} \times [2(V_{SG} + V_T) \times V_{SD} - V_{SD}^2] = K_p [2(V_{SG} + V_T) \times V_{SD} - V_{SD}^2] \quad (1.33)$$

Où $K'_p = \mu_p \times C_{OX}$ est le paramètre de conduction du processus pour le MOSFET à canal p et $K_p = (W \times \mu_p \times C_{OX}) / (2L) \times (W / L)$ est le paramètre de conduction. Lorsque le transistor est polarisé dans la région de saturation, la relation I-V est donnée par :

$$I_{D(sat)} = \frac{W \times \mu_p \times C_{OX}}{2L} (V_{SG} + V_T)^2 \quad (1.34)$$

L'équation (1.34) est valable pour le $V_{SD} \geq V_{SD(sat)}$.

L'équation (1.34) peut également s'écrire :

$$I_D = \frac{K'_p}{2} \times \frac{W}{L} (V_{SG} + V_T)^2 = K_p (V_{SG} + V_T)^2 \quad (1.35)$$

La tension de saturation source-drain est donnée par :

$$V_{SD(sat)} = V_{SG} + V_T \quad (1.36)$$

Notez le changement de signe devant V_T et notez que la mobilité est maintenant celle des trous de la charge de la couche d'inversion des trous. Gardez à l'esprit que V_T est négatif pour un MOSFET à canal p en mode d'enrichissement et positif pour un mode d'appauvrissement dispositif de canal p. Une hypothèse que nous avons faite dans la dérivation de la relation courant-tension était que la condition de neutralité de la charge donnée par l'équation (1.11) était valable sur toute la longueur du canal. Nous avons implicitement supposé que $Q'_{SD}(max)$ était constant le long du canal. La largeur de la charge d'espace varie toutefois entre la source et le drain en raison de la tension drain-source ; elle est la plus large au niveau du drain lorsque, $V_{DS} > 0$. Une modification de la densité de charge spatiale sur la longueur du canal doit être compensée par une modification correspondante de la charge de la couche d'inversion. Une augmentation de la largeur de la charge d'espace signifie que la charge de la couche d'inversion est réduite, ce qui implique que le courant de drain et la tension de saturation drain-source sont inférieurs aux valeurs idéales. Le courant de drain de saturation réel peut être jusqu'à 20 % inférieur à la valeur prévue en raison de cet effet de charge globale[14].

2.1.4.3. Transconductance

La transconductance du MOSFET est définie comme la variation du courant de drain par rapport à la tension de grille à la variation correspondante de la tension de grille, où

$$g_m = \frac{\partial I_D}{\partial V_{GS}} \quad (1.37)$$

La transconductance est parfois appelée gain du transistor. Si l'on considère un MOSFET à canal n fonctionnant dans la région de non-saturation, puis en utilisant l'équation (1.23), nous avons

$$g_{mL} = \frac{\partial I_D}{\partial V_{GS}} = \frac{W\mu_n C_{ox}}{L} \cdot V_{DS} \quad (1.38)$$

La transconductance augmente linéairement avec le V_{DS} mais est indépendante du V_{GS} dans la région de non-saturation. Les caractéristiques I-V d'un MOSFET à canal n dans la région de saturation sont les suivantes données par l'équation (1.28). La transconductance dans cette région de fonctionnement est donnée par

$$g_{ms} = \frac{\partial I_D(sat)}{\partial V_{GS}} = \frac{W\mu_n C_{ox}}{L} (V_{GS} - V_T) \quad (1.39)$$

Dans la région de saturation, la transconductance est une fonction linéaire de la V_{GS} et est indépendante de V_{DS} .

La transconductance est fonction de la géométrie de l'appareil ainsi que de la mobilité des transporteurs et la tension de seuil. La transconductance augmente au fur et à mesure que la largeur de l'appareil augmente, et elle augmente également à mesure que la longueur du canal et l'épaisseur de l'oxyde diminuent. Dans la conception des circuits MOSFET, la taille du transistor, en particulier la largeur W du canal, est un paramètre important de la conception technique[14].

2.1.4.4. La tension seuil

La tension seuil V_T est un autre paramètre important du FET, qui peut varier selon le circuit. La composante importante pour un NMOS est la tension source - substrat (V_{SB}). En effet, si $V_{SB} \neq 0$, il faudra calculer une nouvelle valeur de V_T [18].

La tension seuil est donnée par l'équation suivante :

$$V_T = V_{T0} + \gamma(\sqrt{2|\varphi_f| + V_{SB}} - \sqrt{2|\varphi_f|}) \quad (1.40)$$

Où V_{T0} est la tension seuil lorsque $V_{SB} = 0$, et γ est le coefficient de l'effet du substrat.

CHAPITRE 3 :
SIMULATION
TECHNOLOGIQUE ET
ELECTRIQUE D'UN
TRANSISTOR 4H-SiC
MOSFET

3.1 Introduction

Les simulateurs TCAD (Technology Computer-Aided Design) permettent la modélisation du comportement physique et électrique d'un composant électronique, dans le but d'économiser le temps et le coût de développement, et ainsi de pouvoir découvrir et optimiser des solutions pour améliorer les performances des dispositifs. Les simulateurs existants sur le marché (ISE, SYNOPSIS, SILVACO,...) ont le même principe de fonctionnement. Dans ce travail, nous avons utilisé le simulateur TCAD-SILVACO (ATHENA et ATLAS).

Nous présenterons les simulations des étapes technologiques à suivre telle que l'oxydation, la diffusion, l'implantation, la gravure, etc ainsi que le comportement électrique d'un transistor MOSFET de type 4H-SiC sous le logiciel TCAD-SILVACO en utilisant respectivement l'interface Athena, et ATLAS.

3.2 Simulation en 2D des dispositifs sous ATHENA

Le procédé technologique est simulé à l'aide du module ATHENA, chaque étape de fabrication utilise un modèle physique pour la simulation des phénomènes réels existants dans le processus de fabrication réel.

3.2.1 Création d'une structure initiale.

Cette partie décrit comment utiliser le menu Commande de DeckBuild pour créer un fichier d'entrée Athena typique. Le but de cette étude est de montrer l'utilisation des instructions et des paramètres spécifiques à Athena, ainsi que certaines fonctionnalités de DeckBuild, pour créer un fichier d'entrée réaliste.

De nombreux fichiers d'entrée des procédures technologique réalistes se trouvent parmi les exemples qu'on peut les utiliser comme point de départ.

3.2.2 Spécification de la grille rectangulaire initiale.

La spécification correcte de la grille rectangulaire est essentielle dans la simulation des processus de fabrications des composants électroniques. Le nombre de nœuds rectangulaire de la grille « N_p » influe directement sur la précision et le temps de simulation. Une grille plus fine devrait exister dans les zones de la structure de simulation où par exemple l'implantation ionique se produira, ou la jonction p-n se formera. Le nombre d'opérations arithmétiques nécessaires pour parvenir à une solution pour les procès simulés est estimé à « N_p^α » en utilisant la méthode d'analyse des éléments fini, Avec α de l'ordre 1,5 - 2,0. Plus le nombre de nœuds de la grille, est important le nombre d'opération arithmétique nécessaire sera grand et du coup on aura une bonne précision des résultats mais malheureusement le temps d'exécution sera plus lent.

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

Une fois que **DeckBuild** est exécuté et que le simulateur est défini sur Athena, on choisira la commande **Commands Menu**, puis **Mesh Define** comme il est montré dans la figure 1 dans le but de définir les meshes « **Mesh Define** ».

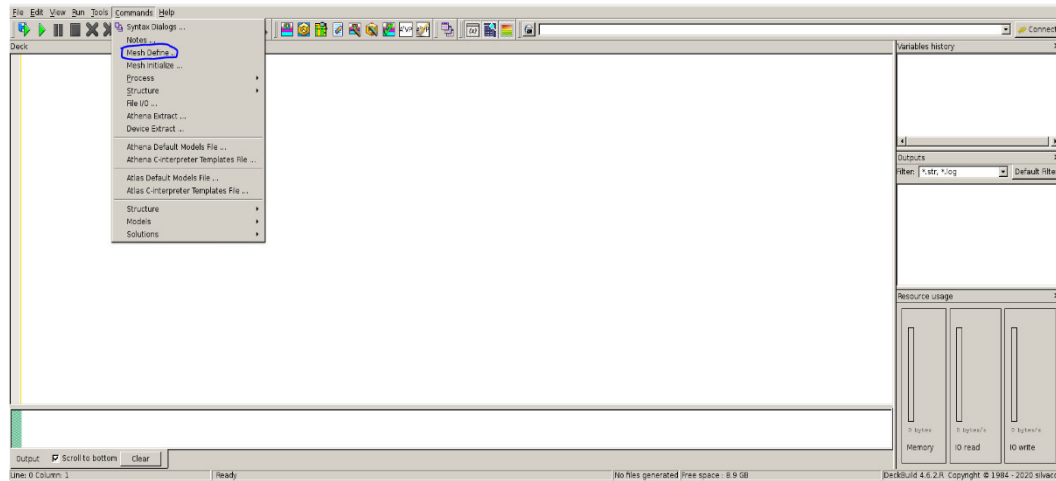


Figure.3.1 Menu de commandes

Par conséquent, pour maintenir le temps de simulation dans des limites raisonnables, il ne faut pas choisir une grille fine dans des régions inutiles.

Il est noté que le nombre maximum de nœuds de grille en utilisant le simulateur ATHENA est de 20 000 nœuds. Mais la plupart des simulations pratiques utilisent beaucoup moins de nœuds que cette limite. Un exemple de menu de définition des meshes « **Mesh Define** » est illustré dans la figure 2 suivante :

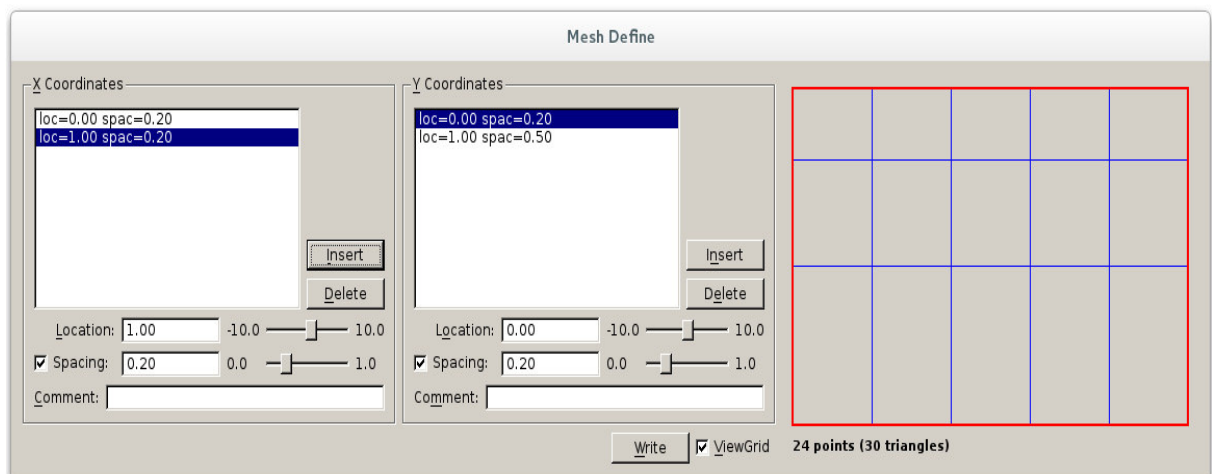


Figure3.2 Définition des meshes et affichage de la fenêtre de la grille

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

On voit bien que les lignes de grille verticales et horizontales sont distribuées uniformément et que 24 points et 30 triangles sont générés. Une grille uniforme telle que celle représentée sur la figure 3.2 est inefficace pour effectuer des simulations complexes. Dans ce cas, la grille doit être améliorée.

Tout d'abord, on doit penser à obtenir une meilleure grille dans la direction des « Y ». Cela est nécessaire dans l'étape d'implantation ionique où une meilleure résolution est recommandée pour le profil de profondeur. Supposons qu'on souhaitera effectuer un implant au bore à 60 keV de sorte que le pic de l'implant se trouve à environ $0,2 \mu\text{m}$ de profondeur, dans ce cas il est raisonnable de faire une grille plus fine à cette profondeur. Pour cela, on devra ajouter simplement une ligne « Y » supplémentaire en définissant l'emplacement sur $0,2 \mu\text{m}$ avec un espacement de $0,02 \mu\text{m}$. La nouvelle grille rectangulaire (Figure 3.3) apparaîtra et que le nombre de points et de triangles de la grille est passé respectivement à 78 et 120.

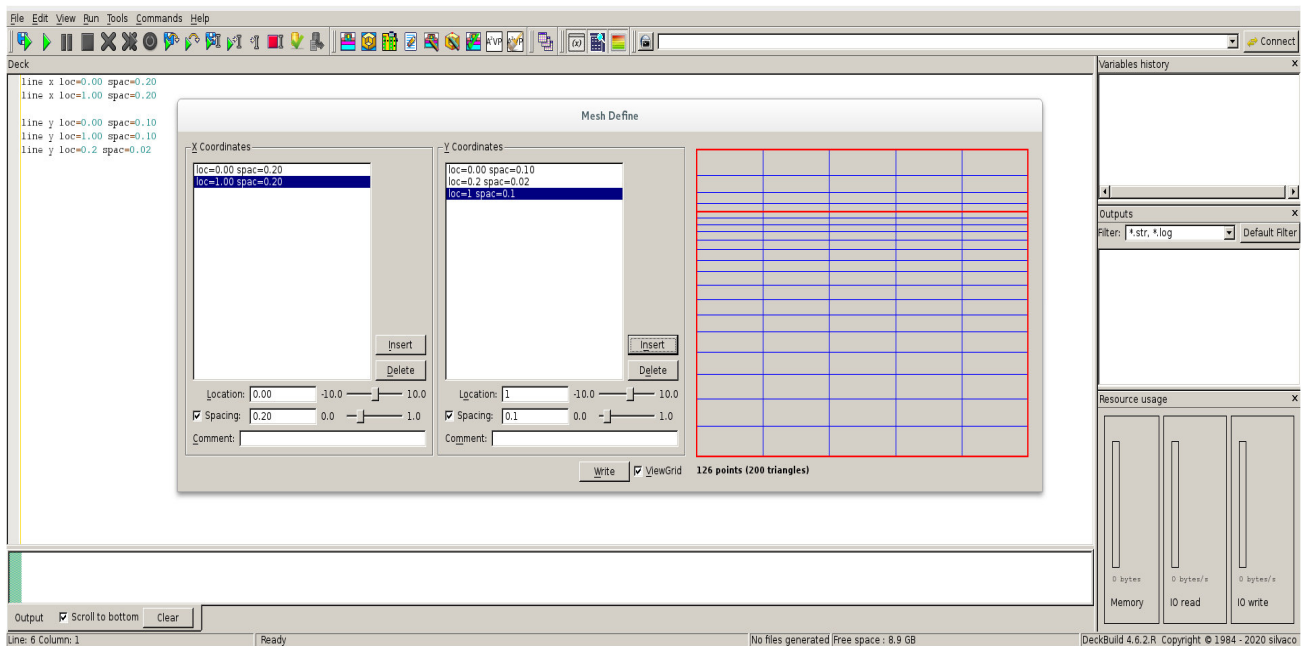


Figure 3.3 Nouvelle grille rectangulaire

L'espacement minimum suivant la direction des « Y » se situe à $0,2 \mu\text{m}$ puis cet espacement augmente progressivement vers le bas et vers le haut de la structure. Étant donné que l'espacement à « $y = 0$ » est toujours de « $0,1$ », on trouve seulement 4 lignes de grille situant entre 0 et $0,2 \mu\text{m}$.

Si on voudrait avoir une grille plus fine en haut de la structure, on sélectionnera l'emplacement de la ligne haute de la liste déroulante de l'axe des « Y », puis on modifiera l'espacement à une valeur de $0,03 \mu\text{m}$. La ligne sélectionnée sera remplacée par **Y LOC = 0,00 SPAC = 0,03**. Si on appuie

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

sur le bouton Afficher (**ViewGrid**), le nombre de ligne de grille situant entre $Y = 0$ et $Y = 0,2$ passera à 8 (Figure 3.4).

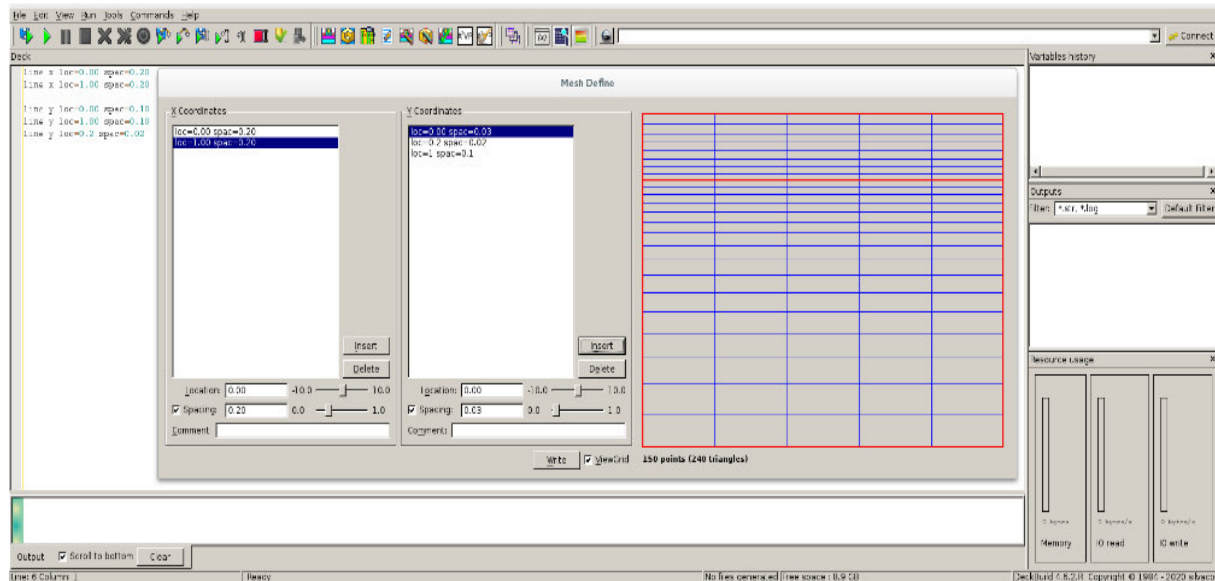


Figure.3.4 Insertion de la nouvelle grille rectangulaire

Maintenant si on veut améliorer la grille initiale suivant la direction de l'axe des « X », on considérait deux choses.

- Premièrement, on tient à ce qu'une bonne résolution de profil 2D sera spécifiée sous les bords du masque.
- Deuxièmement, on tient à ce que les lignes verticales de la grille seront placées le long des futurs bords du masque.

Si on veut par exemple réaliser la moitié d'une structure MOS de $80\mu\text{m}$ de dimension suivant l'axe des « X » avec un centre de la grille situant à $X=0$, on doit y ajouter une ligne X supplémentaire à $X=40\mu\text{m}$ et l'espacement à cette ligne doit être suffisamment petit pour obtenir une bonne résolution latérale des implants source / drain. Pour ajouter ces éléments, on reviendra à la spécification de direction X dans le menu « **Mesh Define** » et insérez une ligne X supplémentaire à $x = 40$ avec un espacement = 0.5. Après cette insertion finale et l'ajout des informations de commentaire qui est souhaitées, le menu « **Mesh Define** » apparaîtra comme on le voit dans la figure 3.5. Le nombre de nœud et de triangle de la grille passeront respectivement à 525 et 960 (voir Figure 3.6).

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

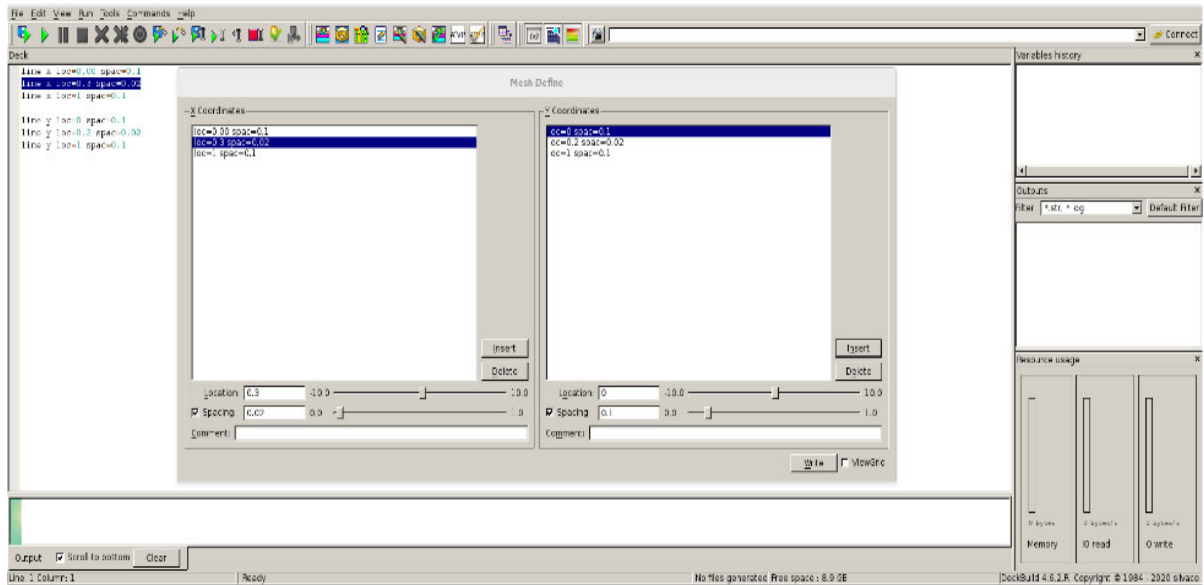


Figure.3.5. Menu de définition des meshes

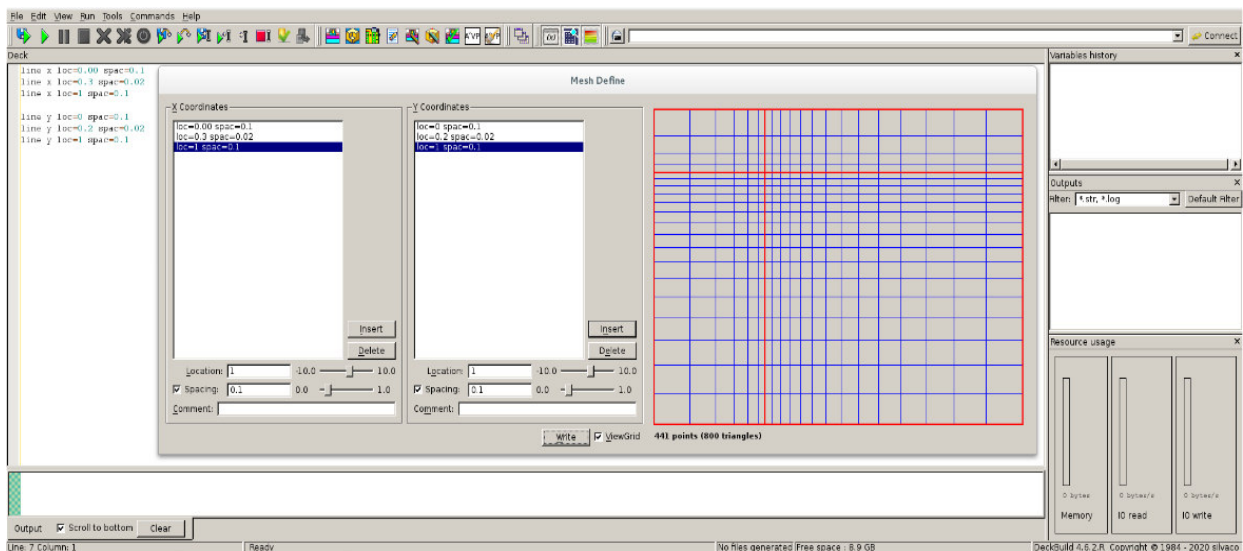


Figure.3.6 Redéfinition des meshes

Et enfin le maillage final s'écrit de la façon suivante :

La première ligne (GO ATHENA) est appelée une instruction d'auto-interface et indique à DECKBUILD que le fichier suivant doit être exécuté par ATHENA

GO ATHENA

GRILLE NON UNIFORME

LIGNE X LOC = 0,00

SPAC = 0,5

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

LIGNE X LOC = 40 SPAC = 3
LIGNE Y LOC = 0,00 SPAC = 0,2
LIGNE Y LOC = 327 SPAC = 8

3.2.3 Définition du substrat initial

Les instructions LINE spécifiées par le menu « **Mesh Define** » définissent uniquement la grille rectangulaire de la structure à l'aide du simulateur Athena. La prochaine étape à suivre est l'initialisation de la region du substrat en choisissant le matériau parmi plusieurs matériaux indiqués sur la fenêtre affichée avec son orientation cristallographique suivant les indices de Miller, le dopage initial exprimé en concentration (atome/cm³) ou en résistivité (Ohm•cm), et des paramètres supplémentaires comme (facteur de l'échelle de la grille, paramètres de mesh).

L'affichage de la structure et les calculs de simulation peuvent être exécuté en 1D, 2D ou Cylindrique.

Pour initialiser la structure de simulation, on doit sélectionner :

ATHENA Command Menu → **Mesh Initialize** ... (voir Figure 3.7).

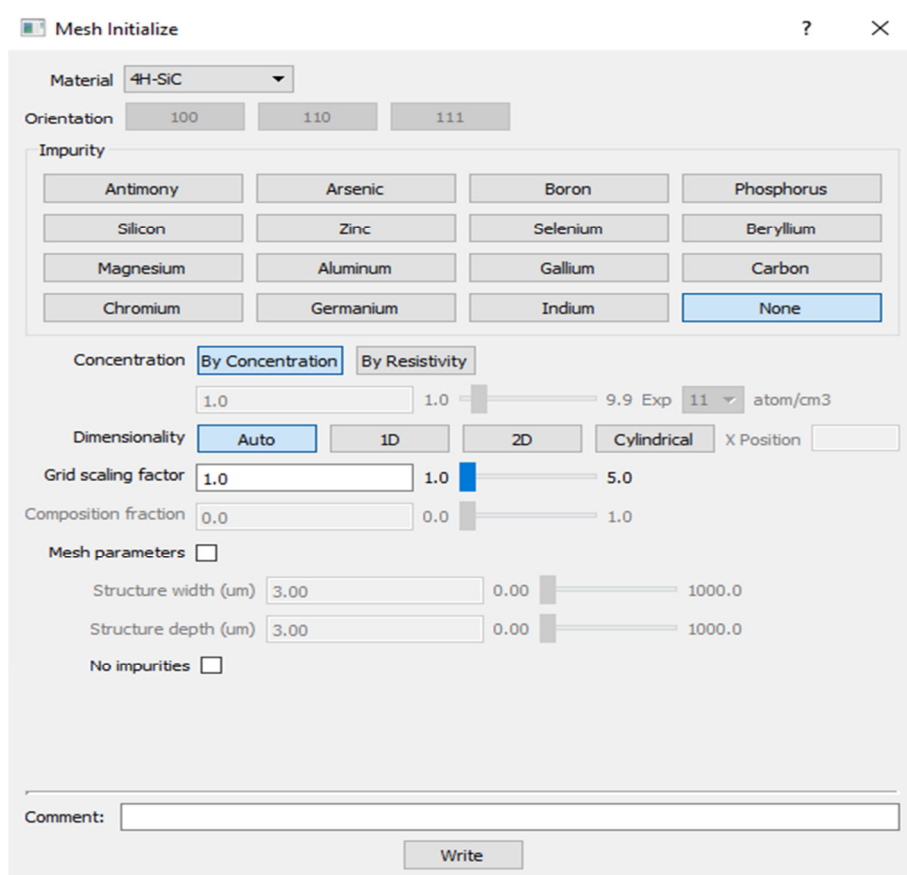


Figure.3.7 Menu d'initialisation du maillage

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

Maintenant après avoir sélectionné les informations d'initialisation du maillage. On appui sur le bouton «Write », les deux lignes suivantes apparaissent dans la sous-fenêtre de texte DeckBuild:

```
# Réalisation d'un substrat de dimension 327µm x 40µm avec un dopage de type p (Aluminium)
INIT SIC-4H ROT.SUB=100 C.ALUMINIUM =1.0E18 TWO.D
STRUCT OUTFILE=sicmos_0.str
TONYPLOT sicmos_0.str
```

La ligne STRUCT OUTFILE = sicmos_0.str est automatiquement produite par DeckBuild via la fonction d'historique. Cette fonction fournit un service important lors de l'élimination des erreurs d'un programme pendant son déroulement afin d'en repérer et corriger les dysfonctionnements (débugage) et elle sert aussi à visualiser la structure à différentes étapes de la simulation.

Pour visualiser la structure initiale, on procède de deux façons :

1. On clique sur le bouton du menu Outils. DeckBuild enregistre alors automatiquement le fichier de structure standard temporaire et fait appeler TonyPlot.
2. Après avoir sélectionné puis mis en surbrillance le nom du fichier de la structure (exemple. str dans ce cas), on clique sur Tools et Tonyplot, Deck Build démarre alors TonyPlot avec le fichier de structure sélectionné.

Après un court délai, TonyPlot apparaîtra. Il ne nous donnera que l'information sur les différentes régions et matériaux. Après avoir cliqué sur le bouton de menu Plot la fenêtre (Display (2D Mesh)) apparaîtra où on sélectionnera uniquement les deux icônes se trouvant à gauche : Mesh et Edges pour que la grille triangulaire initiale (Figure 3.8) apparaîtra dans TonyPlot.

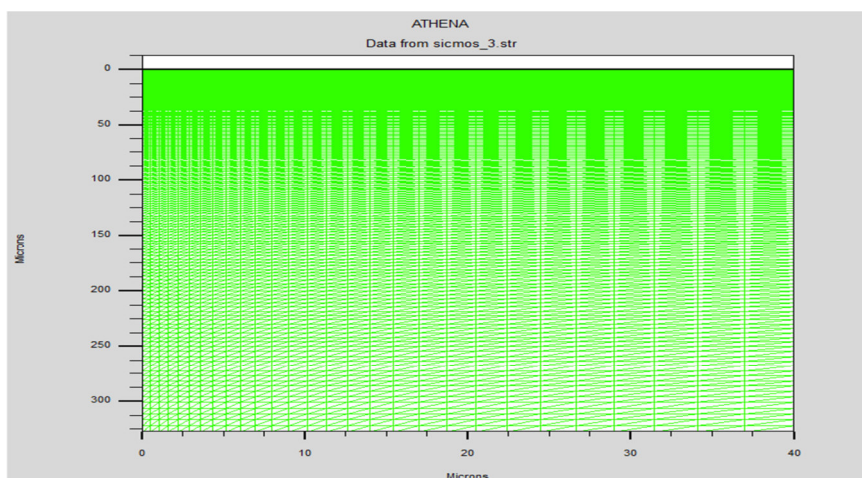


Figure 3.8 Grille triangulaire initiale

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

La grille d'Athéna est constituée de points reliés pour former un certain nombre de triangles. Chaque point est associé à un ou plusieurs nœuds. Un point dans une région matérielle a un nœud, tandis qu'un point qui appartient à plusieurs régions a plusieurs nœuds. Un nœud représente la solution (par exemple, la concentration de dopage) dans une région de matériau particulière au point. Par exemple, un nœud donné peut représenter des valeurs de solution dans le silicium en un point avec des coordonnées (0,0, 0,0); un nœud entièrement différent peut représenter des valeurs de solution dans l'oxyde au même point (0,0, 0,0).

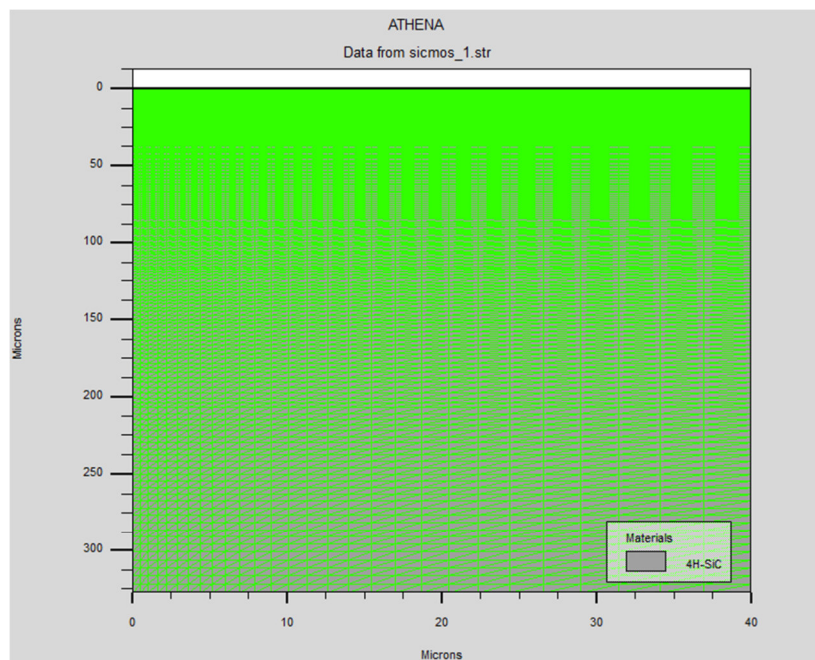


Figure.3.9 Résultat obtenu à deux dimensions (2D)

3.2.4 Dépôts de simples couches

Il existe deux types de dépôts : dépôt conforme (conformal) et dépôt avec (Machine). Ce dernier possède différents types (unidirectional, dualdirectional, conical, CVD, hemispherical, simple MC, single particle MC, planetary, custom) et que chaque type possède ses spécifications. Le dépôt conforme peut être utilisé pour générer des structures multicouches, c'est le modèle de dépôt le plus simple et peut être utilisé dans tous les cas lorsque la forme exacte de la couche déposée n'est pas complexe. IL peut également être utilisé aussi bien pour des différents oxydes que pour des régions semi-conductrices planes ou quasi-planaires.

Pour définir les étapes afin d'avoir un dépôt conforme, on sélectionne les éléments de menu

Process → **Deposit** → **Deposit** ... dans le menu Commandes de DeckBuild et le menu dépôt Athena apparaîtra (Figure 3.10).

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

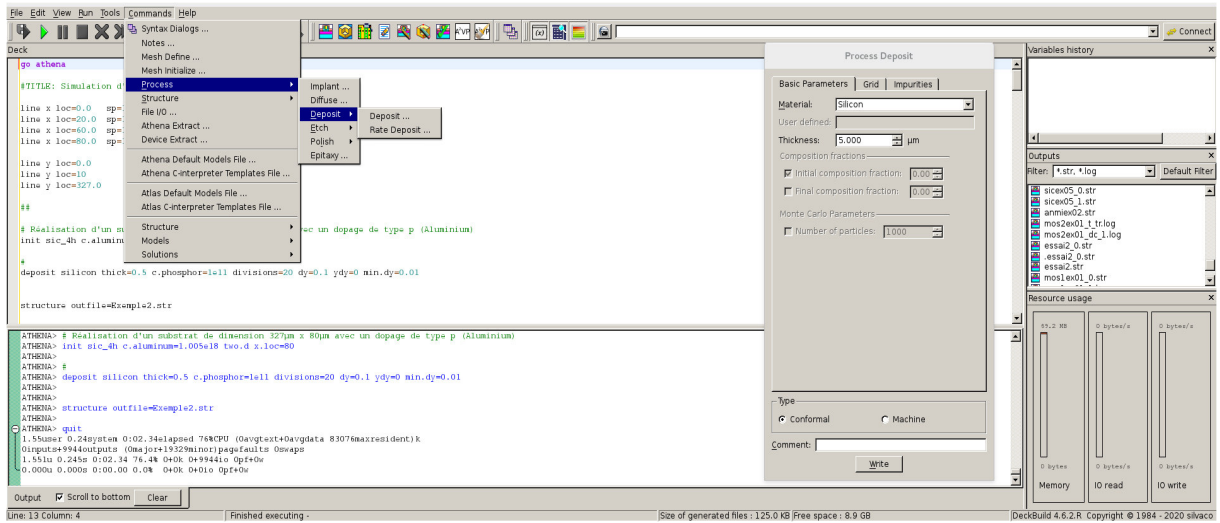


Figure. 3.10 Menu de dépôt Athena

L'étape consiste à déposer une couche de matériau dopé avec une épaisseur bien définie. Pour cela la procédure à suivre est de sélectionner le matériau (silicium, SiC,...) et définir l'épaisseur à déposer. Pour introduire le dopage, on cochera sur la case de impuretés et on choisira le matériau dopant et du même coup la concentration de l'impureté voulue.

On peut définir une grille non uniforme sur la couche déposée en spécifiant la grille, on commence par définir le nombre total de couches de grilles (**Total number of grid layers** : division), l'espacement nominal de la grille (**Nominal grid spacing** : dy), location de l'espacement (**Spacing location** : ydy) et l'espacement minimal de la grille (**minimum grid spacing** : min.dy) (Figure 3.11)

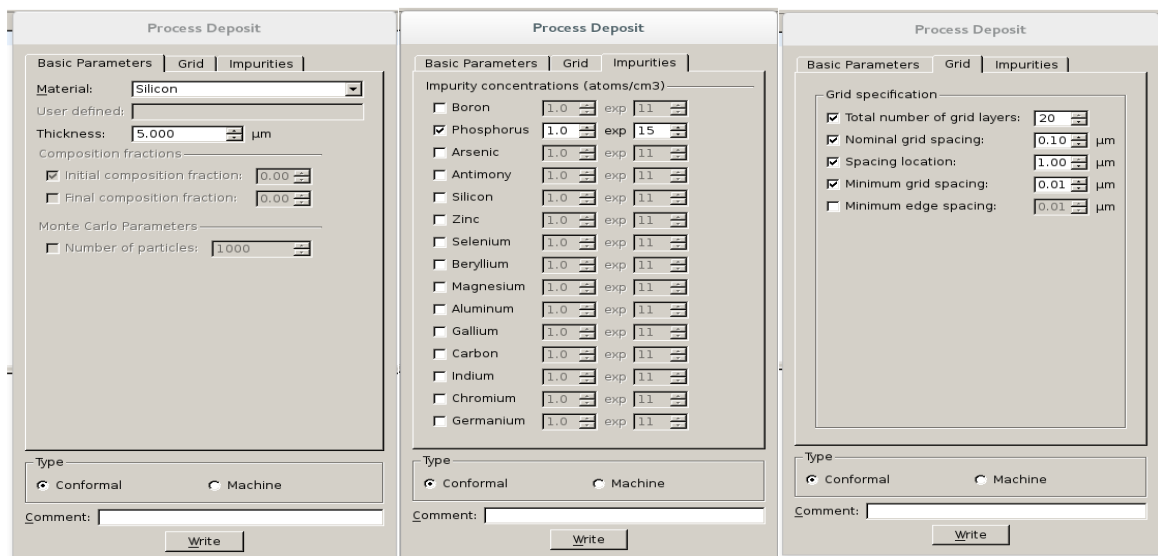


Figure.3.11 Les différentes étapes de processus de déposition

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

La procédure à suivre consiste à déposer une couche de carbure de silicium 4H-SiC de 5 μ m d'épaisseur et 40 μ m de large dopée type N (phosphore) avec une concentration de 8.0 e15 atome/cm³, sur un substrat de 4H-SiC de 327 μ m d'épaisseur et 40 μ m de large dopé type P (Aluminium) avec une concentration de 1.0 e18 atome/cm³. La procédure technologique nous impose de choisir une grille plus fine à la surface de la couche déposée de 4H-SiC et à l'interface de la couche 4H-SiC/substrat.

GO ATHENA

LINE X LOC=0.0 SP= 0.5

LINE X LOC=40.0 SP= 3

#

LINE Y LOC=0.0 SP= 0.2

LINE Y LOC=327.0 SP= 8

#

INIT SIC-4H ROT.SUB=100 C.ALUMINIUM =1.0E18 TWO.D

#

DEPOSIT SIC_4H THICK=5 C.PHOSPHOR=8e15 DIVISIONS=6 DY=0.1 YDY=0
MIN.DY=0.01

STRUCTURE OUTFILE=sicmos_0.str

TONYPLOT sicmos_0.str

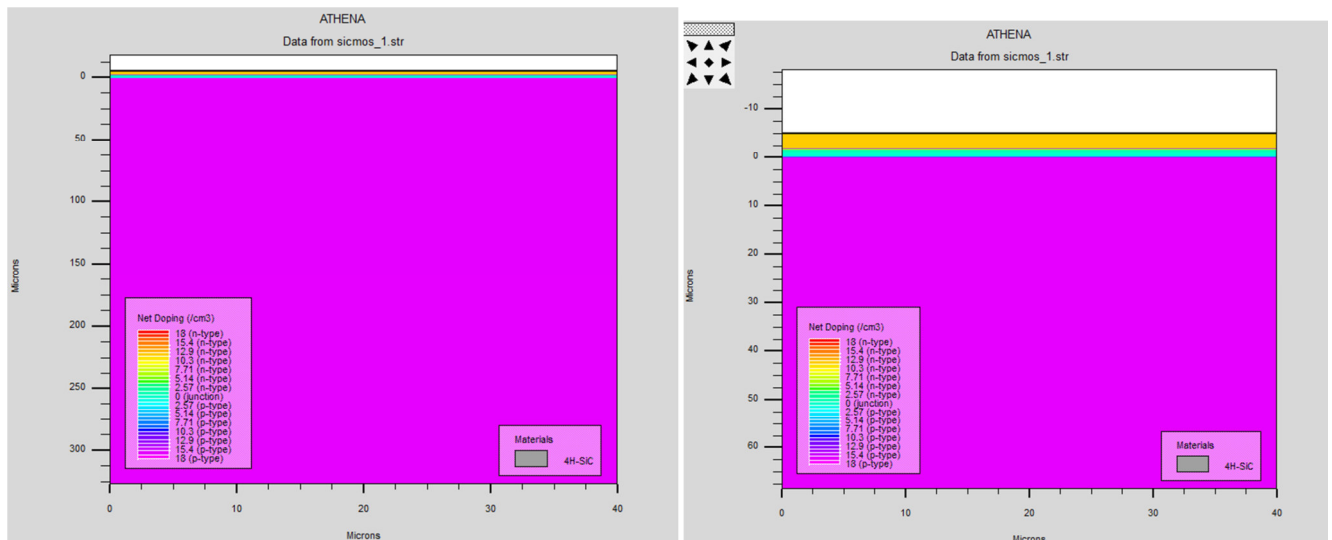


Figure.3.12 Schéma structurelle obtenue après la procédure de déposition

3.2.5 Choix des modèles.

3.2.5.1 Implantation, diffusion, oxydation, RTA

Cette partie décrit comment simuler les étapes des procédés technologiques comme (implantation ionique, diffusion / oxydation, et siliciuration), spécifiques au module SSuprem4 d'Athena. Les déclarations des modèles utilisés par le module SSuprem4, comme METHODE, OXYDE, MATERIAUX et IMPURETE sont expliquées par la suite. Il est absolument essentiel d'utiliser le modèle approprié et avoir le choix correct lors de la simulation des étapes de procédés technologique comprennent l'implantation, la diffusion, recuit thermique rapide, l'oxydation. Le choix du mauvais modèle entraînera des résultats inexacts.

3.2.5.1.1 Simulation de la diffusion.

La simulation sous SSuprem4 des étapes technologiques de procédés thermique est un point central. La hiérarchie des modèles de diffusion et d'oxydation est décrite dans cette étude. Cette partie montrera comment définir les différents paramètres et modèles de diffusion, d'oxydation et de siliciuration. Le dernier procédé n'aura lieu que si au moins une couche de métal réfractaire ou de siliciure est présente dans la structure. Les paramètres et les modèles de l'étape de diffusion / oxydation peuvent être présentés dans le menu « **Athena Diffuse** »

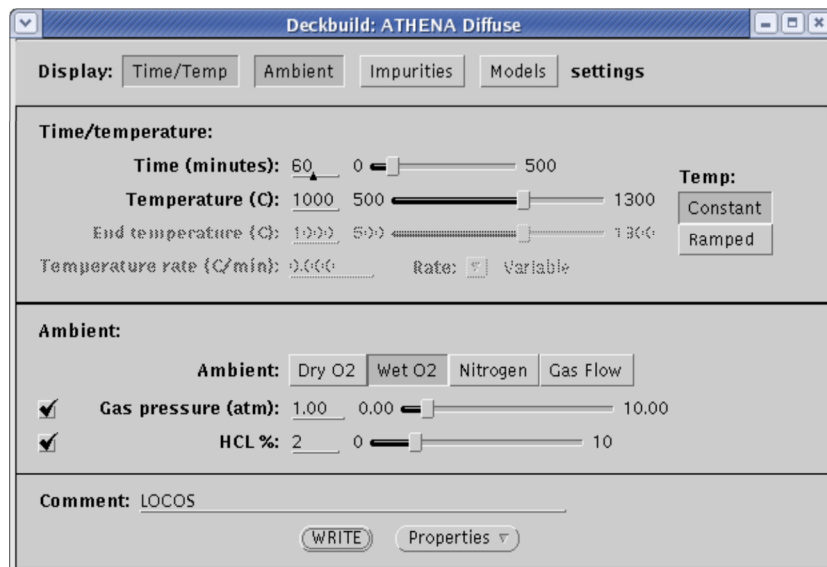


Figure.3.13 Menu de diffusion sous Athéna

Pour ouvrir ce menu, on sélectionne **Process** → **Diffuse...** dans le menu **Commands** de DeckBuild. Le menu **Diffuse** comprend quatre sections. Seuls les champs **Time / Temperature** et **Ambient** apparaissent initialement. Les champs **Impurities** et **Models** apparaissent uniquement lorsque les

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

cases à cocher correspondantes sont sélectionnées. L'ensemble minimal de paramètres de l'étape de diffusion est le suivant :

- Durée (par exemple, 60 minutes)
- Température (par exemple, 1100 ° Celsius)
- Pression de gaz (1 atmosphère par défaut)

Les instructions de fichier d'entrée suivantes s'affichent comme suites :

```
# DRIVE-IN
```

```
DIFFUSE TIME=60 TEMP=1100 NITRO PRESS=1.00
```

Si on choisit la case **Ramped** et **End Temperature** ou **Temperature rate**, on va avoir une simulation d'étape thermique avec une température variant en rampe. Le taux de variation de la température est une variable par défaut, mais il peut être défini comme un taux **constant** en sélectionnant « **Constant** » dans la case **Rate**.

Si **End Temperature** est définie sur **1000**, les lignes suivantes apparaissent :

```
# RAMPING DOWN
```

```
DIFFUSE TIME=60 TEMP=1100 T.FINAL=1000 NITRO PRESS=1.00
```

Le même menu utilisé pour les diffusions inertes est également utilisé pour les oxydations qui vont être décrites dans la partie de simulation de l'étape d'oxydation.

Mais, comme il existe des considérations spéciales pour les opérations de diffusions inertes qui entrent aussi dans la catégorie des recuits thermiques rapides (RTA), les remarques spéciales relatives à cet ensemble spécifique de conditions sont décrites dans la partie suivante. Ces remarques sont très importantes pour la simulation précise de recuits à haute température et de courte durée. Nous vous recommandons de bien lire ces remarques avant d'essayer d'écrire le code RTA dans le programme du fichier d'entrée.

3.2.5.1.2 Simulation de la procédure d'oxydation.

Le menu déroulant approprié dans DeckBuild pour simuler les oxydations est le même que celui pour simuler les diffusions inertes décrit dans la partie « Simulation de diffusion ».

La méthode utilisée par défaut dans l'oxydation est la compression (Compress).

Dans notre travail, si on décrit une oxydation à une température de 1000°C dans un milieu d'oxygène sec O₂ et aussi sous un milieu acide de 3% HCl, on sélectionnera dans le menu « **Diffus** » les déclarations suivantes :

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

GATE OXIDE

```
DIFFUSE TIME=60 TEMP=1000 DRYO2 PRESS=1.00 HCL.PC=3
```

Si le milieu ambiant est composé d'un mélange de plusieurs oxydants, le taux d'oxydation total dépendra dans ce cas de l'effet combiné de toutes les espèces existantes dans ce milieu. Pour spécifier le contenu du mélange ambiant, on sélectionnera le bouton **Gas Flow** dans la case **Ambient** et un menu Athena Gas Flow apparaîtra (figure 3.14)

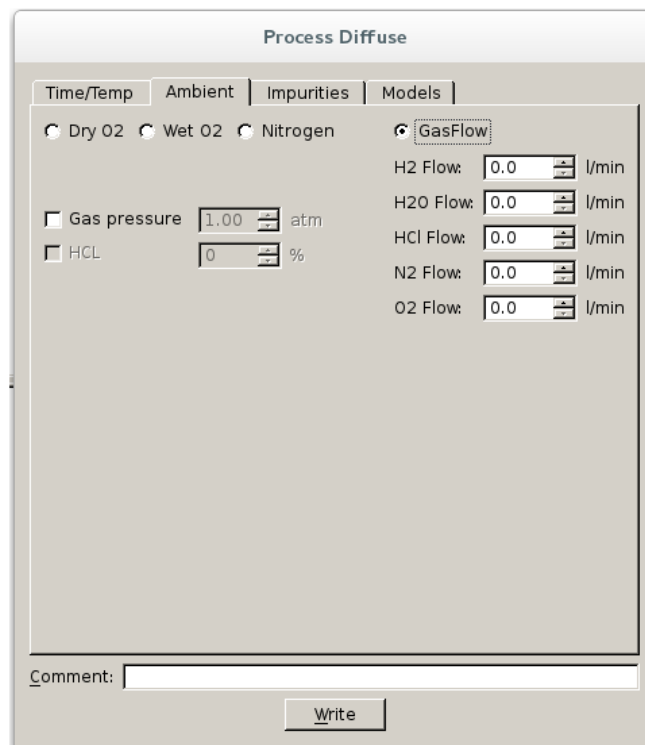


Figure 3.14 Menu Propriétés « Gas Flow » sous Athena

Si les composants de débit de gaz sont sélectionnés, l'instruction suivante sera générée :

GATE OXIDE

```
DIFFUSE TIME=60 TEMP=1000 F.H2O=5.3 F.HCL=0.06 F.O2=8.0 PRESS=1.00
```

Si on veut incorporer un ou plusieurs impuretés, la déclaration DIFFUSE sera insérée dans le fichier d'entrée comme suite :

FIELD OXIDE

```
DIFFUSE TIME=100 TEMP=850 T.FINAL=1060 WETO2 PRESS=1.00 HCL.PC=0  
\ C.ARSENIC=9.0E19 C.PHOSPHOR=4.0E20
```

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

Plusieurs autres paramètres non inclus dans le menu sont disponibles dans l'instruction DIFFUSE. Parmi eux on trouve les paramètres DUMP et DUMP.PREFIX peuvent être utiles et peuvent être utilisés pour créer un film à l'aide de TonyPlot. Cela nous fournit une bonne approximation pour les procédés à basse température, tels que la siliciuration. Plusieurs autres déclarations de spécification de modèle ci-dessous sont importantes pour les processus de diffusion.

- IMPURITY, INTERSTITIAL et autres déclarations d'impuretés et de défauts ponctuels, qui spécifient les paramètres du modèle (par exemple, diffusivité) de ces espèces.
- La déclaration OXIDE, qui spécifie les paramètres pour différents modèles d'oxydation.
- La déclaration MATERIAL, qui spécifie certains paramètres de base pour tous les matériaux.
- La déclaration SILICIDE, qui spécifie les coefficients de siliciuration.

Le tableau 3.1 montre les modèles de base de la diffusion et de l'oxydation.

Procédure	Modèle	Hypothèse	Recommandation
Diffusion	Fermi-default	Défaut d'équilibre	Pour les substrats non endommagés (intact) dans des ambiances inertes
	Two.dim	diffusion de défauts transitoires.	Au cours de l'oxydation, et après dose moyenne implant (par exemple, OED)
	Full.cp1	Modèle énergétique de liaison des défauts et des impuretés.	Effets post-implantation et Co-diffusion à haute dose, mais le temps d'exécution est élevé
Oxydation	Vertical	Planaire	uniquement Oxydation 1D (ne doit jamais être utilisée)
	Compress-Default	Non planaire avec un flux linéaire.	Oxydation 2D (par exemple bec d'oiseau)
	Viscous Elastic	Non planaire avec un flux non linéaire	Oxydation 2D (exemple bec d'oiseau avec une couche épaisse de Si ₃ N ₄ , cependant, le temps d'exécution est plus long).

Tableau 3.1 Modèles de Base de l'oxydation et de la diffusion

• Dopage d'aluminium par diffusion

Cette étape consiste à faire un dépôt d'une couche de dioxyde de silicium (SiO₂) avec une épaisseur de 30 µm, ensuite une opération de gravure est nécessaire pour définir la zone de dopage, ensuite en passera à la diffusion des impuretés d'aluminium avec une dose de 5.e17atome/cm³ sous une température de 1700°C pendant 300 min, en utilisant la méthode de fermi. Ce modèle est utilisé par TCAD lors de l'étape de la diffusion des dopants durant le recuit thermique. L'avantage principal de ce modèle est sa vitesse de simulation.

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

DEPOSIT OXIDE THICK=30

#GRAVURE

ETCH OXIDE LEFT P1.X=25

#DIFFUSION

METHOD FERMI

DIFFUS TIME=300 MINUTES TEMP=1700 DRYO2 HCL.PC=1 C.AMUMINIUM=5

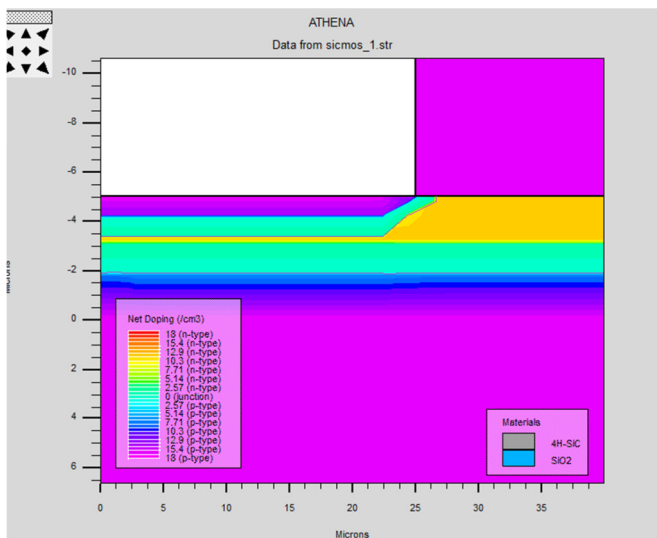


Figure 3.15 diffusion d'aluminium

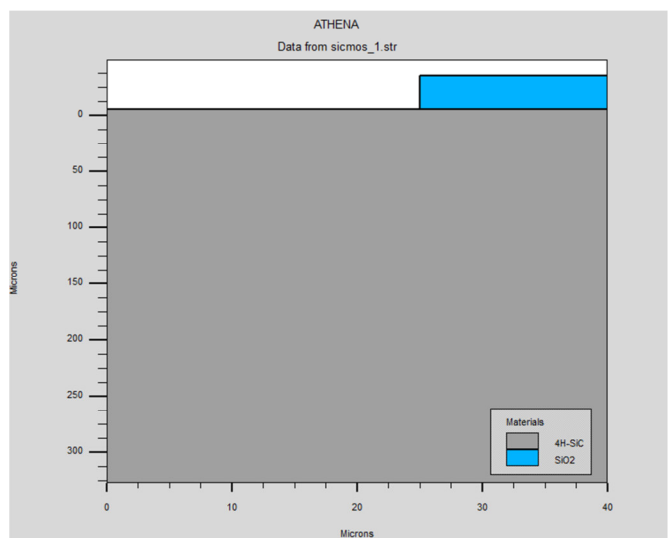


Figure 3.16 gravure de SiO₂

Après en éliminera tout l'oxyde de silicium (SiO₂)

#

ETCH OXIDE ALL

3.2.5.1.3 Simulation de l'implantation ionique.

L'implantation ionique dont son schéma de principe représenté dans la figure 3.17, est la principale méthode utilisée pour introduire des impuretés dopantes dans des structures de dispositifs à semi-conducteurs. Une simulation adéquate du procédé d'implantation ionique est très importante car les technologies modernes utilisent des petites dimensions critiques (CDs) et des profils de dopages peu profonds, des doses élevées, des implants inclinés (canalisés) et d'autres méthodes avancées.

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

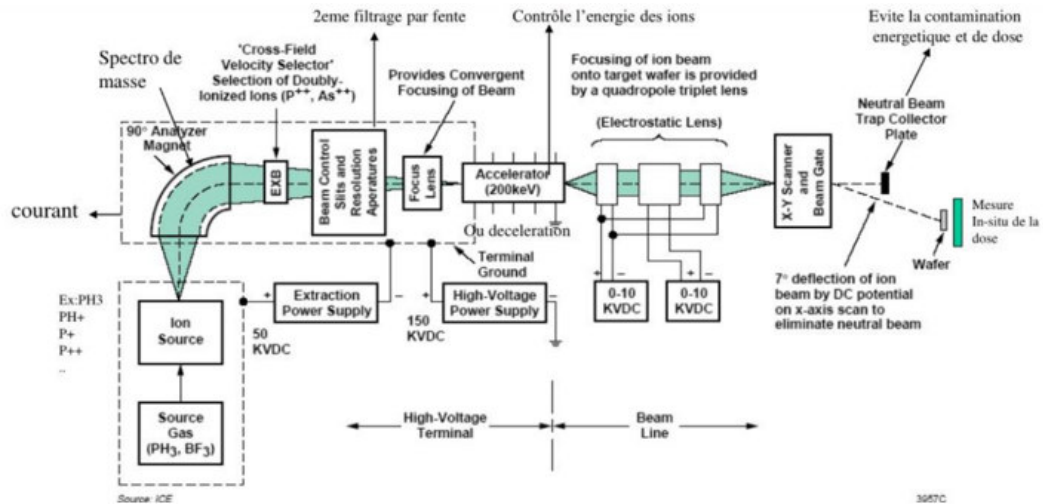


Figure.3.17 Schéma de principe d'une implantation ionique

L'instruction IMPLANT est définie en sélectionnant **Process** → **Implant** (Figure 3.18)

Process Implant

Impurity

<input checked="" type="radio"/> Boron	<input type="radio"/> Phosphorus	<input type="radio"/> Arsenic	<input type="radio"/> Bf2
<input type="radio"/> Antimony	<input type="radio"/> Silicon	<input type="radio"/> Zinc	<input type="radio"/> Selenium
<input type="radio"/> Beryllium	<input type="radio"/> Magnesium	<input type="radio"/> Aluminum	<input type="radio"/> Gallium
<input type="radio"/> Carbon	<input type="radio"/> Indium		

Dose: exp ions/cm² Energy: KeV

Model

Dual Pearson Monte carlo

Gauss

Full lateral

Tilt: degrees

Rotation: degrees Continual rotation

Material type

Crystalline Amorphous

Damage

Point defects <311> Clusters Dislocation loops

Scaling factor: Min cluster thresh: exp Min loop conc: exp

Max cluster thresh: exp Max loop conc: exp

Cluster scaling:

Comment:

Figure 3.18 Menu d'implantation ionique sous Athena

L'ensemble minimal de paramètres à spécifier sont :

- Nom de l'impureté de l'implant (par exemple, bore)
- Dose d'implant (par exemple, 4.0 e12 ion/cm²)
- Énergie de l'implant en KeV (par exemple, 60 KeV)
- Angle d'inclinaison en degrés (par exemple, 7 ° pour Si (100))

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

- Angle de rotation en degrés (par exemple, 30 °)

Tous les autres paramètres peuvent utiliser leurs valeurs par défaut.

```
IMPLANT BORON DOSE=4.0E12 ENERGY=60 PEARSON TILT=7 \  
ROTATION=30 CRYSTAL
```

Le paramètre CRYSTALLINE indique que pour tous les modèles analytiques, il y a que les statistiques de la gamme extraites pour un seul cristal de silicium qui seront appliquées.

Si le paramètre AMORPHOUS est sélectionné, il y a que les paramètres de la gamme mesurés dans du silicium pré-amorphie qui seront utilisés.

Le paramètre CRYSTALLINE a également une autre signification pour les modèles d'implants Monte Carlo ou BCA. Il invoque le modèle de matériau cristallin de prendre en compte la canalisation (voir la figure 3.19).

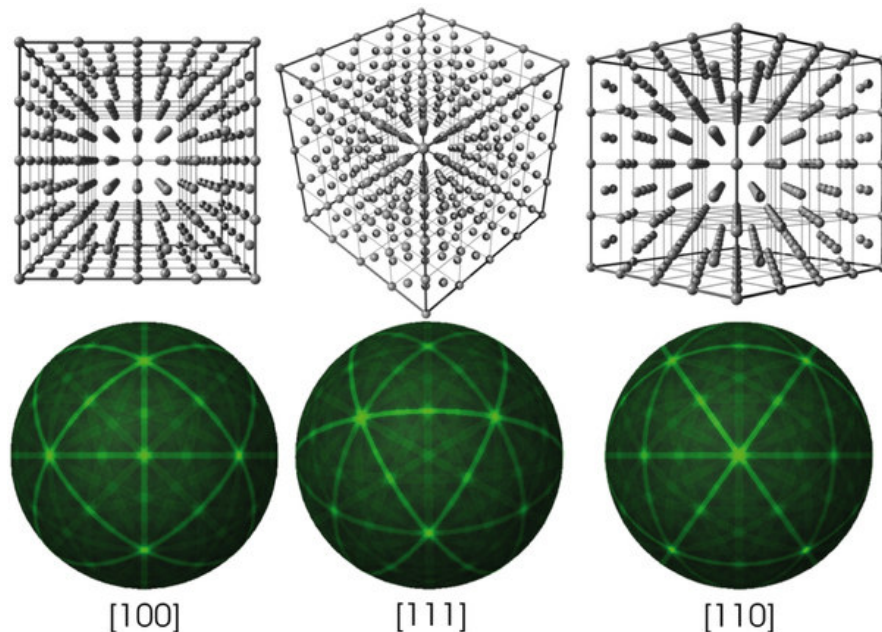


Figure.3.19 Représentation du canal pour différentes orientations cristallographiques

Notez que ce dernier modèle est beaucoup plus lent (5 à 10 fois) que celui d'un matériau amorphe. Le modèle d'un matériau cristallin est le modèle par défaut pour la simulation BCA ou Monte Carlo.

Avant de spécifier les angles d'inclinaison et de rotation du faisceau ionique, on doit spécifier d'abord l'angle de rotation du substrat (ROT.SUB) au moment de la déclaration INITIALIZE au début du fichier d'entrée.

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

Le plan de simulation (X-Y où TONYPLOT affiche les résultats) est toujours perpendiculaire à la surface du wafer et son orientation est spécifiée par rapport au méplat (Major flat) du wafer par le paramètre ROT.SUB dans l'instruction INITIALIZE. Donc, si on veut que le plan de simulation Athena soit parallèle au méplat d'un wafer orienté $\langle 100 \rangle$ c'est-à-dire parallèle à l'axe des X, on doit spécifier ROT.SUB = 0. Si on souhaite que le plan de simulation soit parallèle à la direction cristallographique $\langle 110 \rangle$ c'est-à-dire perpendiculaire à l'axe des X, on doit spécifier ROT.SUB = 90

(Voir figure 3.20).

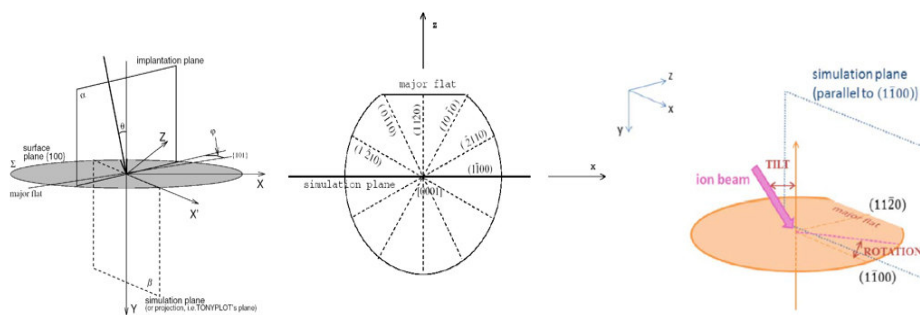


Figure.3.20 Géométrie d'implantation

La direction du faisceau ionique est spécifiée par les paramètres TILT et ROTATION dans la déclaration IMPLANT. L'inclinaison est l'angle (en degrés) entre le vecteur du faisceau d'ions et la normale à la surface du wafer, Les angles d'inclinaison positifs correspondent toujours aux faisceaux d'ions provenant du coin supérieur gauche.

La ROTATION est l'angle formé entre le plan vectoriel du faisceau d'ions perpendiculaire à la surface du wafer (volontairement orienté) et le plan de simulation (supposé repère), La spécification de l'angle de rotation n'a de sens que pour les angles d'inclinaison non nuls. La rotation nulle signifie que le plan vecteur du faisceau d'ions se trouve dans le plan parallèle au plan de simulation 2D. Une rotation de 90° signifie que le plan vecteur du faisceau ionique se trouve dans le plan perpendiculaire au plan de simulation. Par exemple, si le plan vectoriel du faisceau d'ions est parallèle à la direction cristallographique $\langle 110 \rangle$ donc il forme avec le plan de simulation un angle de 30° (le plan de simulation supposé parallèle à l'axe des X), on doit dans ce cas spécifier ROTATION = 30. Alternativement, si le plan vectoriel du faisceau d'ions est perpendiculaire au plan de simulation, autrement dit qu'il est parallèle à l'orientation (110), on doit spécifier ROTATION = 90.

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

Si on sélectionne **rotation continue (continual rotation)**, SSuprem 4 fait tourner le wafer à ce que l'implantation sera effectuée à 24 différents angles de rotation variant de 0 à 345 °, avec une incrémentation de 15°.

On trouve plusieurs modèles de dommages disponibles dans SSuprem4, Ils nous permettent d'estimer les distributions de divers défauts générés après l'opération de l'implantation ionique.

Si le modèle Monte Carlo est sélectionné, nous pouvons dans ce cas spécifier plusieurs paramètres facultatifs supplémentaires (voir la figure 3.21).

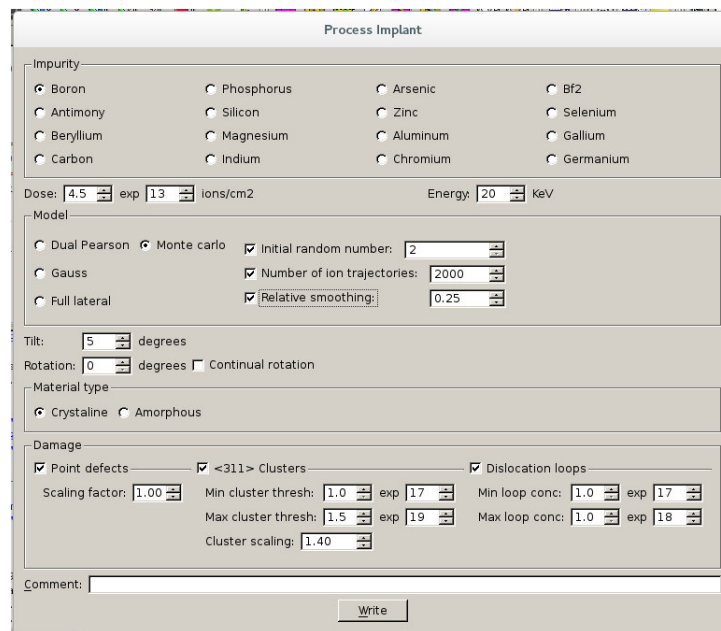


Figure 3.21 Fenêtre d'implantation ionique sous Athena

Les trois paramètres (nombre aléatoire initial, nombre de trajectoires et lissage) sont pris en considération lors du calcul de Monte Carlo, Les trois autres paramètres (défauts ponctuels, {311} - clusters et les boucles de dislocations) sont liés au modèle Damage (dommage).

Le tableau 3.2 nous montre une référence rapide des modèles d'implants Athena.

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

Procédés	Modèle	Hypothèse	Recommandation
Implant	SIMS Verified Dual Pearson (SVDS)-Default	Empirique	Voir Tableau 5.4
	Single Pearson	Analytique	Tous les autres cas
	Monte Carlo ou BCA	Statistique	Structures multicouches : implants angulés dans une structure où de nombreux ions pourraient être réfléchis (tranchées), lorsque la canalisation n'est pas décrite par SVDP, à haute ou très basse énergie.
Type Silicium	Amorphous	Aucun effet de canalisation n'est inclus	La majeure partie du profil de l'implant se trouve dans des matériaux amorphes (oxyde, polysilicium, silicium pré-amorphie) ; la canalisation est négligeable ou non importante.
	Crystal-Default	L'effet de canalisation est inclus	Lorsque les effets de canalisation sont importants : ions légers (bore, phosphore), inclinaison nulle ou proche de 0 °, implanté à travers une fine couche amorphe dans le substrat cristallin.

Tableau 3.2 Référence des modèles d'implants sous Athena

3.2.5.1.4 Remarques sur la simulation des recuits thermiques rapides (RTA).

La raison habituelle d'employer un recuit thermique rapide (RTA) dans un flux de processus est de recuire les dommages dans le substrat qui ont été causés par une étape de processus précédente, généralement un implant, tout en minimisant la diffusion de dopants. Ces recuits se font généralement à des températures élevées et de faibles durées. Une simulation précise du RTA réside dans la simulation précise du comportement des dommages subis par le substrat.

La raison pour laquelle un RTA utilise généralement des températures élevées et de courtes durées est que, pour un implant à haute dose donné, si une durée de recuit est sélectionnée de sorte qu'un pourcentage fixe des dommages soit recuit, plus la température de recuit est basse, plus la diffusion de dopant se produit davantage (d'après la loi de Fick, la partie la plus concentrée se diffuse vers la moins concentrée).

Une explication descriptive de ce qui se passe peut-être informative, car il nous semble que le contraire est plus probable, l'explication est la suite :

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

- Pour des températures de recuit les plus basses, pendant des longues périodes de temps, le taux de recuit des dommages est presque nul, et le taux de diffusion des dopants seront augmentés d'un facteur de 1000 ° C ou plus. Il en résulte une diffusion totale élevée des dopants.
- Pour des recuits à température plus élevée, un pourcentage important d'élimination des dommages se produit en une fraction de seconde c'est-à-dire dans un temps très court. Il se produit dans ce cas une diffusion totale pratiquement nulle (insuffisance de temps de diffusion).

L'extrapolation entre ces extrêmes fournit une explication qualitative de ce qui se produit pour les recuits à température intermédiaire.

Deux points importants sont désormais établis :

1. Pour prévoir des bonnes conditions d'avoir des meilleurs résultats pendant la fabrication des dispositifs semiconducteurs, la plupart des procédés RTA consistent en des recuits à haute température et de courte durée.
2. La diffusion augmentant les dommages ne se produira que pendant quelques secondes à des températures RTA typiques.

Pour une simulation précise du RTA, le deuxième point est le plus important et souvent négligé à tort. Supposons qu'un RTA se compose d'une rampe de 10 secondes jusqu'à 1000 ° C, suivie d'un recuit de 20 secondes et d'un refroidissement de 10 secondes. À partir du deuxième point, il est évident que la majeure partie de la diffusion totale de dopant aurait eu lieu pendant la phase de montée en puissance du CRT. Par conséquent, on doit toujours modéliser la montée en température avec précision lors de la simulation d'un processus RTA. Dans la plupart des cas, la descente peut être négligée, car toute la diffusion a déjà eu lieu au début alors que le silicium était encore endommagé.

• **Dopage de phosphore par implantation**

Cette étape consiste à réaliser en premier lieu un dépôt d'une couche de SiO₂ avec une épaisseur de 10 µm, suivie d'une étape de gravure qui est nécessaire pour définir la zone de dopage du drain. On procède par la suite au dopage uniforme par la méthode de l'implantation ionique de la partie graver en utilisant du phosphore avec une dose de 1.5e17atome/ cm³ et une énergie de 1 KeV, de cette façon on obtiendra le caisson de type N que forme le train, puis on entamera l'opération du recuit thermique.

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

#DEPOT

DEPOSIT OXIDE THICK=10

#GRAVURE

ETCH OXIDE START X=15 Y=-15

ETCH CONT X=5 Y=-15

ETCH CONT X=5 Y=-5

ETCH DONE X=15 Y=-5

#IMPLANTATION

IMPLANT PHOSPHOR DOSE=1.5 e17 ENERGY=1 MONTE MCSEED=2

N.ION=4000 SMOOTH=0.25 TILT=0 ROTATION=0 CRYSTAL UNIT.DAMAGE

DAM.FACTOR=1

#RTA

DIFFUS TIME=60 MINUTES TEMP=1400 NITRO PRESS

#ELEMINATION D'OXIDE

ETCH OXIDE ALL

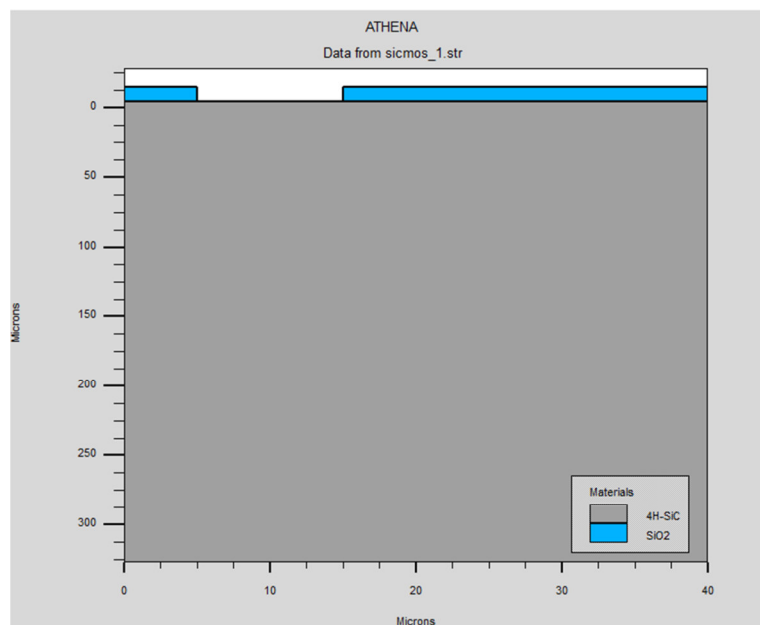


Figure. 3.22 gravure de SiO2 pour la zone de dopage de drain

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

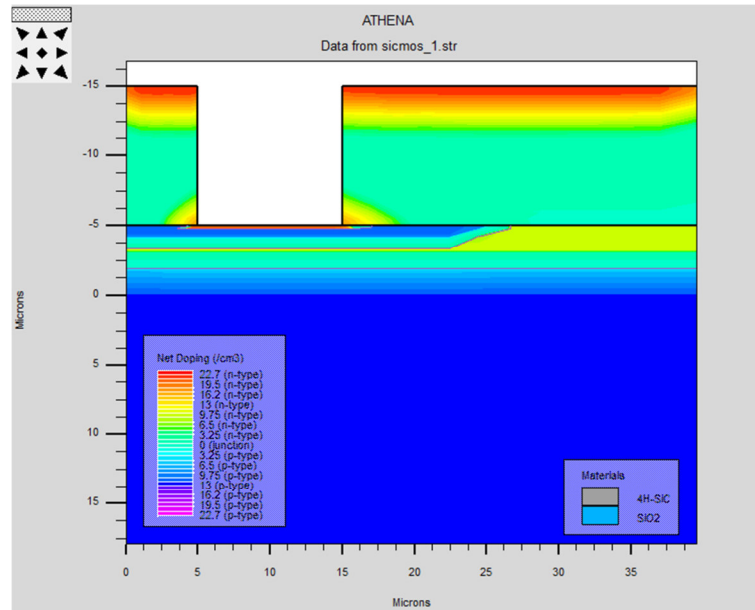


Figure. 3.23 Implantation du phosphore suivie du recuit

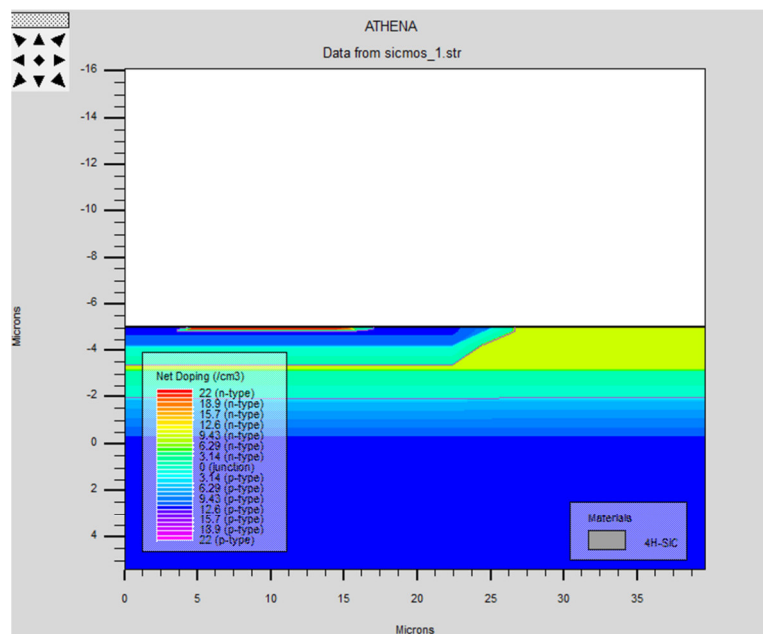


Figure.3.24 Vue de la structure après l'élimination de SiO₂

- **Dépôt d'une couche d'oxyde et de polysilicium**

Cette étape consiste en premier lieu de déposer une couche d'oxyde (SiO₂) avec une épaisseur 25.5 nm, ensuite on ajoute au-dessus un dépôt de couche de polysilicium d'épaisseur 560 nm fortement dopée de type N (phosphore) avec une concentration de 8.0×10^{21} atome/cm⁻³ (voir figure 3.25).

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

DEPOSIT OXIDE THICK=0.025

DEPOSIT POLYSILICON THICK=0.56 C.PHOSPHOR=8 e21

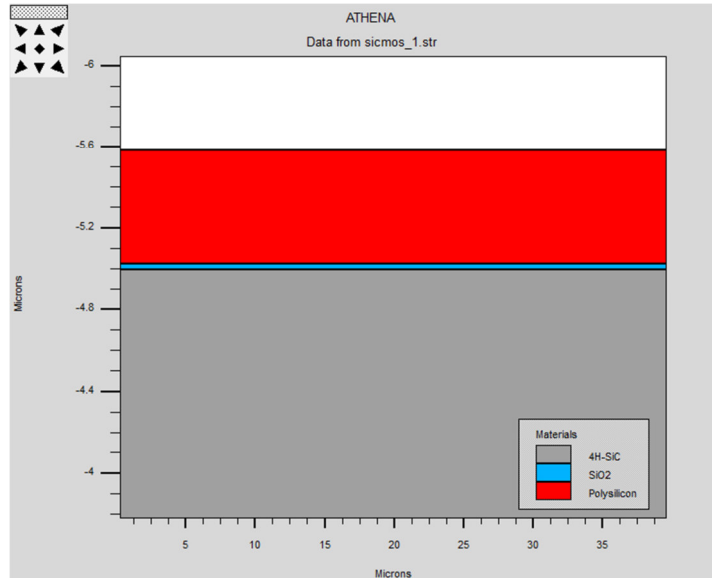


Figure 3.25 déposition de l'oxyde et poly silicium

3.2.6 Gravures des matériaux à géométries simples

L'étape suivante du processus consiste à définir la grille de silicium polycristallin. (Les étapes des implants et diffusions seront discutées par la suite). La gravure géométrique est la méthode choisie par défaut, Il existe d'autres méthodes basées sur des modèles physiques qu'on va les voir par la suite. Pour définir l'étape de la gravure géométrique, on doit sélectionner **Process** → **Etch** → **Etch...** dans le menu de commandes de DeckBuild.

Le menu **Process Etch** apparaîtra (Figure 3.26).

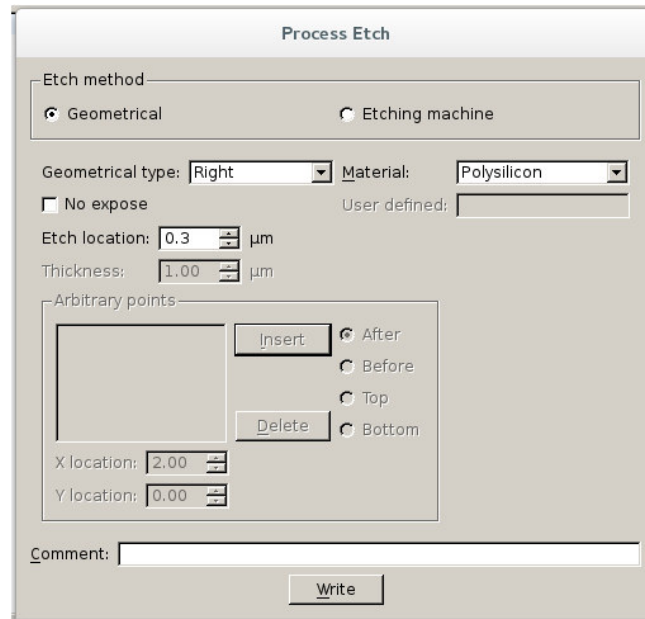


Figure 3.26 Gravure des simples géométries

Pour observer la gravure géométrique mentionné dans l'exemple de la figure 3.26, on doit sélectionner tout d'abord le type de matériau dans notre exemple (Polysilicium) à partir du menu Matériau puis si on considère que le centre de la grille se situe à $x=0.0$, le polysilicium doit être gravé du côté droit à $x = 0.3\mu\text{m}$. Dans ce cas on obtiendra les déclarations suivantes :

```
# POLY DEFINITION
```

```
ETCH POLY RIGHT P1.X=0.3
```

La structure créée par cette déclaration « etch » est montré dans la figure 3.27.

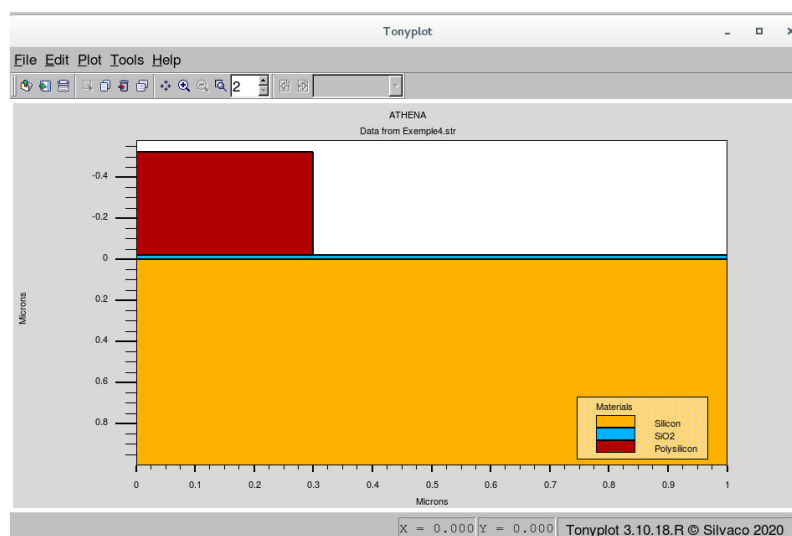


Figure.3.27 Structure créée par la fonction gravure géométrique « etch »

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

Nous pouvons obtenir une forme arbitraire de gravure géométrique en utilisant le bouton toute forme « **Any shape** » représenté dans le menu **Process Etch**.

- **Type de gravure de polysilicium suivi dans notre travail**

Pour effectuer par exemple une gravure inclinée, on spécifie les positions X et Y de quatre **points arbitraires**, comme il est illustré dans la figure 3.28 et les quatre lignes de gravure géométrique suivantes seront insérées comme suites :

```
# POLY DEFINITION
```

```
ETCH POLY START X=40 Y=-10
```

```
ETCH CONT X=4.5 Y=-5.6
```

```
ETCH CONT X=5 Y=-5.02
```

```
ETCH DONE X=40 Y=-5.02
```

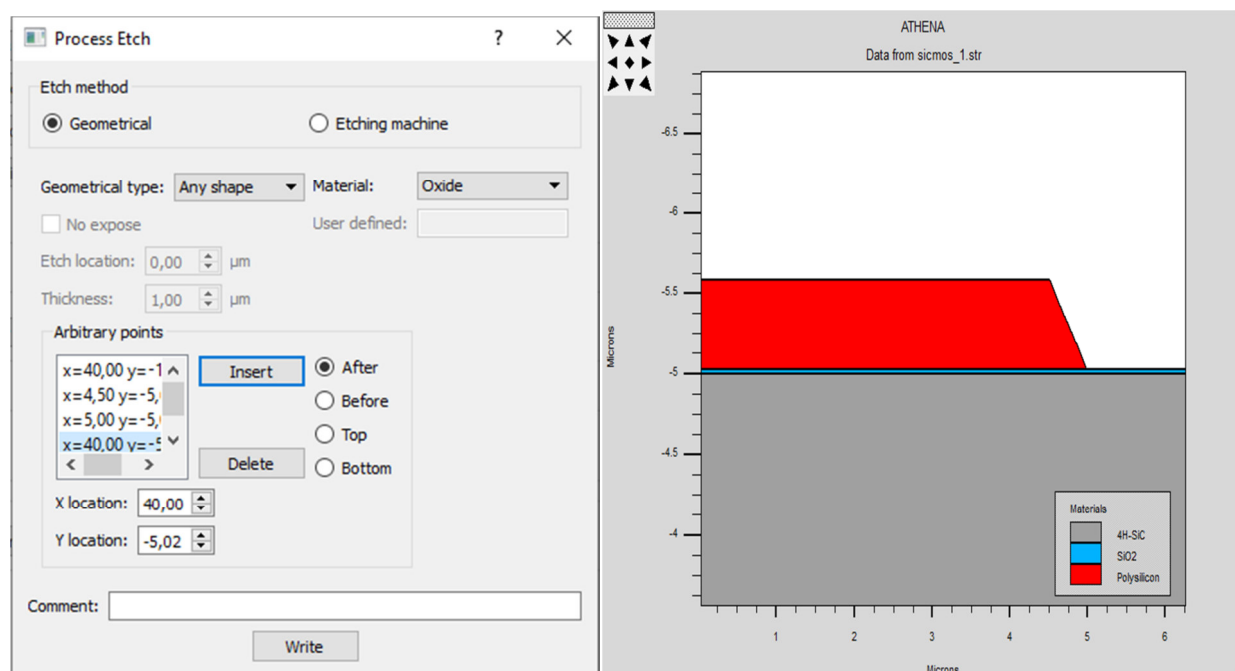


Figure.3.28 : Obtention de la gravure inclinée

Il existe aussi une option supplémentaire de la gravure géométrique nommé gravure sèche avec une épaisseur spécifiée à l'avance. Ceci peut être utilisé pour la formation d'espacement entre la grille

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

d'un MOSFET et la source ou le drain. On prend un dépôt d'oxyde d'une épaisseur spécifiée par 10 μm qu'on va par la suite le graver.

```
#CLEAN GATE OXIDE
```

```
ETCH OXIDE DRY THICK=0.03
```

```
# SPACER DEPOSITION
```

```
DEPOSIT OXIDE THICK=10 DIVISIONS=8
```

```
# SPACER ETCHING
```

```
ETCH OXIDE DRY THICK=10.03
```

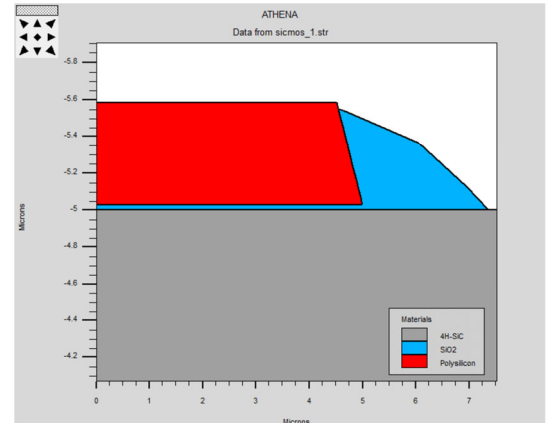


Figure.3.29 Gravure à sec

L'étape de gravure sèche va graver le matériau spécifié dans la région située entre la limite supérieure de la structure et une ligne qu'on va obtenir en déplaçant la ligne limite supérieur vers le bas dans la direction Y, cette distance de gravure entre les deux lignes est spécifiée par le paramètre **THICK** (Figure3.29).

3.2.7 Spécifications des électrodes.

Le but ultime d'une simulation Athena est de créer généralement des structures de dispositifs (couches de matériaux ainsi que le dopage), qui peuvent par la suite être utilisés pour la caractérisation électrique à l'aide d'un simulateur comme Atlas.

Bien qu'Atlas soit capable de spécifier les emplacements des électrodes, dans de nombreux cas, on a choisi que la spécification des électrodes doit être effectuée en utilisant Athéna.

Par exemple, il est impossible de spécifier un emplacement d'électrode en utilisant Atlas lorsque l'électrode n'est pas constituée de segments droits.

De plus, lors de la spécification des électrodes en utilisant Athena, il est utile de transférer des informations sur la couche des électrodes au test électrique.

Athena peut attribuer une électrode à n'importe quelle région de métal, de siliciure (Ce contact est établi par la formation d'un siliciure métallique auto-aligné, produit par la réaction entre une couche mince de métal et le silicium de la région) ou de polysilicium.

Il existe un cas particulier où l'électrode est placée au fond de la structure sans avoir une région métallique.

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

Dépôt d'Aluminium : cette étape technologique consiste à déposer une couche d'Aluminium d'une épaisseur $0,1\mu\text{m}$ (Voir figure 3.30).

Gravure : cette étape de gravure est nécessaire pour enlever le métal des zones non désirés pour avoir le contact de la grille et le drain (Voir figure 3.30).

#électrode formation

DEPOSIT AMUMINIUM THICK=0.1

#métallisation

ETCH ALUMINIUM START X=7.33 Y=-8

ETCH CONT X=4.5 Y=-8

ETCH CONT X=4.5 Y=8

ETCH DONE X=7.33 Y=8

#métallisation

ETCH ALUMINIUM START X=40 Y=-8

ETCH CONT X=12.5 Y=-8

ETCH CONT X=12.5 Y=8

ETCH DONE X=40 Y=8

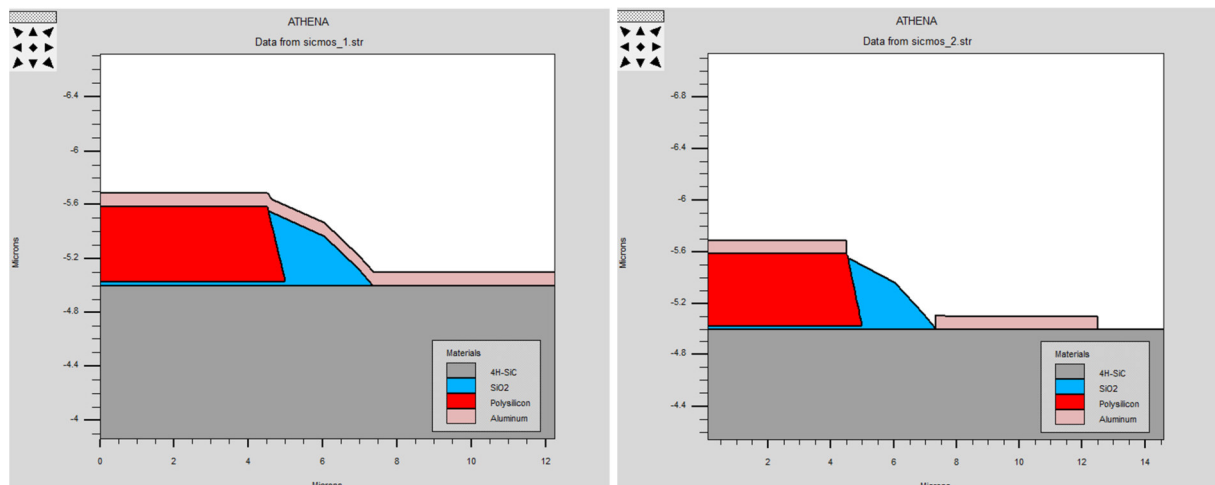


Figure 3.30 : Formation des électrodes (gauche, avant gravure, droite, après gravure)

- **Dépôt et gravure d'oxyde de passivation :**

La dernière étape consiste à déposer une couche d'oxyde d'une épaisseur $1\mu\text{m}$, puis graver les zones où on compte créer les électrodes (voir figure 3.31 et figure 3.32).

#dépôt d'oxyde de passivation

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

DEPOSIT OXIDE THICK=1

#gravure d'oxyde de passivation

ETCH OXIDE START X=2.5 Y=-6.7

ETCH CONT X=0 Y=-8

ETCH CONT X=0 Y=8

ETCH DONE X=2.5 Y=8

#passivation

ETCH OXIDE START X=11 Y=-8

ETCH CONT X=8.7 Y=-8

ETCH CONT X=8.7 Y=-4

ETCH DONE X=11 Y=-4

#passivation

ETCH OXIDE START X=4.5 Y=-8

ETCH CONT X=7 Y=-8

ETCH CONT X=7 Y=-6.1

ETCH DONE X=4.5 Y=-6.1

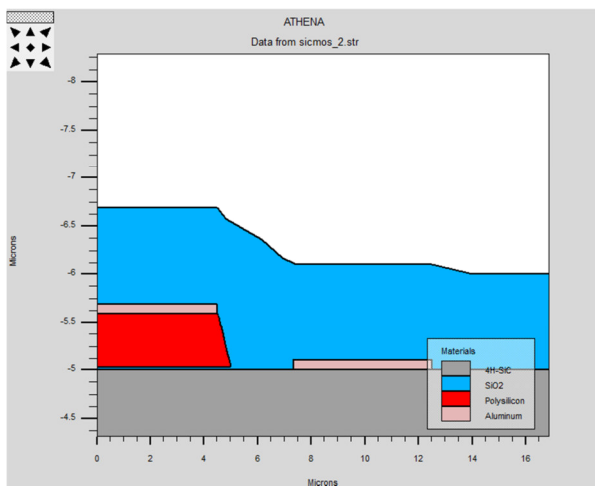


Figure.3.31 : Dépôt d'oxyde

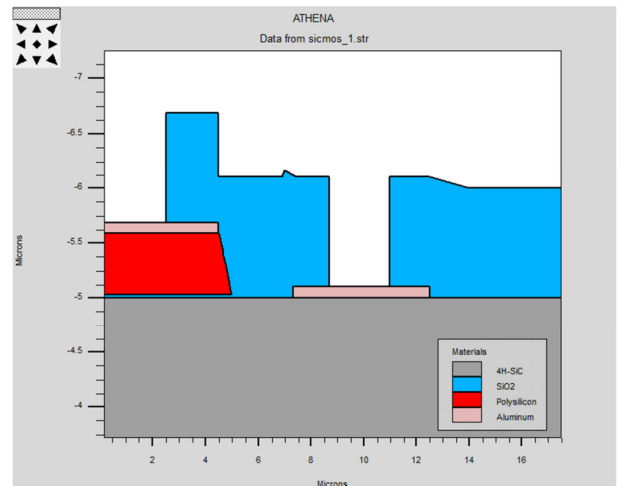


Figure.3.32 : Gravure d'oxyde

3.2.8 Réflexion d'une structure dans le plan « Y » à l'aide du paramètre Miroir.

Cette procédure est établie lorsqu'on a que la moitié d'une structure de type MOSFET. À un moment donné de la simulation, on doit obtenir la structure complète. Cette opération doit être effectuée avant la définition des noms des électrodes. En général, la réflexion ou l'application de l'effet de miroir de la structure doit être effectuée lorsque la structure commence à être non symétrique (par exemple, une gravure asymétrique). Nous expliquons comment refléter la structure vers sa limite gauche. Pour refléter la structure, sélectionnez **Structure** → **Mirror** dans le menu de commande (Figure 3.33). En appuyant sur le bouton Write, et l'instruction suivante apparaîtra :

STRUCT MIRROR LEFT

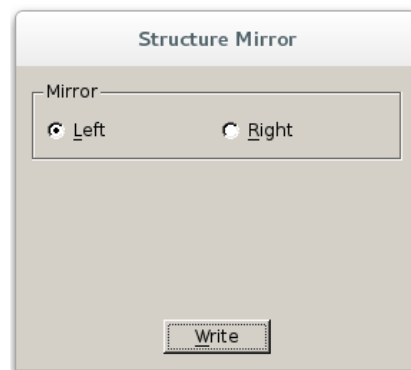


Figure 3.33 Menu miroir Athena

Le résultat est montré dans la (figure 3.34)

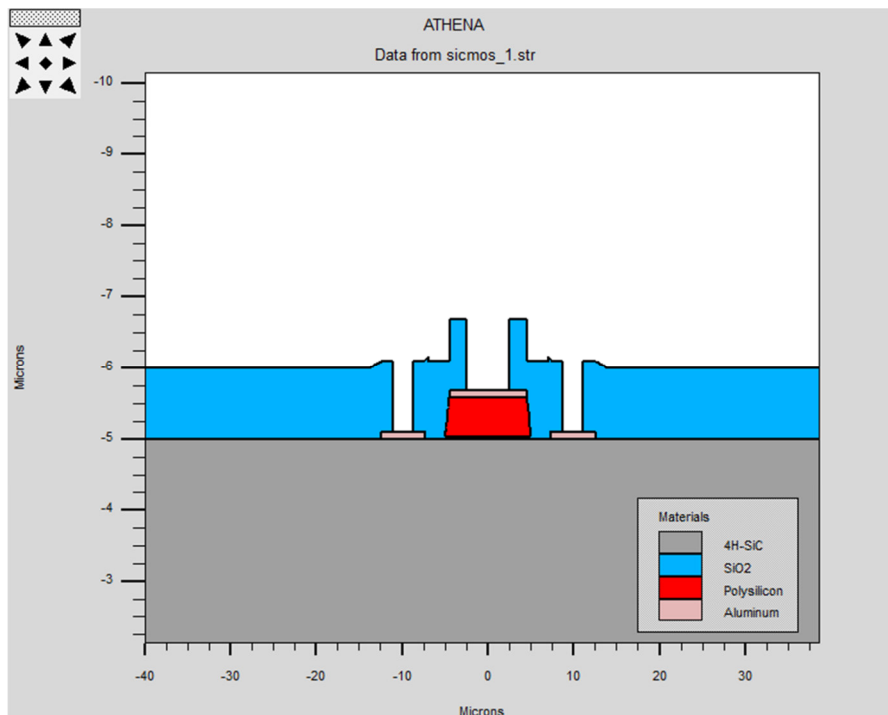


Figure. 3.34 Structure complète après effet de miroir

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

La moitié gauche de la structure est une copie miroir complète de la partie droite, y compris les coordonnées des nœuds, les valeurs de dopage, etc.

- **Placement des électrodes**

Nous pouvons maintenant placer les électrodes à partir du menu Athena en sélectionnant **Commands** → **Structure** → **Electrode....** (Figure 3.36)

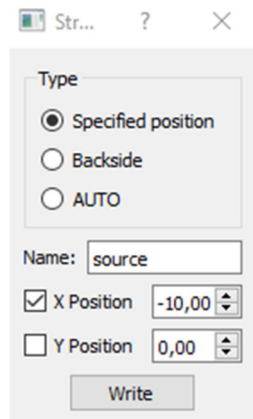


Figure. 3.36 Menu de désignation des électrodes sous Athena

Pour définir une électrode à une position spécifiée, on doit sélectionner le bouton « **Specified Position** », puis faire entrer les positions de X, Y et le nom d'électrode. L'instruction suivante apparaîtra dans le fichier d'entrée :

```
ELECTRODE NAME=GATE      X= 0.0      Y=-6
ELECTRODE NAME=SOURCE    X= -10.0    Y= -6
ELECTRODE NAME=DRAIN     X= 10.0     Y=-6
ELECTRODE NAME=SUBSTRAT  BACK BACKSIDE
```

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

La figure 3.37 montre les résultats des déclarations des électrodes dans le fichier d'entrée.

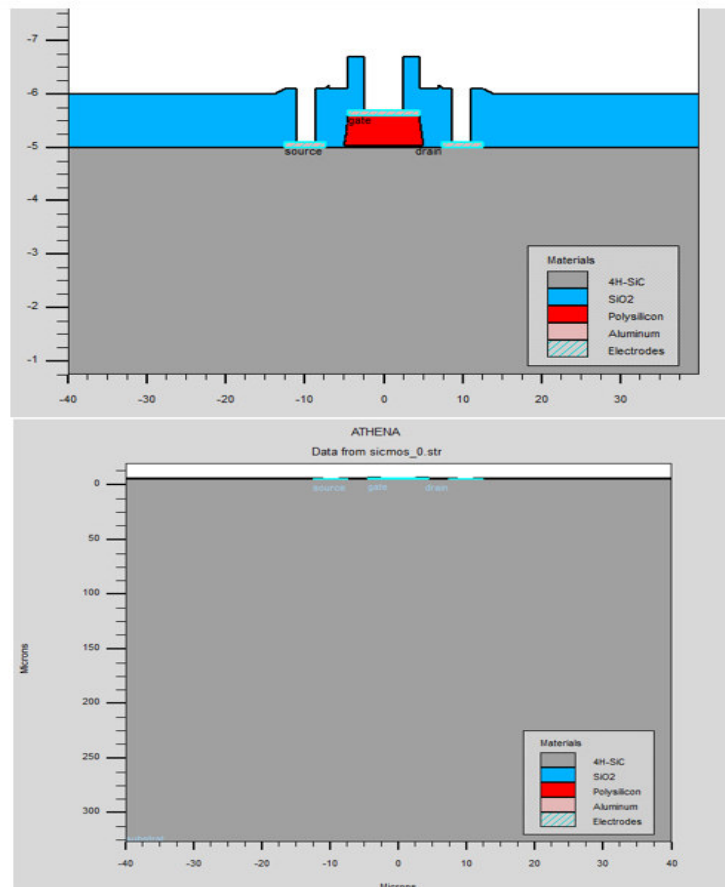


Figure.3.37 Représentation des électrodes sous Athéna

3.2.9 La structure finale étudiée :

Les paramètres technologiques et géométriques indiqués dans le tableau 3.3 sont appliqués et nous a abouties à concevoir la structure finale d'un transistor 4H-SiC (Figure 3.38)

La longueur de la grille	10 μm
L'épaisseur d'oxyde de grille	25,5 nm
L'épaisseur de poly silicium de grille	560 nm
Dimension du substrat	327 μm × 40 μm
Le dopage NA de substrat	1. 10^{18} cm^{-3}
Le dopage ND de drain et source	1,5. 10^{17} cm^{-3}
Le dopage NA	5. 10^{17} cm^{-3}

Tableau 3.3 : Résumé des valeurs adoptées pour les simulations de la structure étudié

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

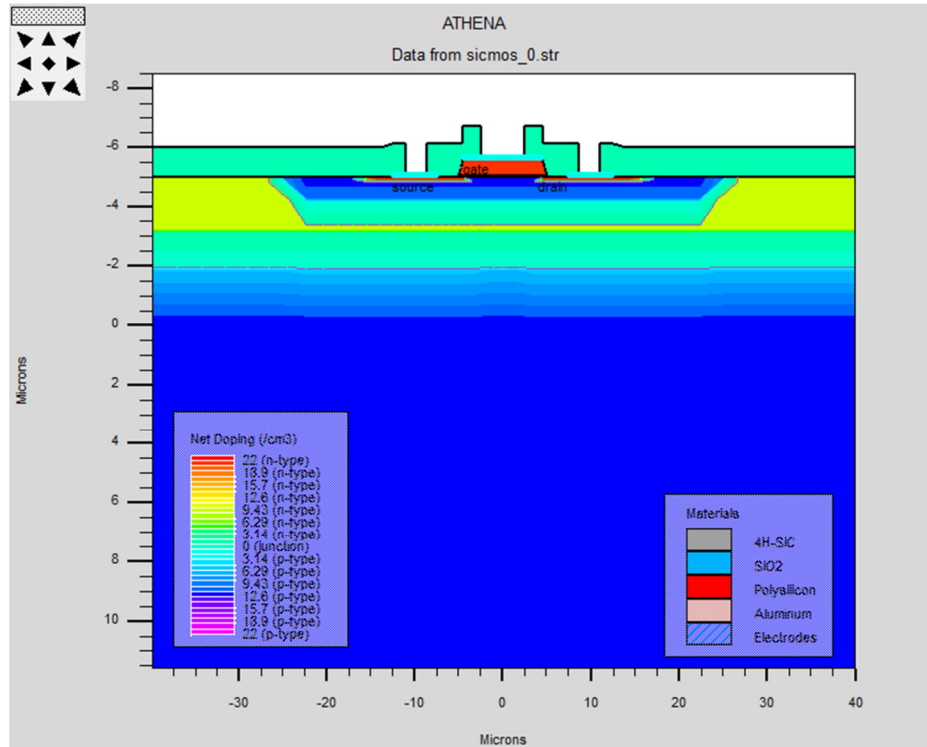


Figure 3.38 : Structure finale du composant 4H-SiC MOSFET simulé

3.3. Simulation des caractéristiques électriques du transistor MOS sous Atlas

Afin de simuler les caractéristiques électriques de notre dispositif 4H-SiC MOSFET conçu et simulé, nous avons utilisés le logiciel SILVACO-Atlas, plusieurs caractéristiques sont simulées et montées ci-dessous :

3.3.1. Obtention des caractéristiques de transfert Id-Vgs

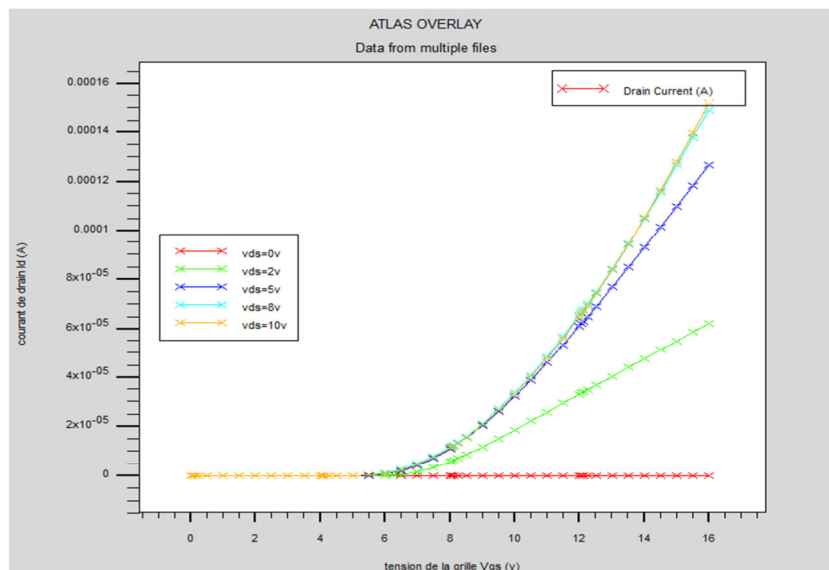


Figure 3.39 Caractéristiques Id-Vgs pour différents valeur de Vds

CHAPITRE 3 : SIMULATION TECHNOLOGIQUE ET ELECTRIQUE D'UN TRANSISTOR 4H-SiC MOSFET

La figure 3.39 montre les caractéristiques de courant de drain en fonction de la tension de la grille pour différentes valeurs de la tension de drain variant entre 0V et 10V. Si on prend l'allure de chaque courbe I_d - V_{gs} à part, on distingue de la première vue que chaque caractéristique obtenue est proche de celle de la théorie c'est-à-dire que le courant I_d augmente en exponentiel avec V_{gs} , mais la remarque qu'on peut tirer des courbes de I_d - V_{gs} pour différentes tension de V_{ds} , indique que le courant I_d augmente en augmentant la valeur de V_{ds} chose qui est conforme à la théorie.

A partir de certaine valeur de V_{ds} importante, le point de pincement commence à s'éloigner du drain, ce qui rend dans ce cas la proportion d'augmentation du courant en fonction de V_{ds} moins importante.

La valeur de la tension de seuil obtenu par extraction à partir du logiciel Atlas de Silvaco est :

Pour $V_{ds}=5V$ $V_{th} = 5,98V$.

3.3.2 Obtention de la caractéristique de sortie I_d - V_{ds}

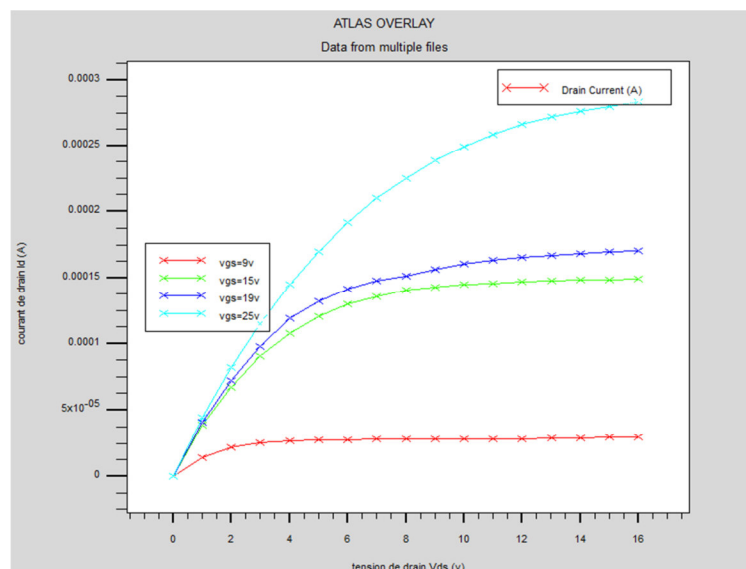


Figure 3.40 Variation du courant I_d - V_{ds} pour différentes valeurs de V_{gs}

La figure 3.40 montre les caractéristiques de courant I_d en fonction de la tension de drain V_{ds} pour différentes valeurs de tension V_{gs} variant de 9V à 25V. On remarque que pour une valeur fixe de V_{ds} , les courants I_d augmentent en augmentant les valeurs de V_{gs} ce qui est conforme à la théorie, la deuxième chose à remarquer est que l'allure des régions de saturation nous permet de conclure que l'influence de l'effet de body est très minime c'est-à-dire que les pertes dus aux résistances séries sont minimales et que notre transistor est très favorable pour travailler en commutation.

3.3.3 Effet de la température sur les caractéristiques de sortie :

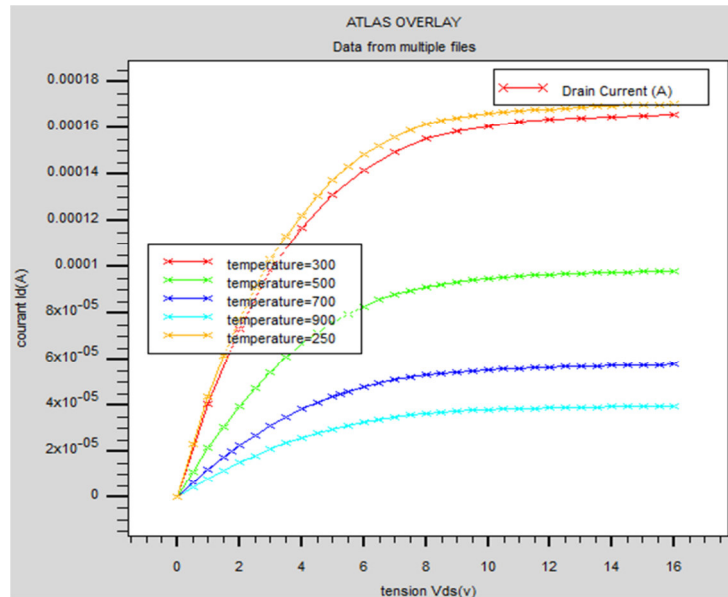


Figure 3.41 Effet de la température sur les caractéristiques I_d-V_{ds} pour $V_{gs}=16V$

La figure 3.41 montre les caractéristiques de courant de drain I_d en fonction de la tension de drain V_{ds} pour $V_{gs}=16V$ à différentes valeurs de température. On remarque que le courant I_d diminue avec l'augmentation de température. La remarque frappante dans ces résultats obtenus est que notre transistor conçu travail jusqu' à une température de $900^{\circ}K$.

3.3.4 Caractéristique de la transconductance :

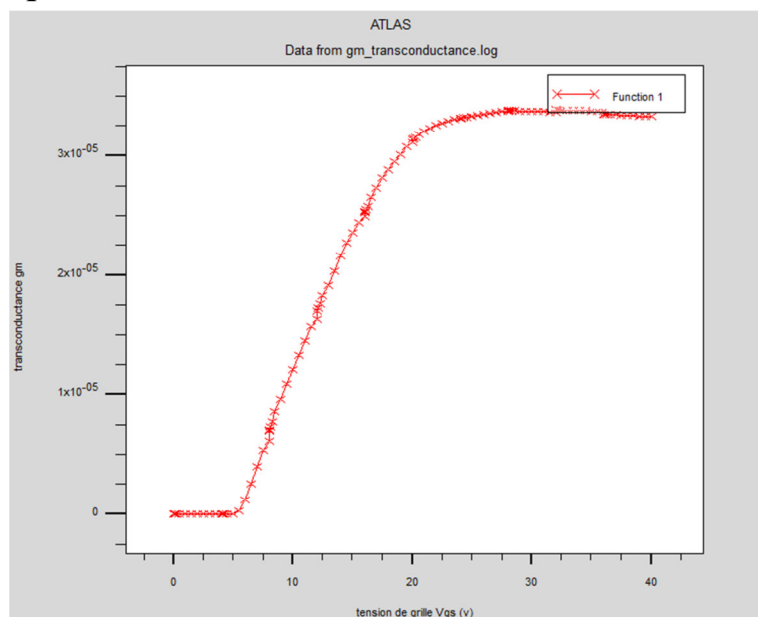


Figure 3.42 la transconductance g_m pour $V_{ds}=12V$

La figure 3.42 montre une transconductance g_m maximale d'environ de $3.5 \cdot 10^{-5} A/V$ à $V_{gs}=30V$.

3.3.5 Effet de la température sur la mobilité des électrons et des trous :

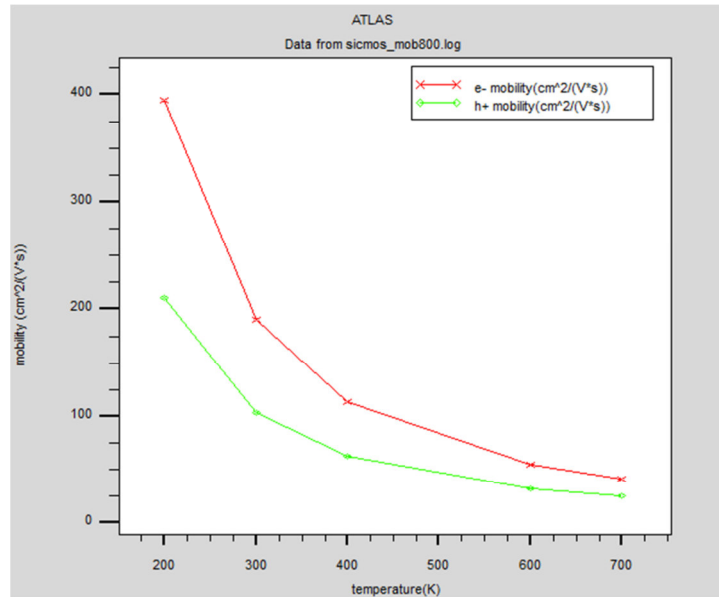


Figure 3.43 l'effet de la température sur la mobilité des électrons et des trous

La figure 3.43 illustre l'influence de la température sur la mobilité des électrons et celle des trous. On constate que la mobilité diminue lorsque la température augmente, cela est dû à l'augmentation des agitations thermiques du réseau cristallin qui implique du coup l'augmentation des résistances séries. Ce phénomène nous confirme l'effet de la diminution du courant en fonction de l'augmentation de la température qu'on a obtenu auparavant.

Conclusion générale

Conclusion général

Dans ce mémoire, nous avons simulés en 2D un MOSFET à canal long de type n sous une technologie à base de carbure de silicium de type 4H (4H-SiCMOSFET). L'interface de simulation utilisée dans ce travail pendant les différentes étapes de processus technologiques est le logiciel Athena de Silvaco, par contre pour la simulation électrique, on a utilisé le logiciel Atlas de la même firme (Silvaco).

Notez qu'en raison de la nature symétrique de notre 4H-SiC MOSFET, nous avons d'abord simulés la moitié de la structure et utiliser l'instruction miroir pour compléter la structure MOS.

Dans le premier chapitre, nous avons présentés des généralités sur le matériau SiC, ses propriétés, ses avantages et ses applications. L'étude de l'état de l'art qu'on a menée, nous a permis de connaître les potentialités très convoitées de ce composant dans l'électronique de haute puissance, haute température et haute fréquence.

Dans le deuxième chapitre, nous avons décrits la théorie du principe de fonctionnement du transistor NMOSFET, le but de cette étude théorique qu'on a établie permet d'initier le concepteur à la modélisation des différents processus qui conduit à des densités de courant plus élevées et à un claquage du transistor à des tensions plus grandes que celles théoriquement prévues à partir des caractéristiques de sortie et de transferts simulées. À cette fin, l'utilisateur est invité à bien choisir les modèles appropriés pour améliorer les performances de son transistor conçu en terme de courant de sortie, mobilité, transconductance, tension de seuil.....

Dans le troisième chapitre, nous avons simulés les divers processus technologiques et physiques nécessaires pour concevoir un 4H-SiCMOSFET, tels que la croissance des matériaux, l'oxydation, la diffusion d'impuretés, l'implantation ioniques, le dépôt de métal de contact (métallisation), gravure et passivation.

Nous avons choisis le modèles théoriques comportementaux adéquats pour chaque procédure technologique afin d'aboutir à des résultats satisfaisants et cohérents.

Les résultats obtenus sont prometteuses et obéit au cahier de charge, les caractéristiques de transferts I_d - V_{gs} pour différents valeurs de V_{ds} et celles de sorties I_d - V_{ds} pour différents valeurs de V_{gs} , sont stables et conformes à la théorie. La valeur de la tension de seuil obtenu par extraction à partir du logiciel Atlas de Silvaco est : pour $V_{ds}=5V$ $V_{th} = 5,98V$, c'est une valeur acceptable.

La tension maximale de travail atteinte est de 10V. Les pertes dus aux résistances séries sont minimales et le transistor est très favorable pour travailler en commutation. La température de travail obtenue est de 900°K. La transconductance g_m maximale obtenue est d'environ de $3.5 \cdot 10^{-5} A/V$ à $V_{gs}=30V$.

La mobilité maximale obtenue est de $400 \text{ cm}^2/V.S$ pour une température de 200°K.

Références bibliographiques

- [1] Bouguerra, A., & Labbani, R. (2016). *Contribution à l'étude de l'implantation des ions de carbone dans le silicium* (Doctoral dissertation, Université des frères mentouri constantine).
- [2] Mahdjoub, S. (2010). *Elaboration et étude des couches minces du carbure de silicium*.
- [3] Berenguier, B. (2015). *Mesures des propriétés opto-électriques du carbure de silicium par déphasage micro-onde et sensibilité spectrale* (Doctoral dissertation, Aix-Marseille).
- [4] LE DIPLOME, D. D. (2015). *KEFIF Kheira* (Doctoral dissertation, Université d'Oran).
- [5] Guillard, F. (2006). *Densification des carbures de silicium et de zirconium par un procédé innovant: le spark plasma sintering* (Doctoral dissertation, Toulouse 3).
- [6] Mercier, F. (2009). *Cristallogénèse de carbure de silicium cubique en solution à haute température* (Doctoral dissertation).
- [7] Song, X. (2012). *Activation des dopants implantés dans le carbure de silicium (3C-SiC et 4H-SiC)* (Doctoral dissertation, Tours).
- [8] Harrouni, H. E. (2004). *Analyse des défauts et des propriétés électroniques du SiC-4H par voie optique* (Doctoral dissertation, Lyon, INSA).
- [9] Gimbert, J. (1999). *Dopage du Carbure de Silicium par implantation ionique* (Doctoral dissertation, Grenoble INPG).
- [10] Amer, M. (2012). *Carbure de silicium 4H et 3C: microstructures de déformation dans le domaine fragile* (Doctoral dissertation, Poitiers).
- [11] Lefevre, J. (2008). *Etude des effets d'irradiation dans le polytype cubique du carbure de silicium par les techniques spectroscopiques de photoluminescence et de résonance paramagnétique électronique* (Doctoral dissertation).
- [12] Coyaud, M. (2002). *Caractérisation fonctionnelle de composants en carbure de silicium* (Doctoral dissertation).

Références bibliographiques

- [13] KARAOUZENE, A. R. Analyse du transport électronique dans les dispositifs Micro-électronique par les méthodes particulières Monte Carlo: Application aux matériaux InSb et SiC.
- [14] Neamen, D. A. (2012). *Semiconductor physics and devices: basic principles*. New York, NY: McGraw-Hill,.
- [15] Guerfi, Y. (2015). *Réalisation et caractérisation de transistors MOS à base de nanofils verticaux en silicium* (Doctoral dissertation, Université de Toulouse, Université Toulouse III-Paul Sabatier).
- [16] Khaouani, M. *Etude et conception d'un transistor nanométrique à grille enrobante GAA MOSFETs* (Doctoral dissertation).
- [17] Abdelouahab djemouai. (2019) *cours physique des semi_conducteurs II*
- [18] Gabiriel Cormier .*cours circuits ITGE (VLSI) chapitre 03 MOSFET ununiversité de moncton canada*

ANNEXE

Programme de simulation

Go athena

#x mesh

Line x loc=0.00 spac=0.50

Line x loc=40 spac=3

#y mesh

Line y loc=0.00 spac=0.20

Line y loc=327 spac=8

#substrat formation

Init sic_4h rot.sub=100 c.aluminum=1.0 e18 two.d

#4hsic deposition

Deposit sic_4h thick=5 c.phosphor=8 e15 divisions=6 dy=0.1 ydy=0 min.dy=0.01

#screen oxide deposition

Deposit oxide thick=30

#screen oxide etching

Etch oxide left p1.x=25

#p well diffusion

Method fermi

Diffus time=300 minutes temp=1700 dryo2 hcl.pc=1 c.aluminum=5 e17

#etch screen all

Etch oxide all

#screen oxide grid deposition

Deposit oxide thick=10

#etch oxide grid depositon

Etch oxide start x=15.00 y=-15.00

Etch cont x=5.00 y=-15.00

Etch cont x=5.00 y=-5.00

Etch done x=15.00 y=-5.00

#

Implant phosphor dose=1.5 e17 energy=1 monte mcseed=2 n.ion=4000 smooth=0.25 tilt=0
rotation=0 crystal unit.damage dam.factor=1

#RTA

Diffus time=60 minutes temp=1400 nitro press=1

#

Etch oxide all

#oxide grid deposition

Deposit oxide thick=0.025

#

Deposit polysilicon thick=0.56 c.phosphor=8 e21

#

Etch polysilicon start x=40.00 y=-10.00

Etch cont x=4.5 y=-5.6

Etch cont x=5.00 y=-5.02

Etch done x=40.00 y=-5.02

#

Etch oxide dry thick=0.03

Deposit oxide thick=10 divisions=8

Etch oxide dry thick=10.03

#electrodes formation

Deposit aluminum thick=0.1

#matallisation

Etch aluminum start x=7.33 y=-8.00

Etch cont x=4.50 y=-8.00

Etch cont x=4.5 y=8.00

Etch done x=7.33 y=8.00

#matallisation

Etch aluminum start x=40.00 y=-8.00

Etch cont x=12.50 y=-8.00

Etch cont x=12.50 y=8.00

```
Etch done x=40.00 y=8.00
#depot d'oxyde de passivation
Deposit oxide thick=1
#gravure d'oxyde de passivation
Etch oxide start x=2.50 y=-6.7
Etch cont x=0.00 y=-8.00
Etch cont x=0.00 y=-5.50
Etch done x=2.50 y=-5.50
#passivation
Etch oxide start x=11.00 y=-8.00
Etch cont x=8.70 y=-8.00
Etch cont x=8.70 y=-4.00
Etch done x=11.00 y=-4.00
#passivation
Etch oxide start x=4.50 y=-8.00
Etch cont x=7.00 y=-8.00
Etch cont x=7.00 y=-6.10
Etch done x=4.50 y=-6.10
#
Struct mirror left
#formation des électrodes
Electrode name=gate x=0.00 y=-6.00
Electrode name=source x=-10.00 y=-6
Electrode name=drain x=10.00 y=-6
Electrode name=substrat backside
Structure outf=sicmos_0.str
Tonyplot sicmos_0.str
Go atlas
Mesh inf=sicmos_0.str
#=====id en fonction de vgs=====
```



```
#=====RUN SOLUTION=====
#solve initial and zero-bias DC solution :
Model srh cvt print
Method newton trap maxtrap=30 temp.tol=1.e-4
Solve init
Solve vdrain=0
Log outf=sicidvg_0.log
Solve name=gate vgate=0 vstep=0.5 vfinal=4
Solve name=gate vgate=4 vstep=0.5 vfinal=8
Solve name=gate vgate=8 vstep=0.5 vfinal=12
Solve name=gate vgate=12 vstep=0.5 vfinal=16
Go atlas
Mesh inf=sicmos_0.str
Model srh cvt print
Method newton trap maxtrap=30 temp.tol=1.e-4
Solve init
Solve vdrain=2
Log outf=sicidvg_02.log
Solve name=gate vgate=0 vstep=0.5 vfinal=4
Solve name=gate vgate=4 vstep=0.5 vfinal=8
Solve name=gate vgate=8 vstep=0.5 vfinal=12
Solve name=gate vgate=12 vstep=0.5 vfinal=16
Go atlas
Mesh inf=sicmos_0.str
Model srh cvt print
Method newton trap maxtrap=30 temp.tol=1.e-4
Solve init
Solve vdrain=5
Log outf=sicidvg_05.log
Solve name=gate vgate=0 vstep=0.5 vfinal=4
```

Solve name=gate vgate=4 vstep=0.5 vfinal=8
Solve name=gate vgate=8 vstep=0.5 vfinal=12
Solve name=gate vgate=12 vstep=0.5 vfinal=16

Go atlas

Mesh inf=sicmos_0.str
Model srh cvt print
Method newton trap maxtrap=30 temp.tol=1.e-4
Solve init
Solve vdrain=8
Log outf=sicidvg_08.log
Solve name=gate vgate=0 vstep=0.5 vfinal=4
Solve name=gate vgate=4 vstep=0.5 vfinal=8
Solve name=gate vgate=8 vstep=0.5 vfinal=12
Solve name=gate vgate=12 vstep=0.5 vfinal=16

Go atlas

Mesh inf=sicmos_0.str
Model srh cvt print
Method newton trap maxtrap=30 temp.tol=1.e-4
Solve init
Solve vdrain=10
Log outf=sicidvg_010.log
Solve name=gate vgate=0 vstep=0.5 vfinal=4
Solve name=gate vgate=4 vstep=0.5 vfinal=8
Solve name=gate vgate=8 vstep=0.5 vfinal=12
Solve name=gate vgate=12 vstep=0.5 vfinal=16

#=====id en fonction de vds =====

Go atlas

Mesh inf=sicmos_0.str
#=====RUN SOLUTION=====
#solve initial and zero-bias DC solution :

Model srh cvt print

Method newton trap maxtrap=30 temp.tol=1.e-4

Solve init

Solve vgate=9

Log outf=sicmosidvd_9.log

Solve name=drain vdrain=0 vstep=1 vfinal=4

Solve name=drain vdrain=4 vstep=1 vfinal=8

Solve name=drain vdrain=8 vstep=1 vfinal=12

Solve name=drain vdrain=12 vstep=1 vfinal=16

Go atlas

Mesh inf=sicmos_0.str

Model srh cvt print

Method newton trap maxtrap=30 temp.tol=1.e-4

Solve init

Solve vgate=15

Log outf=sicmosidvd_15.log

Solve name=drain vdrain=0 vstep=1 vfinal=4

Solve name=drain vdrain=4 vstep=1 vfinal=8

Solve name=drain vdrain=8 vstep=1 vfinal=12

Solve name=drain vdrain=12 vstep=1 vfinal=16

Go atlas

Mesh inf=sicmos_0.str

Model srh cvt print

Method newton trap maxtrap=30 temp.tol=1.e-4

Solve init

Solve vgate=19

Log outf=sicmosidvd_19.log

Solve name=drain vdrain=0 vstep=1 vfinal=4

Solve name=drain vdrain=4 vstep=1 vfinal=8

Solve name=drain vdrain=8 vstep=1 vfinal=12

Solve name=drain vdrain=12 vstep=1 vfinal=16

Go atlas

Mesh inf=sicmos_0.str

Model srh cvt print

Method newton trap maxtrap=30 temp.tol=1.e-4

Solve init

Solve vgate=25

Log outf=sicmosidvd_25.log

Solve name=drain vdrain=0 vstep=1 vfinal=4

Solve name=drain vdrain=4 vstep=1 vfinal=8

Solve name=drain vdrain=8 vstep=1 vfinal=12

Solve name=drain vdrain=12 vstep=1 vfinal=16

#=====id en fonction de vds avec une variation des températures=====

Go atlas

Mesh inf=sicmos_0.str

Models mos temperature=250

Model srh cvt print

Method newton trap maxtrap=30 temp.tol=1.e-4

Solve init

Solve vgate=16

Log outf=sicmosidvd_250.log

Solve name=drain vdrain=0 vstep=0.5 vfinal=4

Solve name=drain vdrain=4 vstep=0.5 vfinal=8

Solve name=drain vdrain=8 vstep=0.5 vfinal=12

Solve name=drain vdrain=12 vstep=0.5 vfinal=16

Go atlas

Mesh inf=sicmos_0.str

Models mos temperature=300

Model srh cvt print

Method newton trap maxtrap=30 temp.tol=1.e-4

Solve init

Solve vgate=16

Log outf=sicmosidvd_300.log

Solve name=drain vdrain=0 vstep=0.5 vfinal=4

Solve name=drain vdrain=4 vstep=0.5 vfinal=8

Solve name=drain vdrain=8 vstep=0.5 vfinal=12

Solve name=drain vdrain=12 vstep=0.5 vfinal=16

Go atlas

Mesh inf=sicmos_0.str

Models mos temperature=500

Model srh cvt print

Method newton trap maxtrap=30 temp.tol=1.e-4

Solve init

Solve vgate=16

Log outf=sicmosidvd_500.log

Solve name=drain vdrain=0 vstep=0.5 vfinal=4

Solve name=drain vdrain=4 vstep=0.5 vfinal=8

Solve name=drain vdrain=8 vstep=0.5 vfinal=12

Solve name=drain vdrain=12 vstep=0.5 vfinal=16

Go atlas

Mesh inf=sicmos_0.str

Models mos temperature=700

Model srh cvt print

Method newton trap maxtrap=30 temp.tol=1.e-4

Solve init

Solve vgate=16

Log outf=sicmosidvd_700.log

Solve name=drain vdrain=0 vstep=0.5 vfinal=4

Solve name=drain vdrain=4 vstep=0.5 vfinal=8

Solve name=drain vdrain=8 vstep=0.5 vfinal=12

Solve name=drain vdrain=12 vstep=0.5 vfinal=16

Go atlas

Mesh inf=sicmos_0.str

Models mos temperature=900

Model srh cvt print

Method newton trap maxtrap=30 temp.tol=1.e-4

Solve init

Solve vgate=16

Log outf=sicmosidvd_900.log

Solve name=drain vdrain=0 vstep=0.5 vfinal=4

Solve name=drain vdrain=4 vstep=0.5 vfinal=8

Solve name=drain vdrain=8 vstep=0.5 vfinal=12

Solve name=drain vdrain=12 vstep=0.5 vfinal=16

#=====la mobilité en fonction de température=====

Go atlas

Mesh inf=sicmos_0.str

Models conmob srh analytic temperature=200

Probe lat.temp x=4 y=-4.9

Probe n.mob x=10 y=-4.9

Probe p.mob x=0 y=-4.9

Solve init

solve vgate=10

Solve vdrain=12

Log outf=sicmos_mob800.log

Solve name=drain vdrain=0 vdtep=1 vfinal=6

Go atlas

Mesh inf=sicmos_0.str

Models conmob srh analytic temperature=300

Probe lat.temp x=4 y=-4.9

Probe n.mob x=10 y=-4.9

Probe p.mob x=0 y=-4.9

Solve init

solve vgate=10

Solve vdrain=12

Log outf=sicmos_mob800.log append

Solve name=drain vdrain=0 vdtep=1 vfinal=6

Go atlas

Mesh inf=sicmos_0.str

Models conmob srh analytic temperature=400

Probe lat.temp x=4 y=-4.9

Probe n.mob x=10 y=-4.9

Probe p.mob x=0 y=-4.9

Solve init

solve vgate=10

Solve vdrain=12

Log outf=sicmos_mob800.log append

Solve name=drain vdrain=0 vdtep=1 vfinal=6

Go atlas

Mesh inf=sicmos_0.str

Models conmob srh analytic temperature=500

Probe lat.temp x=4 y=-4.9

Probe n.mob x=10 y=-4.9

Probe p.mob x=0 y=-4.9

Solve init

solve vgate=10

Solve vdrain=12

Log outf=sicmos_mob800.log append

Solve name=drain vdrain=0 vdtep=1 vfinal=6

Go atlas

Mesh inf=sicmos_0.str

Models conmob srh analytic temperature=600

Probe lat.temp x=4 y=-4.9

Probe n.mob x=10 y=-4.9

Probe p.mob x=0 y=-4.9

Solve init

solve vgate=10

Solve vdrain=12

Log outf=sicmos_mob800.log append

Solve name=drain vdrain=0 vdtep=1 vfinal=6

Go atlas

Mesh inf=sicmos_0.str

Models conmob srh analytic temperature=700

Probe lat.temp x=4 y=-4.9

Probe n.mob x=10 y=-4.9

Probe p.mob x=0 y=-4.9

Solve init

solve vgate=10

Solve vdrain=12

Log outf=sicmos_mob800.log append

Solve name=drain vdrain=0 vdtep=1 vfinal=6

#=====transconductance=====

Go atlas

Mesh inf=sicmos_0.str

Model srh cvt print

Method newton trap maxtrap=30 temp.tol=1.e-4

Solve init

Solve vdrain=12

Log outf=gm_transconductance.log

Solve name=gate vgate=0 vstep=0.5 vfinal=4

Solve name=gate vgate=4 vstep=0.5 vfinal=8

Solve name=gate vgate=8 vstep=0.5 vfinal=12

Solve name=gate vgate=12 vstep=0.5 vfinal=16

Solve name=gate vgate=20 vstep=0.5 vfinal=24

Solve name=gate vgate=24 vstep=0.5 vfinal=28

Solve name=gate vgate=32 vstep=0.5 vfinal=36

Solve name=gate vgate=36 vstep=0.5 vfinal=40

#=====extraction de vth =====

Go atlas

Mesh inf=sicmos_0.str

Model srh cvt print

Method newton trap maxtrap=30 temp.tol=1.e-4

Solve init

Solve vdrain=5

Log outf=sicidvg_05.log

Solve name=gate vgate=0 vstep=0.5 vfinal=4

Solve name=gate vgate=4 vstep=0.5 vfinal=8

Solve name=gate vgate=8 vstep=0.5 vfinal=12

Solve name=gate vgate=12 vstep=0.5 vfinal=16

Extract name="vt" (xintercept (maxslope (curve (abs (v."gate"), abs (i. " drain ")))) – abs (ave (v.
" drain ") /2.0)

Tonyplot sicmos_0.str -set sicmos_0.set

Tonyplot -overlay sicidvg_0.log sicidvg_02.log sicidvg_05.log sicidvg_08.log sicidvg_010.log
–set sicidvg_0.set

Tonyplot -overlay sicmosidvd_9.log sicmosidvd_15.log sicmosidvd_19.log sicmosidvd_25.log
–set sicmosidvd_9.set

Tonyplot -overlay sicmosidvd_250.log sicmosidvd_300.log sicmosidvd_500.log
sicmosidvd_700.log sicmosidvd_900.log –set sicmosidvd_250.set

Tonyplot sicmos_mob800.log -set sicmos_mob800.set

Tonyplot gm_transconductance.log –set gm_transconductance.set

Tonyplot sicidvg_05.log –set sicidvg_05.set

Quit