

REPUBLIQUE ALGERIENNE DEMOCRATIQUE ET POPULAIRE

MINISTERE DE L'ENSEIGNEMENT SUPERIEUR ET DE LA
RECHERCHE SCIENTIFIQUE

Université de Mohamed El-Bachir El-Ibrahimi - Bordj Bou Arreridj

Faculté des Sciences et de la technologie

Département d'Electronique

Mémoire

Présenté pour obtenir

LE DIPLOME DE MASTER

Filière : électronique

Spécialité : micro-électronique

Par

BOUABDALLAH bahieddine

HOUMOUR sofiane

Thème

*Etude et conception d'un convertisseur analogique
numérique à double rampe.*

Soutenu le : 18/09/2019

Devant le jury :

- | | |
|-------------------|-----------|
| • Dr. Z.MESSAI. | Président |
| • Dr.F. FARES. | Examineur |
| • Dr .A.DJEMOUAI. | Encadreur |

Année Universitaire 2018/2019



Remerciements

Nous remercions Allah le tout puissant pour nous avoir permis de réaliser et d'achever ce travail dans de bonnes conditions et en bonne santé.

On tient tout d'abord à remercier énormément notre encadreur Dr DJEMOUAI, qui nous a soutenus et aidés et très bien dirigés afin de développer ce thème en très bonne et due forme. Nous lui sommes très reconnaissants pour sa confiance et surtout sa patience, ses conseils avisés et son soutien moral.

Nous remercions globalement tous ceux qui ont participé de près ou de loin à la réalisation de ce travail et on espère n'avoir oublié personne et si c'est le cas nous sincères excuses.

Enfin nous remercions nos chères familles qui ont fait preuve de patience et qui nous ont soutenus afin de mener ce travail à son terme.

Un grand merci à tout l'ensemble d'enseignants et l'équipe administratif du département de l'électronique

Merci à tous.

B.Bahieddine & H.Sofiane

Dédicace

Je dédie ce travail a mes chers parents Rabah & Dalila.

*A ma grande sœur et plus particulièrement a ces enfants amine amani
djihan.*

*A mes grands frères mustapha et ces enfants achraf et la petite malak une
dédicace particulière à mes frère noureddin et zineddine.*

A ma petite sœur adorée amina.

*A tous mes amis : abdelftah,faycel et plus particulièrement mon ami
Benabdallah Atmane qui en plus d'être un ami est un frère et aura toujours
sa place dans la famille.*

A tous ceux qui me sont chers.

B.Bahieddine

Dédicace

Je dédie ce travail

A mes chers parents Chikh larbi & Torkia .

A mon grand frère Chiboub qui m'a toujours soutenu et qui est bien plus qu'un frère à mes yeux et je le considère comme un modèle de réussite à suivre

A mes petit frère saleh et yakoub

A ma grande sœur et son époux

A mon fils hetane

A mes chers amis : B.Oussama , B.Amer, B.Nassim, B.Saleh.

H.Sofiane

Liste des figures

Figure I.1: Echantillonnage-blocage d'un signal continu	3
Figure I.2 : Erreurs et seuils de quantification pour des CANs de résolution de trois bits : (a) par troncature (seuils à $D.q$) et (b) par arrondi (seuils à $\pm D q/2$).....	5
Figure I.3: Visualisation du pas de quantification d'un CAN	8
Figure I.4 : Erreur de décalage d'un CAN.....	10
Figure I.5 : Erreurs de gain d'un CAN.....	11
Figure I.6: Erreur de non-linéarité différentielle (DNL) d'un CAN.....	12
Figure I.7: Erreur de non-linéarité intégrale (INL) d'un CAN.....	13
Figure I.8 : Réponse du filtre utilisé dans pour limité le continu spectral du signal échantillonné d'un CAN dans le cas la fréquence d'échantillonnage est supérieur à la fréquence de Nyquist.....	18
Figure I.9: Mesure du SNR et du SFDR d'un convertisseur analogique numérique.....	21
Figure II.1: Architecture typique d'un CAN à intégration d'une seule rampe.....	25
Figure II.2 : Chronogramme donnant l'évolution des signaux du CAN.....	26
Figure II.3 : CAN Double rampe.....	27
Figure II.4: CAN a double intégration.....	28
Figure II.5 : Schéma typique d'un CAN Flash de deux bits.....	31
Figure II.6 : Architecture générique d'un convertisseur analogique-numérique Demi-	

Liste des figures

Flash.....	32
Figure II.7 : Schéma block d'un CAN à approximation successive (SAR).....	33
Figure II.8 : Chronogramme d'un CAN à approximation successive (SAR).....	34
Figure II.9 : Schéma de principe d'un CAN Pipeliné.....	35
Figure II.10 : Schéma de principe d'un CAN Pipeliné.....	35
Figure II.11 : Schéma de principe d'un CAN Pipeliné.....	36
Figure II.12 : Architecture typique d'une CAN de type Sigma-Delta.....	37
Figure III.1 : Schéma global au niveau block du CAN à double intégration implémenté en technologie CMOS 0.18u/1.8V dans LTspice.....	39
Figure III.2 : Schéma de l'intégrateur du CAN à double intégration.....	40
Figure III.3 : Schéma de l'amplificateur opérationnel 'folde-cascod' utilisé pour implémenter l'intégrateur du CAN à double intégration.....	41
Figure III.4 : Circuit de polarisation de l'amplificateur opérationnel 'folde-cascod'.....	41
Figure III.5 : Résultat AC sweep de LTspice de l'amplificateur opérationnel.....	42
Figure III.6 : Résultat d'analyse DC sweep d'un amplificateur opérationnel.....	43
Figure III.7 : Circuit de la porte de transmission CMOS utilisée pour implémenter les interrupteurs de l'intégrateur.....	44
Figure III.8 : Résultats de la simulation transitoire de l'intégrateur.....	45
Figure III.9 : Schéma du circuit de l'intégrateur du convertisseur CAN.....	46
Figure III.10 : Résultats de la simulation transitoire de l'intégrateur.....	46

Liste des figures

Figure III.11 : Schéma du compteur à base de bascules JK Set-Reset.....	47
Figure III.12 : Etage du compteur à base de bascules JK Set-Reset.....	48
Figure III.13 : Résultats de simulation montrant le comportement transitoire du compteur.....	48
Figure III.14 : Schéma du circuit génération de signaux de synchronisation des blocks du CAN.....	49
Figure III.15 : Résultats de simulation montrant le comportement transitoire du compteur	50
Figure III.16 : Architecture du registre 8 bits à des bascules D sensible aux fronts montants de l'horloge.....	50
Figure III.17 : Schéma de configuration utilisé pour simuler le CAN à double rampe 8 bits avec comme tension d'entrée égal 0.4 V, tension de référence de -0.5 V, et tension du mode commun de 0.8V et une période de fréquence d'horloge de 100n.....	51
Figure III.18 : Résultat de simulation (au début de démarrage de la simulation) du CAN à 8 bits à double rampes.....	52
Figure III.19 : l'architecture du CNA 8 bits utiliser pour convertir le résultat numérique du CAN en un signal analogique.....	53
Figure III.20. : Résultat de simulation du CAN à 8 bits à double rampes montrant la complétion de la période d'intégration T1.....	53

Liste des tableaux

Tableau I.1: Pas de quantification (quantum), q , d'un CAN en fonction de la résolution N pour une pleine échelle, V_{PE} , de 1 V09

Tableau I.2 : Rapport du signal sur bruit d'un CAN idéal pour différentes résolutions.....16

liste d'abréviations

F_{ech}	Fréquence d'échantillonnage
CAN	Convertisseur analogique numérique
T_e	Période d'échantillonnage
q	Quantum: pas de quantification
PE	pleine échelle
$V_{in}(t)$	Signal d'origine
V_q	Bruit de quantification
P_q	Puissance moyenne du bruit de quantification
LSB	Least Significant bit : bit de poids faible
N	Nombre de bit du convertisseur
q_i	Largeur réelle du pas de quantification
SNR	Signal to Noise Ratio: rapport signal sur bruit
amp-op	Amplificateur opérationnel
DC	Direct Current
A/N	Analogique / Numérique
FFT	Fast Fourier Transform : transformée de Fourier rapide
SPICE	Simulation Program with Integrated Circuit Emphasis
LTSPICE	Linear Technology SPICE
V_{eff}	Valeur efficace du signal sinusoïdal

liste d'abréviations

THD	Total Harmonic Distorsion : distorsion harmonique totale
SINAD	Rapport signal sur bruit avec distorsion
S / H	Sample / Hold
E/B	Échantillonneur / bloqueur
DNL	Differential Non-Linearity
ADC	Analog to Digital Converter
CNA	Convertisseur numérique analogique
INL	Integral Non-Linearity
MSB	Most Significant Bit : bit de poids fort
DAC	Digital to Analog converter
Vref	Tension de référence
SAR	Successive Approximation Register
ENOB	Effective Number of Bits: nombre effectif de bits
SFDR	Spurious Free Dynamic Range : dynamique sans fréquence

Sommaire

Remerciement

Dédicace

Liste des figures

Liste des tableaux

Introduction générale

CHAPITRE I : GENERALITES SUR LES CONVERTISSEURS ANALOGIQUE NUMERIQUE

I.1. PRINCIPE DE LA CONVERSION ANALOGIQUE NUMERIQUE.....	3
I.1.1. FONCTION DE TRANSFERT.....	4
<i>I.1.1.1. Bruit de quantification :</i>	<i>6</i>
<i>I.1.1.2. Plage dynamique du signal d'entrée :</i>	<i>7</i>
<i>I.1.1.3. Résolution et pas de quantification :</i>	<i>7</i>
<i>I.1.1.4. Temps d'établissement :</i>	<i>9</i>
<i>I.1.1.5. Précision :</i>	<i>9</i>
I.1.2. BANDE PASSANTE D'UN CAN :	9
I.2. PARAMETRES STATIQUES ET DYNAMIQUE :	10
<i>I.2.1. Erreur de décalage :</i>	<i>10</i>
<i>I.2.2. Erreur de gain</i>	<i>11</i>
<i>I.2.3. Erreurs de linéarité différentielle (DNL) et de non-linéarité intégrale (INL) :</i>	<i>11</i>
<i>I.2.4. Erreur de non-linéarité intégrale (INL)</i>	<i>13</i>
<i>I.2.5. Monotonie.....</i>	<i>14</i>
<i>I.2.6. Codes manquants.....</i>	<i>14</i>
<i>I.2.7. Rapport signal sur bruit d'un CAN idéal :</i>	<i>14</i>
<i>I.2.8. Distorsion harmonique total (THD).....</i>	<i>19</i>

Sommaire

I.2.9. Rapport signal sur bruit avec distorsion (SINAD)	19
I.2.10. Plage dynamique sans fréquence parasites (SFDR) :	20
I.2.11. Nombre effectif de bits (ENOB) :	21
I.3. CONCLUSION :	23
II.1. INTRODUCTION	24
CHAPITRE II : LES ARCHITECTURES DE CONVERTISSEURS ANALOGIQUE NUMIRIQUE	
II.2. ARCHITECTURE DES CANS A INTEGRATION :	24
II.2.1. Architecture CAN à intégration à une rampe simple:	24
II.2.2. Architecture CAN à intégration à double rampes :	27
II.2.2.1. Avantages de l'architecture à double intégration :	29
II.3. CONVERTISSEUR CAN PARALLELE OU FLASH :	30
II.4. ARCHITECTURE SEMI-FLASH OU FLASH A DEUX ETAPES :	32
II.5. ARCHITECTURE A APPROXIMATIONS SUCCESSIVES :	33
II.6. ARCHITECTURE CAN PIPELINE :	34
II.7. ARCHITECTURE SIGMA-DELTA :	36
II.8. CONCLUSION :	38
CHAPITRE III : CONCEPTION D'UN CAN A DOUBLE RAMPE	
III.1. ARCHITECTURE DU CAN 8 BITS:	39
III.1.1. L'intégrateur :	40
III.1.1.2. Amplificateur opérationnel :	40
III.1.1.3. Interrupteurs analogiques de l'intégrateur :	43
III.1.1.4. Résultats de simulation transitoire du circuit de l'intégrateur :	44
III.1.2. Le comparateur :	45
III.1.3. Compteur 8bits :	47
III.1.4. Circuit de génération des signaux de synchronisation des blocks du CAN :	48
III.1.5. Registre 8bits :	50

Sommaire

III.2. CONFIGURATION DE SIMULATION DU CONVERTISSEUR CAN A DOUBLE RAMPE :	51
III.3. CONVERTISSEUR NUMERIQUE-ANALOGIQUE (CNA) IDEAL :	51
III.5. CONCLUSION :	54

CONCLUSION GÉNÉRALE

RÉFÉRENCES BIBLIOGRAPHIQUES

Résumé

Abstract

ملخص

INTRODUCTION

GENERAL

Introduction générale

L'intérêt de traitement numérique de données ne cesse de grandir avec le développement rapide de grandissant la technologie des circuits intégrés (ICs), et plus spécifiquement de la technologie CMOS (complémentaire métal-oxyde-semi-conducteur). En fait, la plus grande partie des fonctions électroniques, des circuits intégrés modernes, sont accomplies par des circuits traitement numériques (DSP) caractérisés par une grande de puissance de calcul et une vitesse d'exécution très élevée. De même, les circuits numériques sont bien adaptés à la technologie CMOS caractérisée par un taux d'intégration très élevé et un faible cout d'implémentation. De plus les circuits numériques ne dépendent pas des tolérances des composants et peuvent être facilement dupliqué. Toutefois, le traitement numérique de données nécessite la conversion des signaux analogiques associés aux phénomènes physiques réels en des signaux numériques et la conversion des signaux numériques en des signaux analogiques. Les opérations de conversion de données sont effectués par des convertisseurs de données analogique-numériques (CANs) et les convertisseurs de données numériques-analogiques (CNAs).[18]

Les CANs et les CNAs sont indispensables pour la fonctionnalité de système impliquant un traitement numérique et interfaçant entre le monde physiques réel Ils réalisent les interfaces entre les modules de traitement numérique d'un système électronique et le monde physique réel.[5]

Dépendamment des applications, il y'a différentes spécifications à satisfaire par les CAN et CNA utilisés dans les systèmes électroniques (résolution, rapport signal/bruit, non-linéarité, fréquence d'échantillonnage, vitesse, bande passante, puissance de consommation, etc.).

C'est dans ce domines de convertisseurs de données que s'inscrit le projet du travail présenté dans ce mémoire qui est l'étude, la conception et la simulation d'un convertisseur analogique-numérique (CAN) à intégration à double rampe à 8 bits. Ce genre de CANs est

La technologie utilisée est celle du CMOS 0.18u/1.8V de la TSMC. La simulation et la caractérisation du CAN sont effectuées en utilisant l'outil de simulation de circuits intégrés LTspice, outil libre de la compagnie Linear technology.

Introduction générale

Ce mémoire est divisé en différentes parties :

- Une introduction générale exposant le thème et les objectifs du projet.
- Un premier chapitre : études des caractéristiques de base des convertisseurs analogique- numérique.
- Un deuxième chapitre réservé la présentation des architectures des CANs.
- Un troisième chapitre exposant les résultats de simulation du CAN proposé.
- Une conclusion générale résumant l'essentiel des travaux réalisés et des résultats obtenus.

CHAPITRE I :
GENERALITES SUR LES
CONVERTISSEURS
ANALOGIQUE NUMERIQUE

CHAPITRE I : GENERALITES SUR LES CONVERTISSEURS ANALOGIQUE NUMERIQUE

I.1. Principe de la conversion analogique numérique.

La conversion analogique-numérique est l'étape qui permet de passer d'un signal analogique continu en temps et en amplitude en un signal discret en temps et en amplitude. Cette conversion s'obtient par deux opérations distinctes : l'échantillonnage ou la discrétisation dans le temps du signal d'entrée et la quantification de l'amplitude du signal échantillonné [3]. L'échantillonnage se fait généralement par l'entremise d'un échantillonneur-bloqueur (E/B) ou en anglais 'sample and hold (S/H)'. Le rôle de cet circuit consiste à maintenir la valeur de signal continu analogique v_{in} pendant une durée fixe égale à la période d'échantillonnage ($T_{ech} = 1/F_{ech}$) du convertisseur, où F_{ech} est la fréquence d'échantillonnage (Fig:1.1). Le signal obtenu V_a est continue par morceaux.

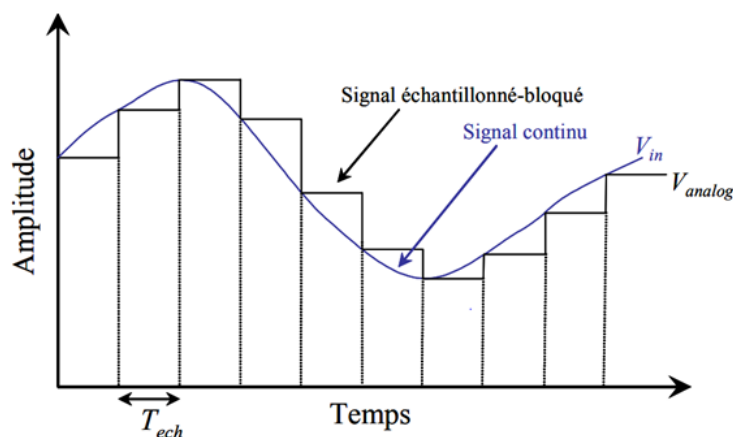


Figure I.1: Echantillonnage-blocage d'un signal continu [3].

La fréquence d'échantillonnage $F_{ech} = 1/T_{ech}$ est fixée en se basant sur le théorème de Shannon selon lequel la fréquence d'échantillonnage doit être au moins égale au double de la fréquence maximale du signal analogique d'entrée du CAN [3] [24]. La condition imposée par ce théorème est fondamentale parce qu'elle garantit la reconstruction complète du signal originale (signal d'entrée) à partir du signal converti (signal de sortie) sans aucune perte d'information. En fait, le théorème de Shannon stipule qu'il faut prélever au

CHAPITRE I : GENERALITES SUR LES CONVERTISSEURS ANALOGIQUE NUMERIQUE

moins deux échantillons par période pour échantillonner le signal analogique d'entrée pour pouvoir le reconstituer du signal numérisé de sortie sans perte d'information.

Un convertisseur analogique numérique (CAN) peut être représenté par sa fonction de transfert qui reflète la correspondance entre le signal numérique de sortie et le signal continu analogique d'entrée. Les erreurs ou paramètres instrumentaux résultant des imperfections des éléments constituant le convertisseur représentent directement ou indirectement les variations de la fonction de transfert d'un CAN réel par rapport à celle d'un CAN équivalent idéal. Ces erreurs permettent l'évaluer des performances d'un CAN réel et servent d'outils d'interprétation de son fonctionnement. Mathématiquement, la relation entre la sortie numérique $D: d_0, d_1, \dots, d_{n-1}$, et l'entrée analogique (V_{in}) est donnée par [22]:

$$V_{IN} = d_{N-1} \frac{PE}{2^1} + d_{N-2} \frac{PE}{2^2} + \dots + d_0 \frac{PE}{2^N} + E = D \cdot PE + V_{Err} \quad (I.1)$$

- PE : la pleine échelle, grandeur de référence du convertisseur ;
- V_{Err} : l'erreur de quantification du convertisseur ;
- D : la représentation décimale du signal numérique normalisée à PE ;
- N : le nombre de bit ou la résolution ;
- d_{n-1} : le bit de poids le plus fort (MSB : Most significant bit) ;
- d_0 : le bit de poids le plus faible (LSB : least significant bit).

I.1.1. Fonction de transfert

Un CAN qui a comme entrée un signal analogique V_{in} délivre en sortie un mot binaire de N bits correspondant à la valeur numérique D (d_0, d_1, \dots, d_{n-1}) associé au signal analogique V_{in} . Le mot de sortie ayant N bits, le convertisseur peut délivrer 2^N mots distincts (de 0 à $2^N - 1$) pour numériser toute la plage de tension analogique PE non signée. La valeur numérique D du mot binaire délivré par le CAN exprime le signal analogique V_{in} avec pour unité le pas de quantification q . L'erreur de quantification conduit à ce qu'à une même valeur de D correspond une plage de tension analogique d'entrée de largeur q , on a :

**CHAPITRE I : GENERALITES SUR LES CONVERTISSEURS ANALOGIQUE
NUMERIQUE**

$$\frac{V_{IN}}{q} = D + \text{reste} \quad \text{où} \quad \text{reste} < 1 \quad (I.2)$$

Si le changement du signal de sortie du CAN s'effectue lorsque $V_{in}/q = D$, la moyenne de l'erreur de quantification V_{err} est non-nulle positive, il s'agit dans ce cas d'un CAN par troncature.

La pleine échelle est divisée en autant de plages d'égale dimension (cas de la quantification uniforme) qu'il y a d'états possibles de la sortie numérique. Chaque plage est associée à un code numérique représentant la tension analogique d'entrée. [12]

L'ensemble des valeurs analogiques V_{in} qui correspond à la même valeur D se trouvent dans la plage (Fig. 1.2a)

$$D \cdot q \leq V_{IN} \leq (D + 1) \cdot q$$

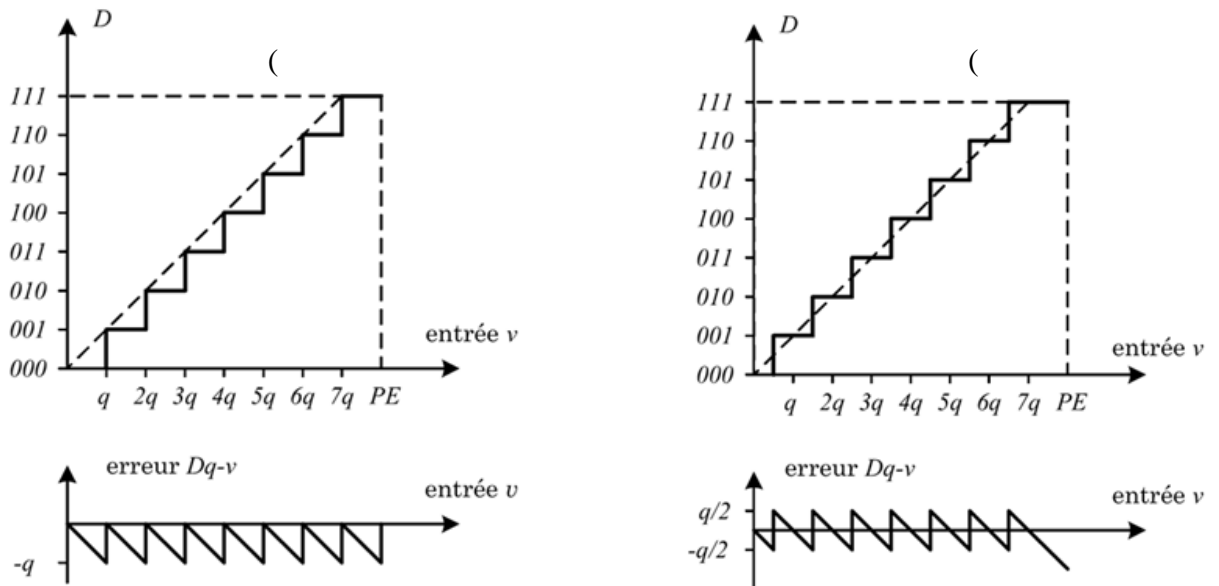


Figure I.2 : Erreurs et seuils de quantification pour des CANs de résolution de trois bits : (a) par troncature (seuils à $D \cdot q$) et (b) par arrondi (seuils à $\pm D \cdot q/2$).

Généralement, il est préférable d'avoir une incertitude positive ou négative au tour de 0 (moyenne nulle) et qui est limitée à $\pm 1/2q$, ce qui correspond à un CAN par arrondi. Ceci

**CHAPITRE I : GENERALITES SUR LES CONVERTISSEURS ANALOGIQUE
NUMERIQUE**

peut se faire, les seuils de transition du convertisseur sont réglés de tel manière que la sortie numérique D apparaisse pour toutes valeurs V_{in} telles que (Fig. 1.2b) :

$$\left(D - \frac{1}{2}\right) \cdot q \leq V_{in} \leq \left(D + \frac{1}{2}\right) \cdot q \quad (I.3)$$

Où $\frac{1}{2}q$ représentent l'erreur maximale de quantification liée au principe de fonctionnement idéal de la conversion, erreur d'autant plus faible que le nombre de bits du convertisseur N est plus élevé[22].

I.1.1.1. Bruit de quantification :

Dans le cas d'un CAN unipolaire par arrondi, la moyenne de l'erreur de quantification (Fig. 1.2b) qui est comprise entre $(\pm q/2)$, q étant le pas de quantification, est nulle, cependant, la moyenne quadratique ou la valeur efficace de cette erreur est non nulle. L'expression de cette valeur efficace peut être obtenue en appliquant à l'entrée du convertisseur une rampe variant de 0 à la pleine échelle PE (la valeur maximale) [13

$$V_{q(rms)} = \sqrt{\frac{1}{T} \int_{-T/2}^{+T/2} V_q^2 dt} = \sqrt{\frac{1}{T} \int_{-T/2}^{+T/2} V_{LSB}^2 \left(\frac{-t}{T}\right)^2 dt} = \sqrt{\frac{V_{LSB}^2}{T^3} \left[\frac{t^3}{3} \right]_{-T/2}^{+T/2}}$$

$$\rightarrow V_{q(rms)} = \frac{V_{LSB}}{\sqrt{12}} = \frac{V_{LSB}}{2\sqrt{3}} \quad (I.4)$$

A partir de ce résultat, on obtient la puissance de bruit de quantification :

$$P_q = V_{q(rms)}^2 = \frac{V_{LSB}^2}{12} \quad (I.5)$$

Ce résultat est valide pour un signal pleine échelle triangulaire ou sinusoïdales que la résolution est supérieure à 6.[12].

CHAPITRE I : GENERALITES SUR LES CONVERTISSEURS ANALOGIQUE NUMERIQUE

I.1.1.2. Plage dynamique du signal d'entrée :

La plage dynamique du signal d'entrée ou tout simplement dynamique d'entrée d'un convertisseur analogique/numérique est le rapport entre l'amplitude maximale ou pleine échelle et l'amplitude minimale du signal d'entrée admissible par le convertisseur. L'amplitude maximale correspond l'amplitude de la référence du convertisseur (V_{ref}), par contre, l'amplitude minimale est égale à l'amplitude qui peut engendrer une variation de un bit (bit le moins significatif), soit ($V_{ref}/2^N$) pour un convertisseur d'une résolution de N bit. [1][7][16].

Mathématiquement, la plage dynamique est exprimée par :

$$\begin{aligned} DR_{dB} &= 20 \log_{10} \frac{V_{ref}}{V_{LSB}} = 20 \log_{10} \frac{V_{ref}}{V_{ref} / 2^N} \\ &= 20 \log_{10} 2^N \approx 6N \end{aligned} \tag{I.6}$$

En se basant sur cette expression, la plage dynamique d'un CAN de 10 bits est égale à 60dB.

I.1.1.3. Résolution et pas de quantification :

La résolution est défini comme la valeur de la variation du signal analogique d'entrée qui provoque un changement de 1 bit (variation d'une unité de donnée numérique) du signal de sortie du convertisseur. Elle peut être exprimée en pourcentage de la pleine échelle (PE), mais en général, elle est exprimée en nombre de bits N de sortie du CAN, où le convertisseur dispose de 2^N d'états de sorties possible [2][11][9].

Le CAN fait correspondre à une tension d'entrée V_{in} un nombre binaire B codé sur N bits. Mais, comme le signal numérique de sortie est un signal discret avec une résolution finie (2^N), le nombre binaire B peut représenter plusieurs différentes valeurs de l'entrée V_{in} . [23].

CHAPITRE I : GENERALITES SUR LES CONVERTISSEURS ANALOGIQUE NUMERIQUE

Pour un convertisseur avec une résolution de N bits, le signal d'entrée continue (infinité de valeurs possibles) ne peut être codé que sur (2^N-1) valeurs numériques en sortie (11).

La résolution est égale au pas de quantification (ou quantum), q ou Δ , du convertisseur est égale à la valeur du signal analogique d'entrée correspondant au bit le moins significatif (LSB) du CAN. Le pas de quantification q est déterminé par la pleine échelle ou plage dynamique (PE) et nombre de bits de sortie N du convertisseur. Il est donné par l'expression suivante [19]:

$$V_{LSB} \equiv q \equiv \Delta = \frac{PE}{2^N} \quad (I.7)$$

La figure I.3 montre la dépendance de la fonction de transfert en marche d'escalier d'un CAN idéal à échantillonnage uniforme au pas de quantification q [11].

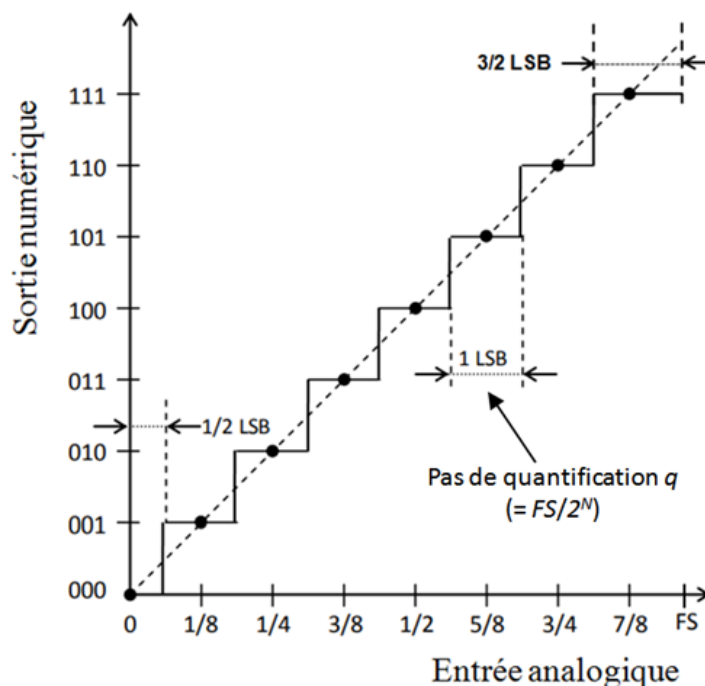


Figure I.3: Visualisation du pas de quantification d'un CAN.

CHAPITRE I : GENERALITES SUR LES CONVERTISSEURS ANALOGIQUE NUMERIQUE

Le Tableau I.1 donne la valeur du pas de quantification q pour un CAN idéal pour différentes valeurs de résolution N .

Tableau I.1: Pas de quantification (quantum), q , d'un CAN en fonction de la résolution N pour une pleine échelle, V_{PE} , de 1 V.

N	Quantu mq
8	3.906 mV
10	1 mV
12	244 μ V
14	61 μ V

I.1.1.4. Temps d'établissement :

Le temps d'établissement ou le 'settling time', est temps de réponse du convertisseur défini comme le temps entre l'application d'un échelon pleine échelle à l'entrée et le moment où la sortie atteint sa valeur finale définie dans une plage d'erreur bien spécifiée, généralement, équivalente à $(1/2) \cdot V_{LSB}$ [20][18].

I.1.1.5. Précision :

La précision (ou accuracy en anglais) est l'erreur totale (comprenant les erreurs de quantification, de décalage, de gain et de linéarité) avec laquelle un CAN peut convertir un signal connu.

I.1.2. Bande passante d'un CAN :

La bande passante d'un CAN est défini comme la plage de fréquences, des signaux analogiques à l'entrée du convertisseur, pour laquelle la puissance spectrale du fondamentale du signal de sortie du CAN diminue de 3 dB. En mode normale, la fréquence

CHAPITRE I : GENERALITES SUR LES CONVERTISSEURS ANALOGIQUE NUMERIQUE

d'échantillonnage d'un CAN doit être au moins égale à deux fois la bande passante pour satisfaire le théorème de Nyquist permettant d'éviter le problème de repliement spectrale. Toutefois, pour certaines applications de télécommunication, fréquence d'échantillonnage peut être inférieure à la bande passante en utilisant la notion sous-échantillonnage [5].

I.2. Paramètres statiques et dynamique :

I.2.1. Erreur de décalage :

Une erreur de décalage (offset) existe s'il y'a une différence entre la valeur de la première transition du premier code du CAN et la valeur correspondant à la moitié du pas de quantification du CAN ($0.5V_{LSB}$). L'erreur de décalage correspond à la déviation de la sortie du CAN lorsqu'on applique une entrée d'une valeur égal a zéro (Fig. I.4). Cette erreur peut être positive ou négative et elle affecte toutes les valeurs de sortie du CAN de la même manière (c'est un décalage en tension introduit par le CAN sur l'ensemble du signal). Une mesure de l'offset peut être faite en retranchant $\frac{1}{2}LSB$ à la première tension de seuil VS1. [4] [8][12][23].

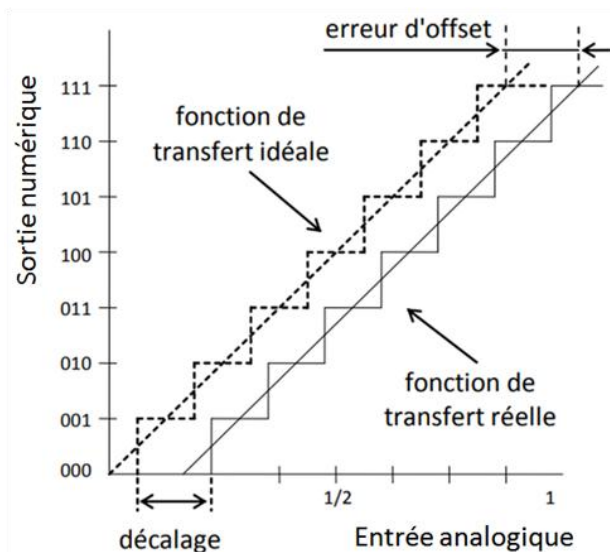


Figure I.4 : Erreur de décalage d'un CAN [11]. [ADC_Th_Siadjine_Rampe.pdf].

CHAPITRE I : GENERALITES SUR LES CONVERTISSEURS ANALOGIQUE NUMERIQUE

I.2.2. Erreur de gain

L'erreur de gain caractérise la différence de tension pleine échelle entre un convertisseur idéal et un convertisseur réel voir (figure I.5) [23]

L'erreur de gain correspond à l'écart entre la pente de la caractéristique de transfert d'un CAN réel et la pente de la caractéristique de transfert d'un CAN idéale (Fig. I.5). Pour mesurer l'erreur de gain il faut tout d'abord corriger l'erreur de décalage (offset) du CAN ou appliquer une entrée avec décalage permettant de compenser l'erreur de l'offset du CAN. L'erreur de gain peut être positive ou négative et elle affecte toutes les valeurs de sortie du CAN de la même manière. Une erreur de gain change la pleine échelle effective du convertisseur et, par conséquent, la largeur du quantum[11][10][12][8].

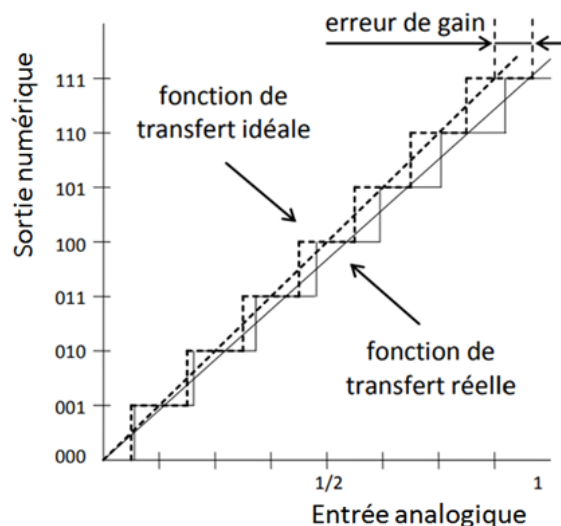


Figure I.5 : Erreurs de gain d'un CAN [11].

I.2.3. Erreurs de linéarité différentielle (DNL) et de non-linéarité intégrale (INL) :

Erreurs de linéarité différentielle (DNL) et de non-linéarité intégrale (INL) rendent compte des largeurs et des positions des paliers de conversion d'un CAN. C'est deux erreurs dépendent l'une de l'autre et elles sont définies pour chaque pallier du convertisseur et elles

CHAPITRE I : GENERALITES SUR LES CONVERTISSEURS ANALOGIQUE NUMERIQUE

sont exprimées en bit le moins signifiant LSB (least significant bit) qui est équivalent au pas de quantification du convertisseur.

L'erreur DNL correspond à la différence entre les largeurs des paliers de conversion pour chaque mot de sortie d'un CAN réel et d'un CAN idéal de même résolution. Le DNL_k pour le $k^{\text{ième}}$ code peut être évalué en utilisant la relation suivante [23]:

$$DNL_k = \frac{V_{k+1} - V_k}{V_{LSB}} - 1 \quad (I.8)$$

Où : (V_k et V_{k+1}) sont les niveaux de transitions du code (k) et du code ($k+1$).

(V_{LSB}) est le pas de quantification idéal.

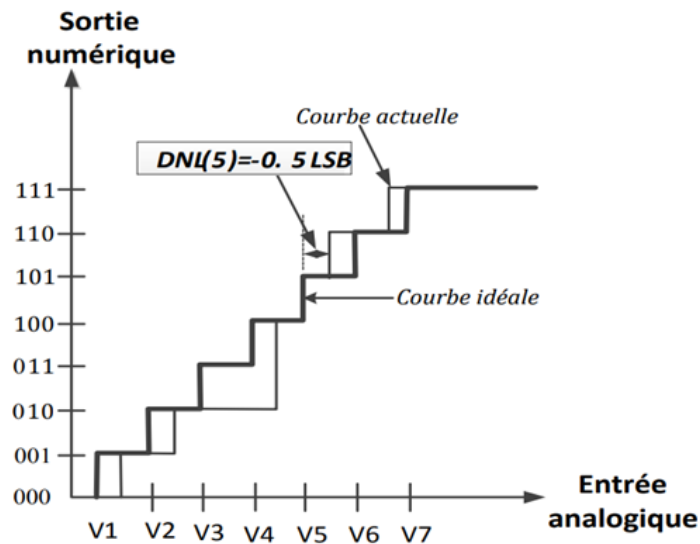


Figure I.6: Erreur de non-linéarité différentielle (DNL) d'un CAN. [ADC_Th_Siadjine_Rampe].

Pour garantir que le CAN ne présente pas de codes manquants, il faut que le DNL reste inférieure à 1 LSB pour tous les paliers de conversion ($|DNL| < 1 \text{ LSB}$). [23]. [5].

CHAPITRE I : GENERALITES SUR LES CONVERTISSEURS ANALOGIQUE NUMERIQUE

I.2.4. Erreur de non-linéarité intégrale (INL)

L'erreur de non-linéarité intégrale est définie comme la différence entre la caractéristique réelle et la caractéristique idéale du convertisseur à tous les niveaux de transition après avoir annulé les erreurs de décalage et de gain)[18].

Pour un code k, l'INL représente la différence entre les positions des niveaux de transition du CAN réel et du CAN idéal.[6] Elle est donnée par l'expression suivante :

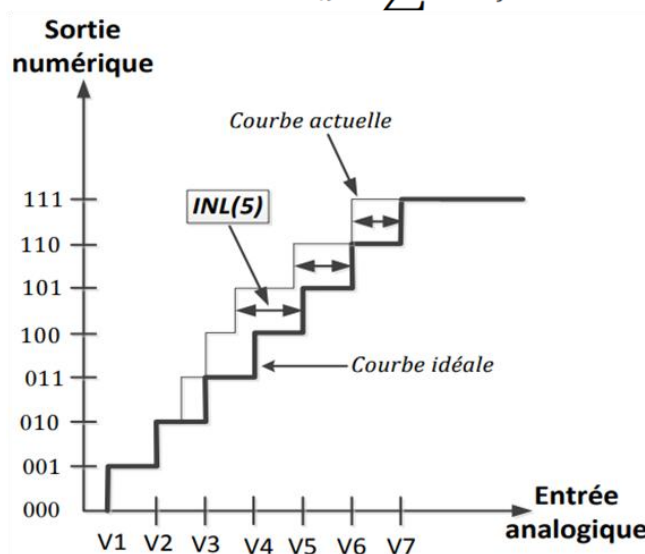
$$INL_k = \frac{V_k - V_{k,idéale}}{V_{LSB}} \quad (I.9)$$

Ou : (V_k et V_{k+1}) sont les niveaux de transitions du code (k) et du code ($k+1$).

(V_{LSB}) est le pas de quantification idéal.

Comme l'INL et le DNL sont interdépendants (l'INL est cumul de toutes les DNL précédents), l'INL pour un code k, peut s'exprimer en fonction du DNL comme suit [6]:

$$INL_k = \sum DNL_j$$



La Figure I.7 illustre la non-linéarité intégrale d'un CAN à 3 bits.

CHAPITRE I : GENERALITES SUR LES CONVERTISSEURS ANALOGIQUE NUMERIQUE

I.2.5. Monotonie

La caractéristique de transfert du convertisseur doit assurer la croissance ou décroissance de la sortie en fonction de l'entrée. Une erreur de monotonie arrive quand cette caractéristique n'est pas assurée. Cette erreur provoque une erreur de codes manquants [10].

I.2.6. Codes manquants

Les erreurs de linéarité et de monotonie peuvent causer des sauts de codes en sortie. Les codes n'apparaissant pas sont alors appelés codes manquants voir (figure I.6)[10].

I.2.7. Rapport signal sur bruit d'un CAN idéal :

Le rapport signal sur bruit ou signal to noise ratio (SNR) d'un CAN est défini comme le rapport de la puissance de l'harmonique fondamental du signal numérisé sur la puissance totale du bruit (puissance de toutes les fréquences restantes et harmoniques d'ordre supérieur) à la sortie du CAN. Pour un CAN idéal, le bruit total se limite seulement au bruit de quantification. Le SNR est, généralement, obtenu pour une entrée sinusoïdale pure pleine échelle (crête-à-crête) PE [25][7][18] :

$$SNR = \frac{\text{Puissance du signal}}{\text{Puissance totale du bruit}} \quad (\text{I.10})$$

$$SNR_{dB} = 10 \log_{10} \left(\frac{\text{Puissance du signal}}{\text{Puissance totale du bruit}} \right) \quad (\text{I.11})$$

Pour un signal sinusoïdal à pleine échelle (d'amplitude $PE/2$), la puissance d'entrée s'exprime par l'équation suivante :

$$P_s = \left(\frac{(V_{PE} / 2)}{\sqrt{2}} \right)^2 = \frac{V_{PE}^2}{8} \quad (\text{I.12})$$

**CHAPITRE I : GENERALITES SUR LES CONVERTISSEURS ANALOGIQUE
NUMERIQUE**

Et la puissance de bruit de quantification du CAN :

$$P_q = V_{q(rms)}^2 = \frac{V_{LSB}^2}{12} \quad (I.14)$$

On dérive le SNR d'un CAN réel :

$$SNR = \frac{3 V_{PE}^2}{2 V_{LSB}^2} \quad (I.14)$$

En remplaçons V_{LSB} par son expression, le SNR d'un CAN réel devient :

$$SNR = \frac{3}{2} \frac{V_{PE}^2}{(V_{PE}/2^N)^2} = \frac{3}{2} \cdot 2^{2N} \quad (I.7)$$

Et en décibel :

$$SNR_{dB} = 10 \log_{10} \left(\frac{3}{2} \right) + 10 \log_{10} (2^{2N}) \quad (I.15)$$

Ce qui donne l'expression final du SNR :

$$SNR_{dB} = 6.02N + 1.76 \quad (I.16)$$

D'après l'expression (I.9), le SNR d'un CAN augmente de 6 dB pour chaque bit supplémentaire. En utilisant le résultat obtenu pour l'expression du SNR, on peut déterminer le SNR d'un CAN idéal pour différentes résolutions comme c'est illustré dans le tableau I.2.

La mesure du SNR d'un CAN réel s'obtient à partir de la transformée de Fourier rapide (FFT) du signal numérique de sortie du convertisseur [10].

**CHAPITRE I : GENERALITES SUR LES CONVERTISSEURS ANALOGIQUE
NUMERIQUE**

Tableau I.2 : Rapport du signal sur bruit d'un CAN idéal pour différentes résolutions.

Résolution (N)	Rapport du signal sur bruit (SNR)
6 bits	37.9 dB
8 bits	49.9dB
10 bits	62.0 dB
12 bits	74.0 dB
14 bits	89.0 dB

Le résultat du SNR obtenu, représente le SNR maximal atteignable pour un convertisseur et qu'il n'est valable que pour un signal sinusoïdal pleine échelle) [12] [12].

De plus cette expression du SNR correspond à une fréquence d'échantillonnage (f_{ech}) égale au double de la fréquence maximale (f_{max}) du signal d'entrée. Si la fréquence d'échantillonnage du CAN est supérieure à la fréquence maximale du signal d'entrée, l'expression du SNR est modifiée. En fait, le SNR s'améliore lorsque la fréquence d'échantillonnage est supérieure à la fréquence maximale du signal d'entrée. Toutefois, la puissance du bruit de quantification reste inchangé, mais, il sera réparti sur la plage de fréquences qui s'étend de 0 à $f_{ech} / 2$ (plage est supérieure à f_{max}). La densité spectrale du bruit de quantification (dans le domaine fréquentiel) peut être déduite comme suit :

$$P_q = \frac{V_{LSB}^2}{12} = \int_{-\frac{f_s}{2}}^{+\frac{f_s}{2}} [f_q(f)]^2 df \quad (I.17)$$

Le bruit de quantification total P_q étant constant et indépendant de la fréquence d'échantillonnage, et qu'il considéré comme un bruit blanc uniformément distribué entre

**CHAPITRE I : GENERALITES SUR LES CONVERTISSEURS ANALOGIQUE
NUMERIQUE**

$\pm f_s/2$, sa densité de distribution spectrale correspondant $f_q(f)$ est indépendante de la fréquence. Il faut noter aussi la totalité de puissance du bruit de quantification est limitée dans la plage de fréquence $\pm f_s/2$. Il suit donc, que l'expression (eq. I.11) se réduit à [13] :

$$\int_{-\frac{f_s}{2}}^{+\frac{f_s}{2}} \left[f_q(f) \right]^2 df = \int_{-\frac{f_s}{2}}^{+\frac{f_s}{2}} K_q^2 df = K_q^2 \int_{-\frac{f_s}{2}}^{+\frac{f_s}{2}} df = \frac{V_{LSB}^2}{12} \quad (I.18)$$

D'où :

$$f_q^2(f) \cdot f_s = K_q^2 \cdot f_s = \frac{V_{LSB}^2}{12} \quad (I.19)$$

Ainsi, on obtient l'expression de la densité de distribution spectrale du bruit $f_q(f)$:

$$f_q(f) = K_q = \frac{V_{LSB}}{\sqrt{12}} \cdot \frac{1}{\sqrt{f_s}} \quad (I.20)$$

[Barran-Th05/02][17].

Pour obtenir l'expression de SNR, il faut déterminer la puissance du bruit de quantification P_q du CAN dans la plage de fréquences d'intérêt $\pm f_{max}$. En se servant de la densité spectrale du bruit $f_q(f)$ et on utilisant un filtre, $H(f) = 1$, pour se limiter aux fréquences utiles (figure I.8) du signal d'entrée ($\pm f_{max}$) on peut évaluer l'expression P_q :

$$P_q = \int_{-\frac{f_s}{2}}^{+\frac{f_s}{2}} f_q^2(f) |H(f)|^2 df = \int_{-f_{max}}^{+f_{max}} K_q^2 df = \frac{V_{LSB}^2}{12} \cdot \frac{2 \cdot f_{max}}{f_s} \quad (I.21)$$

**CHAPITRE I : GENERALITES SUR LES CONVERTISSEURS ANALOGIQUE
NUMERIQUE**

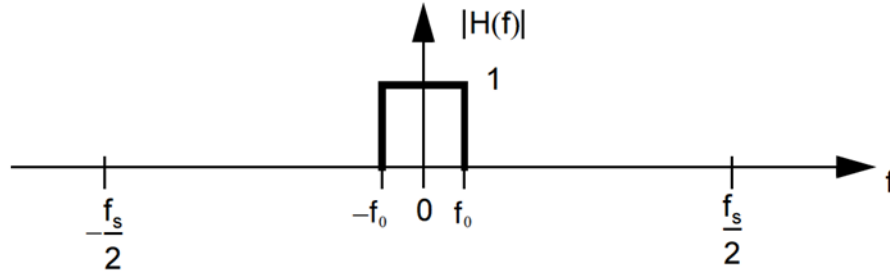


Figure I.8 : Réponse du filtre utilisé dans pour limité le continu spectral du signal échantillonné d'un CAN dans le cas la fréquence d'échantillonnage est supérieur à la fréquence de Nyquist

Connaissons la puissance du signal sinusoïdal d'entrée à pleine échelle, $V_{PE}^2 / 8$ le SNR d'un CAN opéré avec une fréquence d'échantillonnage supérieure à la fréquence maximale du signal d'entrée s'exprime par :

$$SNR_{dB} = 10 \cdot \log_{10} \frac{P_q}{P_{Sig}} = \frac{V_{PE}^2 / 8}{\left(\frac{V_{LSB}^2}{12} \cdot \frac{2 \cdot f_{max}}{f_s} \right)} = 10 \cdot \log_{10} \frac{V_{PE}^2 / 8}{\left(\frac{(V_{PE}^2 / 2^N)}{12} \cdot \frac{2 \cdot f_{max}}{f_s} \right)} \quad (I.22)$$

Après simplification on arrive à :

$$\begin{aligned} SNR_{dB} &= 10 \cdot \log_{10} \frac{3}{2} 2^N \cdot \frac{f_s}{2 f_{max}} \\ &= 6.02 N + 1.76 + 10 \cdot \log_{10} \left(\frac{f_s}{2 f_{max}} \right) \end{aligned} \quad (I.23)$$

A partir de l'expression du P_q , on déduit qu'on peut réduire la puissance du bruit de quantification dans la bande d'intérêt en utilisant une fréquence d'échantillonnage supérieure à la fréquence maximale du signal d'entrée. En fait, une classe de CAN, les

CHAPITRE I : GENERALITES SUR LES CONVERTISSEURS ANALOGIQUE NUMERIQUE

convertisseurs à sur-échantillonnage (over-sampling), utilise des fréquences d'échantillonnage très élevées par rapport à la fréquence de Nyquist pour atteindre de grandes résolutions.

I.2.8. Distorsion harmonique total (THD)

Le taux de distorsion harmonique (THD) est défini comme le rapport de la puissance des raies harmoniques générées par les non-linéarités du convertisseur sur la puissance de la raie fondamentale. Plus ce rapport est faible, plus la linéarité du convertisseur est meilleure. La THD est égale à la racine carrée de la somme quadratique des amplitudes des raies harmoniques divisée par l'amplitude de la fondamentale [13][18].

L'expression du THD est donnée par :

$$THD = 20 \cdot \log \left(\frac{\sqrt{A_2^2 + A_3^2 + A_4^2 + \dots}}{v_{in}} \right) \quad (I.14)$$

Où v_{in} est l'amplitude de la composante fondamentale du signal reconstitué en sortie pour un signal d'entrée sinusoïdal et A_2, A_3, A_4, \dots représentent les amplitudes du même signal reconstitué mais aux harmoniques d'ordres supérieures [18].

I.2.9. Rapport signal sur bruit avec distorsion (SINAD)

Les deux formules du SNR, théorique et testée, sont complètes, mais elles donnent seulement une partie de ce que l'on a besoin de connaître sur le nombre de bits corrects du CAN. Le taux de distorsion harmonique total (Total harmonic distortion–THD) décrit l'influence des composantes harmoniques d'un signal. Le THD est le rapport de la puissance du signal d'entrée sur la somme des puissances des composantes harmoniques du spectre du signal de sortie du CAN.

**CHAPITRE I : GENERALITES SUR LES CONVERTISSEURS ANALOGIQUE
NUMERIQUE**

$$THL_{rms} = 10 \log \left(\frac{P_s}{P_0} \right) db \quad (I.25)$$

$$THD = 10 \log \left(\frac{P_s P}{P_0} \right)_{dB}$$

PS est la puissance du premier harmonique (fondamental) et PO est la puissance des Harmoniques 2 à 8. L'erreur de linéarité INL d'un CAN apparait typiquement dans le résultat de THD .

Le SINAD (Signal-to-Noise And Distorsion) est le rapport de l'amplitude de la valeur Rms du signal d'entrée (fondamental) sur la somme rms de toutes les autres composantes Spectrales inférieures à la moitié de la fréquence d'échantillonnage hors la composante Continue. Le SINAD est donné par la formule suivante :

$$SINAD = 10 \log \left(\frac{P_s}{P_N + P_D} \right) db \quad (I.26)$$

PS est la puissance du fondamental, PN est la puissance de toutes les composantes Spectrales du bruit et PD et la puissance de toutes les composantes spectrales de distorsion. Les trois paramètres SNR, THD et SINAD donnent une information complète sur le nombre de bits corrects d'un CAN.[10].

I.2.10. Plage dynamique sans fréquence parasites (SFDR) :

La plage dynamique sans fréquence parasite ou (Spurious Free Dynamic Range)(SFDR) est la différence entre la puissance d'un signal sinusoïdale numérisée en pleine échelle et la puissance calculée à la fréquence de la raie parasite la plus élevée,

CHAPITRE I : GENERALITES SUR LES CONVERTISSEURS ANALOGIQUE NUMERIQUE

observé dans la plage de fréquences, a la sortie du CAN (Fig. I.9). La raie parasite maximale peut correspondre à un signal parasite ou à un harmonique du signal d'entrée.

Le SFDR est exprimé en dB et il est donné par :

$$SFDR_{dB} = -20 \cdot \log_{10} \left(\frac{\max(A_i)}{A} \right) \quad (I.27)$$

Où A est l'amplitude du signal au fondamental et A_i est l'amplitude de la $i^{\text{ème}}$ raie parasite.

Le SFDR est un paramètre important pour les applications exigeant une grande plage dynamique comme dans le cas des applications de communications sans fil [18][10][21].

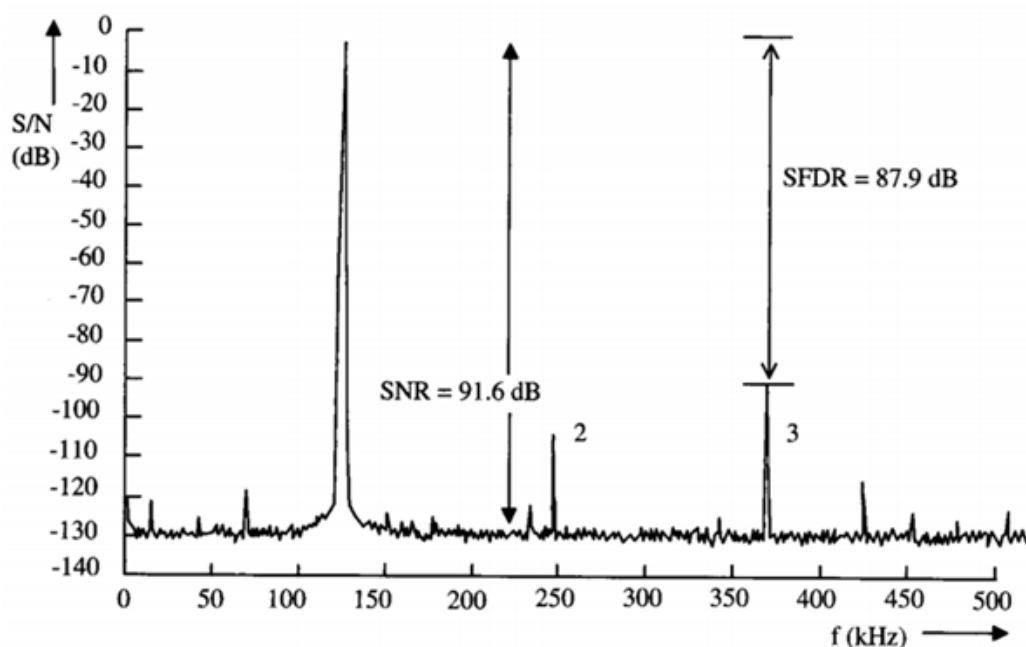


Figure I.9: Mesure du SNR et du SFDR d'un convertisseur analogique numérique.[21][6].

I.2.11. Nombre effectif de bits (ENOB) :

Le Nombre effectif de bits ENOB (ou effective number of bits) est une mesure des performances réelles d'un convertisseur CAN en tenant compte des différentes erreurs et

**CHAPITRE I : GENERALITES SUR LES CONVERTISSEURS ANALOGIQUE
NUMERIQUE**

des non-linéarités introduites durant la conversion. Il représente le nombre effectif de bits significatifs du CAN par rapport au nombre de bits théoriques d'un CAN. Il donne la résolution réelle d'un CAN sous la formule suivante :

$$ENOB = \left(\frac{SINAD - 1.76}{6.02} \right) \quad (I.28)$$

D'après cette expression, le nombre effectif de bits reflète l'écart entre le niveau de bruit mesure d'un CAN de N bits et le niveau de bruit théorique d'un CAN idéal de même nombre de bits N .

CHAPITRE I : GENERALITES SUR LES CONVERTISSEURS ANALOGIQUE NUMERIQUE

I.3. Conclusion :

Dans ce chapitre nous avons présenté le principe de base de la conversion analogique-numérique et les définitions des paramètres d'évaluation des performances d'un convertisseur analogique numérique (CAN).

La conversion analogique-numérique sert à faire convertir un signal analogique continu (dans le temps et en amplitude) en un signal numérique formé d'échantillons pris à des instants distincts et où l'amplitude de chaque échantillon est quantifiée. De telle conversion s'effectue par deux opérations distinctes : l'échantillonnage ou la discrétisation dans le temps du signal d'entrée et la quantification de l'amplitude du signal échantillonné. Les opérations d'échantillonnage et de quantification induisent des erreurs qui limitent les performances de tout convertisseur analogique-numérique (CAN). Les sources de ces erreurs sont diverses. Premièrement, il y a l'erreur de quantification qui est inhérente à tout convertisseur (réel ou idéal) induite par l'opération de quantification. Deuxièmement, il y a les erreurs causées par les imperfections des circuits analogiques et numériques qui implémentent les différents blocs du convertisseur. Pour tenir compte des effets des erreurs, différents paramètres permettant l'évaluation des performances sont utilisés pour concevoir les CANs. Parmi ces paramètres, on note : la résolution, les non-linéarités différentielle (DNL) et intégrale (INL), le rapport signal sur bruit (SNR), et (THD).

CHAPITRE II :

LES ARCHITECTURES DE

CONVERTISSEURS

ANALOGIQUE NUMERIQUE

CHAPITRE II : LES ARCHITECTURES DE CONVERTISSEURS ANALOGIQUE NUMIRIQUE

II.1. Introduction

Le rôle des convertisseurs analogique-numérique (CANs) est de faire l'interface entre le domaine des signaux analogiques continus et le domaine numérique ou binaire. Il existe différents types de convertisseurs CANs dédiés pour différents d'applications nécessitant des spécifications des paramètres de performances bien spécifiques : bande passante, fréquence d'échantillonnage, rapport-signal sur bruit (SNR), temps de latence, puissance de consommation, résolution, non-linéarité etc. Dans ce contexte, ce chapitre est consacré à la description des différents types d'architectures des CANs les plus utilisés.

II.2. Architecture des CANs à intégration :

Les CANs à intégration sont largement utilisés dans les applications de basses fréquences telles que dans les domaines des appareils de mesure électrique et de la spectroscopie. Il existe deux types d'architectures à intégration : l'architecture à simple intégration (ou à intégration à une rampe simple) et l'architecture à double intégrations (ou à intégration à double rampe).

II.2.1. Architecture CAN à intégration à une rampe simple:

L'architecture d'un convertisseur analogique numérique (CAN) à simple rampe ou à intégration à simple rampe est principalement constituée d'un générateur de rampe analogique, d'un comparateur et d'un compteur numérique d'impulsions. Son fonctionnement à faire comparer le signal analogique d'entrée V_{in} à une rampe analogique linéaire fonction du temps qui est obtenu par un circuit intégrateur. La résolution et le temps d'établissement (de réponse) du convertisseur sont déterminés par le nombre de bits (N) du compteur. Comme le CAN est basé sur le comptage d'impulsions, son temps d'établissement est très long, par conséquent, il nécessite l'utilisation d'un échantillonneur bloqueur à son entrée. Le schéma de la figure II.1 donne l'architecture typique d'un CAN à simple rampe. Son principe de fonctionnement est expliqué dans le paragraphe suivant.

**CHAPITRE II : LES ARCHITECTURES DE CONVERTISSEURS
ANALOGIQUE NUMIRIQUE**

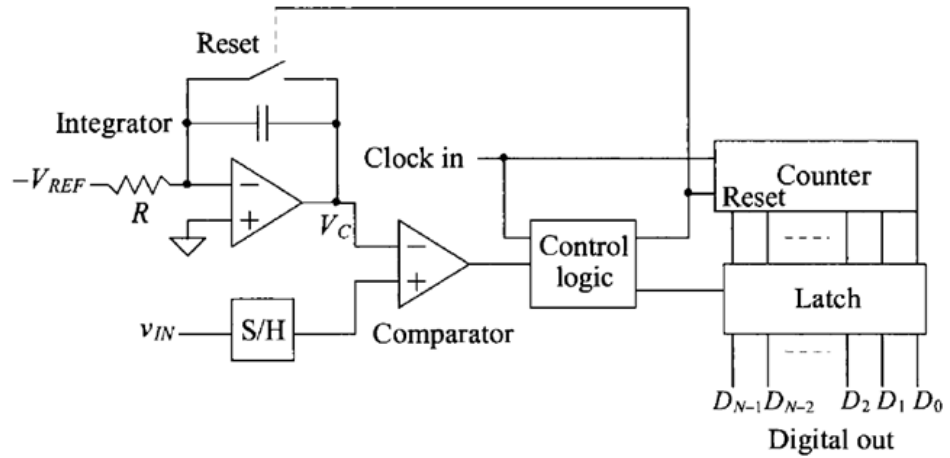


Figure II.1: Architecture typique d'un CAN à intégration d'une seule rampe [4].

La valeur échantillonnée du signal d'entrée est comparée à la rampe analogique balayant toute la plage dynamique du signal d'entrée. Le compteur numérique est activé à l'instant même de démarrage la rampe. La sortie binaire du CAN (sortie du compteur) correspondant à la conversion de la valeur échantillonnée est valide lorsque la rampe générée est supérieure à la valeur échantillonnée du signal d'entrée. Le nombre d'impulsions obtenu est proportionnel à la durée de la charge de la capacité de l'intégrateur, par conséquent, il est donc, proportionnel, à la valeur de la tension à convertir [18].

En se référant au schéma conceptuel de la figure II.2, donnant l'évolution des signaux du CAN, on peut démontrer que le temps de conversion T_C qui est proportionnel à la valeur échantillonnée du signal d'entrée V_{in} :

$$T_C = \frac{V_{in}}{V_{ref}} 2^N \cdot T_{CLK} \quad (II.1)$$

Où est T_{CLK} la période de l'horloge principale (fréquence f_{CLK} de séquence) du CAN.

**CHAPITRE II : LES ARCHITECTURES DE CONVERTISSEURS
ANALOGIQUE NUMIRIQUE**

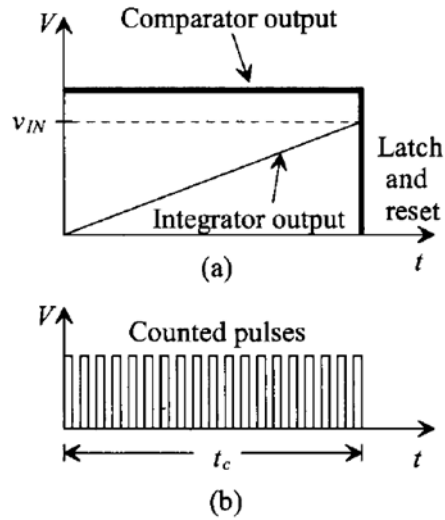


Figure II.2 : Chronogramme donnant l'évolution des signaux du CAN.

La relation entre le signal V_C de la rampe (la sortie de l'intégrateur) et le signal d'entrée V_{in} est déterminée en effectuant l'intégration de la tension de référence du CAN pendant le temps de conversion nécessaire T_C . A la fin de la conversion et en supposant qu'il n'y a pas de conditions initiales, la tension V_C est donnée par la relation suivante :

$$V_C = -\frac{1}{C} \int_0^{T_C} \frac{(-V_{ref})}{RC} dt = \frac{V_{ref} \cdot T_C}{RC} \quad (II.2)$$

En insérant l'expression de T_C dans la relation du signal V_C (eq. II.1) et en obtient :

$$V_C = \frac{2^N \cdot T_{CLK} \cdot V_{in}}{RC} = \frac{2^N \cdot V_{in}}{f_{CLK} \cdot RC} \quad (II.3)$$

Cette relation montre que la tension V_C ne dépend pas seulement du signal d'entrée V_{in} mais, elle dépend aussi des valeurs R et C de l'intégrateur et de la fréquence principale f_{CLK} du CAN. Il suit donc, que toute déviation dans les valeurs de R , C ou f_{CLK} affecte la précision de la sortie de l'intégrateur V_C et, par conséquent, le résultat de conversion du CAN.

CHAPITRE II : LES ARCHITECTURES DE CONVERTISSEURS ANALOGIQUE NUMIRIQUE

II.2.2. Architecture CAN à intégration à double rampes :

Les CANs à intégration à double rampes sont basés sur une architecture plus élaborée que l'architecture à intégration à simple rampe. Cette architecture a été développée dans le but d'éliminer les problèmes rencontrés dans l'architecture des CANs. Son principe de fonctionnement est sur la génération de deux rampes en effectuant deux intégrations, l'une avec le signal d'entrée V_{in} et l'autre avec le signal V_{ref} .

Comme c'est illustré par le schéma de la figure II.3, de telle architecture est principalement composé d'un intégrateur, un comparateur, un compteur numérique et une logique de control.

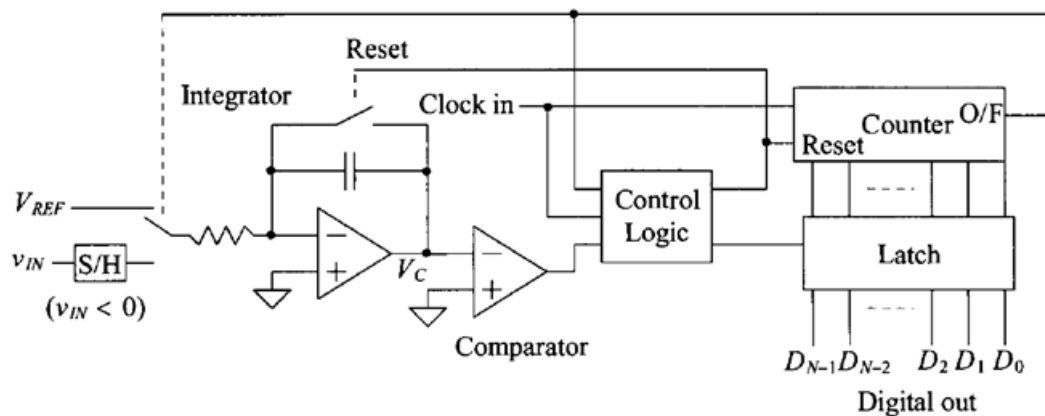


Figure II.3 : CAN Double rampe.

Comme le montre le diagramme de la figure II.4, la conversion s'effectue en deux périodes, T_1 et T_2 .

**CHAPITRE II : LES ARCHITECTURES DE CONVERTISSEURS
ANALOGIQUE NUMIRIQUE**

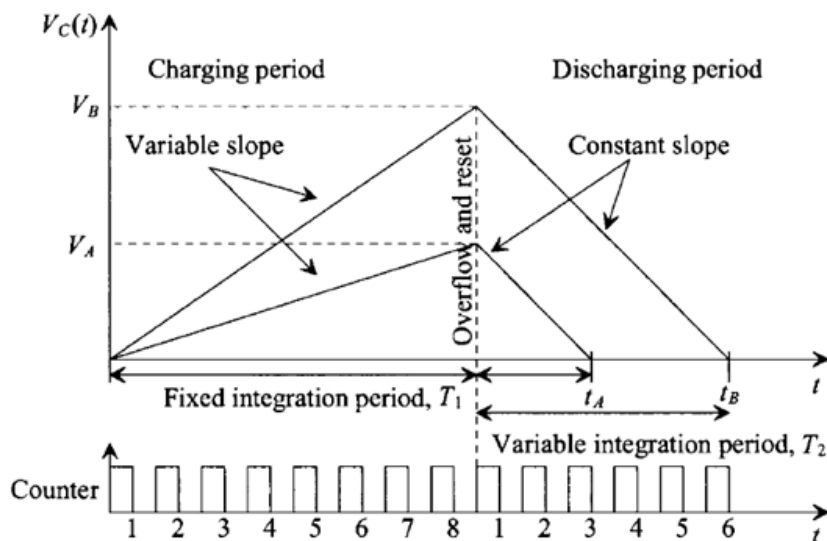


Figure II.4: CAN à double intégration

Dans la première période $T1$, l'entrée de l'intégration est connectée au signal l'entrée à convertir V_{in} (dans ce cas négative) ce qui résulte à une rampe de pente positive à la sortie de l'intégrateur. La durée de la période $T1$ est fixe indépendamment de la valeur du signal d'entrée V_{in} mais, sa pente est variable et elle est déterminée par la valeur de V_{in} . $T1$ est déterminée par le nombre de bits N du compteur et de la période T_{CLK} de l'horloge principale du convertisseur. Son expression est donnée par la relation suivante :

$$T1 = 2^N \cdot T_{CLK} \quad (II.4)$$

Le début de la période est assuré par un signal de démarrage "Start" qui est aussi utilisé pour faire démarrer le compteur après avoir mis à zéro. La fin de $T1$ est assurée par signal qui est générée par une logique de contrôle une fois le compteur déborde (c'est-à-dire dépasse le comptage de 2^N cycles de T_{CLK}).

Une fois la période $T1$ de l'intégration de l'entrée V_{in} est terminée, le compteur est remis à zéro et la période $T2$ est enclenchée. Au même moment, l'entrée de l'intégrateur est déconnectée de l'entrée V_{in} et connectée au signal de référence V_{ref} . Au même moment aussi, le compteur démarre le comptage à partir de zéro. Comme l'entrée est positive, le signal V_{ref} de doit être négative. L'intégrateur génère maintenant une rampe montante en

CHAPITRE II : LES ARCHITECTURES DE CONVERTISSEURS ANALOGIQUE NUMIRIQUE

déchargeant la capacité C . La pente de cette rampe est maintenant constante elle est déterminée par la valeur du signal V_{ref} . Lorsque la capacité C est complètement déchargée et sa tension atteint 0 V, le comparateur change d'état permettant à une logique de control de générer un signal qui sert à arrêter le compteur. La période à cet instant, la période $T2$ de l'intégration de V_{ref} s'arrête, et sortie du compteur représentant mot binaire correspondant au signal d'entrée V_{in} est transférée à un registre mémoire.

II.2.2.1. Avantages de l'architecture à double intégration :

Comme il a été mentionné au début de cette section, l'architecture à double intégration est développée dans but de faire éliminer les problèmes inhérents de la l'architecture à simple rampe. En fait, la capacité de l'architecture à double intégration d'éliminer certains problèmes de l'architecture à simple rampe résulte du fait que dans cette architecture, les deux intégrations sont effectuées par le même signal d'horloge et le même intégrateur. Ceci rend le l'architecture insensible aux variations du signal d'horloge et aux variations des composants de l'intégrateur, R et C .

Pour pouvoir démontrer les attraits de l'architecture à double intégration il faut écrire les équations régissant d'un CAN basé sur cette architecture. Ainsi, à la fin de la période $T1$ (intégration de la tension d'entrée V_{in}), la valeur de la tension de sortie de l'intégrateur est donnée par :

$$V_c = -\frac{1}{C} \int_0^{T_1} \frac{(-V_{in})}{R} dt = \frac{|V_{in}| \cdot T_1}{RC} \quad (II.5)$$

A la fin de la période $T2$ (décharge de la capacité et intégration de V_{ref}), la tension de sortie de l'intégrateur est donnée par :

$$V_c = -\frac{1}{C} \int_0^{T_2} \frac{V_{ref}}{R} dt + \frac{|V_{in}| \cdot T_1}{RC} \quad (II.6)$$

**CHAPITRE II : LES ARCHITECTURES DE CONVERTISSEURS
ANALOGIQUE NUMIRIQUE**

Lorsque la capacité de l'intégrateur est complètement déchargée, sa tension atteint 0 V, l'équation précédente devient :

$$V_c = \frac{|V_{in}| \cdot T_1}{RC} = \frac{V_{ref} \cdot T_2}{RC} = 0 \quad (\text{II.7})$$

Où

$$|V_{in}| \cdot T_1 = V_{ref} \cdot T_2 \quad (\text{II.8})$$

De cette relation, il devient claire que la dépendance à la du signal d'horloge, T_{CLK} , et aux variations des composants de l'intégrateur, R et C, est éliminée.

Sachant que le compteur incrémente 2^N cycles d'horloge pendant la période $T1$, et qu'il compte D fois cycles d'horloge pendant la période $T2$, la relation entre la relation de (eq.II.9) devient :

$$\frac{D}{2^N} = \frac{|V_{in}|}{V_{ref}} \quad (\text{II.9})$$

En dépit, de son temps d'établissement très long, les CANs à intégration présente certaines propriétés intéressantes : faible erreur de non-linéarité différentielle (DNL), mono-tonicité garantie, grande précision, et consommation de puissance réduite.

II.3. Convertisseur CAN parallèle ou flash :

L'architecture parallèle ou flash d'un convertisseur analogique-numérique (CAN) est l'architecture de convertisseurs la plus rapide qui peut exister [5] [6][8][18][23]. Ce type de convertisseur repose sur l'utilisation d'un très grand nombre de comparateurs qui comparent simultanément la tension d'entrée à de différentes tensions de références pour générer le code numérique correspondant. En fait, un CAN de résolution de N bits nécessite (2^N-1) comparateurs et d'un même nombre de signaux de référence (V_{ref_i}) , où chaque signal est assigné à un comparateur.

**CHAPITRE II : LES ARCHITECTURES DE CONVERTISSEURS
ANALOGIQUE NUMIRIQUE**

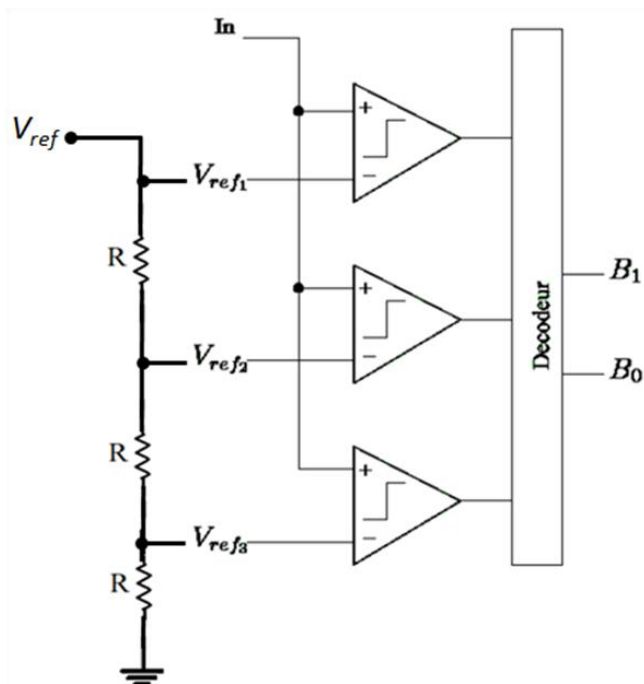


Figure II.5 : Schéma typique d'un CAN Flash de deux bits.

Les signaux de références sont généralement générés à partir d'une référence principale en utilisant un réseau de résistances en séries (diviseur de tension). Ces signaux de références sont équidistants d'un bit le moins significatif (1 LSB) où au pas de quantification ($V_{ref}/2^N$). Chaque comparateur compare le signal d'entrée à la référence qui lui est assignée et génère un signal binaire (0 ou 1). L'ensemble des sorties des comparateurs représentent le mot binaire de sortie CAN mais en code thermomètre (par analogie au mercure dans un thermomètre). Les comparateurs dont la sortie est à 1 sont tous en bas et les zéros sont tous en haut, la limite entre les « zéros » et les « uns » (ou le nombre de comparateurs à 1) détermine la valeur du signal. Un encodeur de priorité est nécessaire pour convertir le code thermomètre en code binaire correspondant au signal analogique d'entrée.

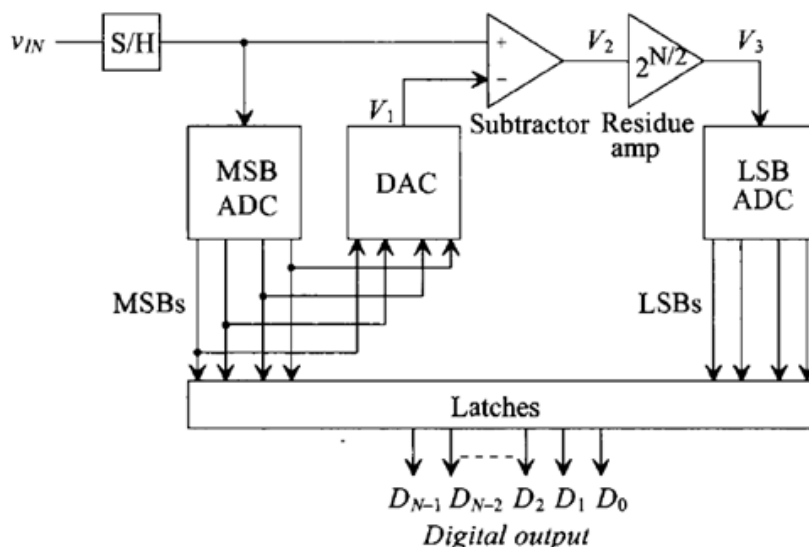
L'avantage principal de l'architecture Flash sa vitesse très élevée, donc, sa capacité à travailler à des fréquences très élevées de l'ordre de quelques GHz. Pendant, elles présentent des grandes limitations : (a) son implémentation requiert une large espace du fait

**CHAPITRE II : LES ARCHITECTURES DE CONVERTISSEURS
ANALOGIQUE NUMIRIQUE**

que sa taille double pour chaque bit supplémentaire. (b) une grande consommation, (c) erreurs des signaux de références et de décalage des comparateurs.

II.4. Architecture Semi-Flash ou Flash à deux étapes :

La principale idée de cette architecture est de surmonter les inconvénients de l'architecture Flash en utilisant des techniques pour réduire le nombre des comparateurs requis pour implémenter un CAN Flash. En se référant à la figure II.6, la conversion est effectuée en deux étapes par deux CAN flash de résolution $2^{N/2}$ chacun.



FigureII.6 : Architecture générale d'un convertisseur analogique-numérique Demi-Flash[4].

Le nombre total de comparateurs est $2 \times (2^{N/2}-1)$ au lieu de 2^N-1 comparateurs par rapport à un Flash traditionnel. Durant la 1^{ère} étape, les bits de poids fort (Most significant bits -MSB-) sont déterminés par le 1^{er} CAN flash. Ensuite, un convertisseur numérique-analogique(CNA) reconvertit ces bits en signal analogique qu'on le soustrait du signal d'entrée. Le résultat de soustraction qui est appelé résidu est amplifié est passé au 2^{ème} CAN flash qui déterminera les bits de poids faible. [4]

CHAPITRE II : LES ARCHITECTURES DE CONVERTISSEURS ANALOGIQUE NUMIRIQUE

II.5. Architecture à approximations successives :

Le principe de l'architecture approximations successives (SAR) consiste à réaliser la conversion en plusieurs étapes. Comme le montre le schéma block de la figure II.7, à chaque étape, une comparaison est effectuée et le résultat est stocké dans un registre (RAS), jusqu'à l'obtention du résultat final [8].

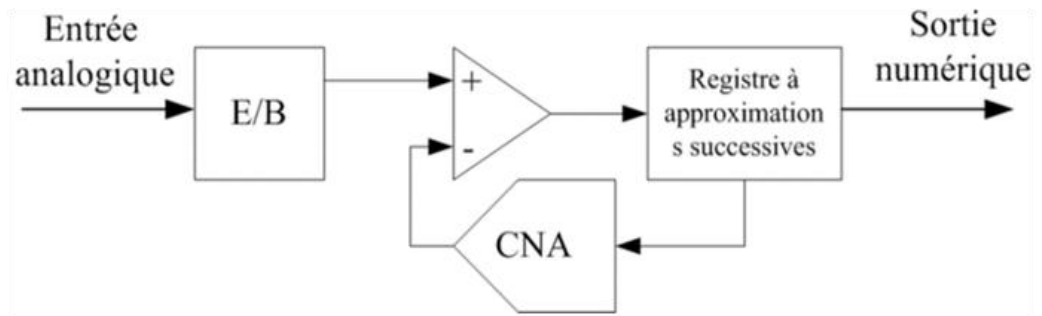


Figure II.7 : Schéma block d'un CAN à approximation successive (SAR).

Le signal d'entrée est comparé à la tension correspondant d'un convertisseur numérique-analogique (CNA) qui fait convertir le signal numérique de sortie qui est stocké dans le registre RAS. Au début de la conversion, le bit le plus significatif (MSB) du registre RAS est mis à 1 et les autres bits sont à 0. Ceci implique que la tension en sortie du DAC est égale à la moitié de la pleine échelle (chronogramme de la figure II.8) [8]. Si la tension d'entrée est inférieure à cette valeur, le MSB est mis à 0. A son tour, le bit suivant sera mis à 1 et une nouvelle comparaison avec le signal d'entrée sera faite, jusqu'au dernier bit du registre [5].

CHAPITRE II : LES ARCHITECTURES DE CONVERTISSEURS ANALOGIQUE NUMIRIQUE

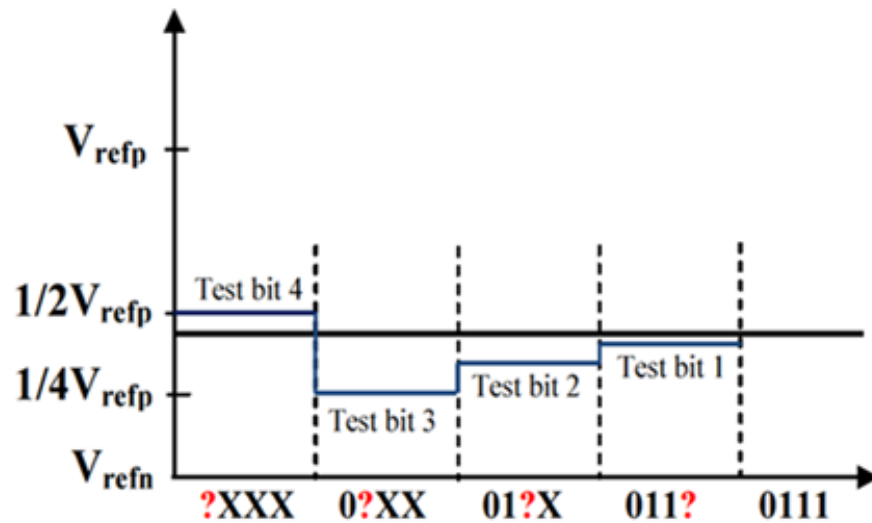


Figure II.8 : Chronogramme d'un CAN à approximation successive (SAR).

Le temps de réponse de tel convertisseur est déterminé par sa résolution ou le nombre de bits de sortie N . Une conversion complète requiert une durée minimale de N cycles d'horloge.

Le plus grand avantage de cette architecture est sa simplicité en dépit son temps de conversion très long qui limite ses performances à quelques MS/s environ.

En dépit de son temps de conversion très long qui limite ses applications (à quelques MS/s environ.), l'architecture à approximation successive présente l'avantage d'être très simple à réaliser sur des faibles surfaces. De plus, elle permet d'atteindre des résolutions jusqu'à 12 bits sans calibration avec de bonnes performances en termes d'INL et DNL.

II.6. Architecture CAN Pipeline :

La quantification est répartie le long des différents étages permettant un bon compromis entre la résolution, la vitesse et la consommation de puissance [Ruida_T]. Le schéma de la figure II.9 illustre l'architecture à haut niveau d'un CAN pipeline générique. Chaque étage est similaire à un CAN semi-Flash mais de faible résolution (1 à 3 bits) et chaque étage passe son signal résidu à l'étage suivant.[5] [6].

**CHAPITRE II : LES ARCHITECTURES DE CONVERTISSEURS
ANALOGIQUE NUMIRIQUE**



Figure II.9 : Scéma de principe d'un CAN Pipeliné.

Tous les étages opèrent en parallèle avec deux phases d'horloge (T1 et T2) :

- Dans la phase T1, les étages impairs échantillonnent les signaux présents à leurs entrées et les étages paires font la conversion des signaux auparavant présents à leurs entrées et échantillonnés dans la phase T2.
- Dans la phase T2, les choses sont inversées, les étages impairs font la conversion des signaux auparavant présents à leurs entrées et échantillonnés dans la phase T1, et les étages paires échantillonnent les signaux présents à leurs entrées.

L'architecture de chaque étage modifiée afin de réduire les contraintes sur les comparateurs et permettre du CAN.

Comme le montre le schéma de la figure II.10, chaque étage du CAN pipeliné est composé d'un circuit échantillonneur-bloqueur (S/H), d'un CAN flash de m-bit (subADC), et d'un CNA de m-bits (subDAC).

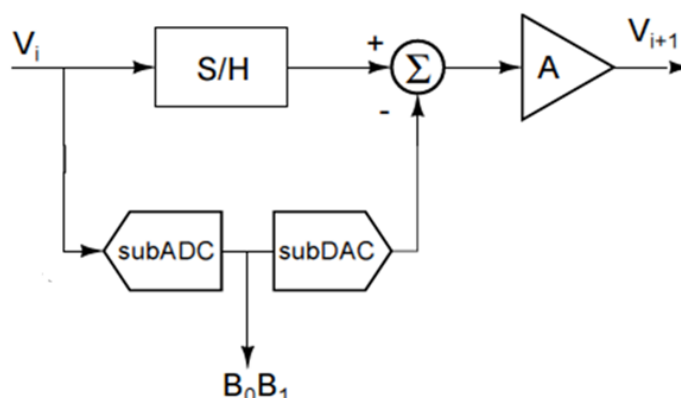


Figure II.10 : Scéma de principe d'un CAN Pipeliné.

CHAPITRE II : LES ARCHITECTURES DE CONVERTISSEURS ANALOGIQUE NUMIRIQUE

Au début, le circuit S/H échantillonne le signal d'entrée et maintient la valeur échantillonnée. Le CAN subADC fait ensuite convertir la valeur échantillonnée en un signal binaire de m-bit. Ce signal est converti en un signal analogique par convertisseur CNA subDAC et sortie du CNA est soustrait du signal d'entrée. Le résultat, appelé résidu, est ensuite amplifié et envoyé à l'étage suivant pour être échantillonné et converti. Ce processus est répété à travers tous les étages du CAN pipeliné. Finalement, comme les bits correspondant aux différents étages sont générés à des instants différents, un circuit d'alignement est utilisé pour aligner ces bits pour les envoyer ensuite à un circuit logique de correction qui génère la sortie binaire reflétant la valeur de l'entrée analogique (Figure II.11).

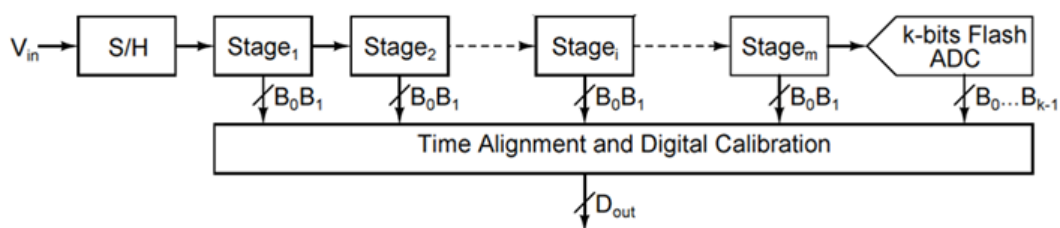


Figure II.11 : Scéma de principe d'un CAN Pipeliné.

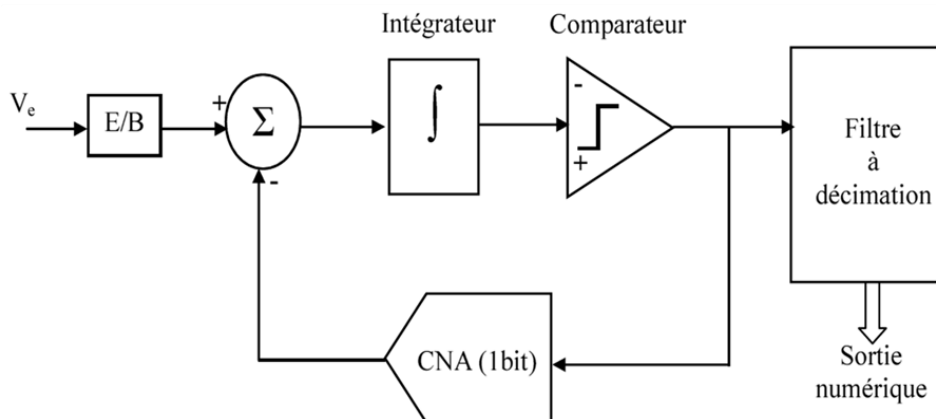
II.7. Architecture Sigma-Delta :

Contrairement aux architectures des CAN limitant la fréquence d'échantillonnage (f_s) à la fréquence de Nyquist (le double de la fréquence maximale f_{max} du signal d'entrée convertir), l'architecture Sigma-Delta sur le principe de sur-échantillonnage et de filtrage et de mise en forme du bruit de quantification. L'effet de l'utilisation d'une fréquence d'échantillonnage élevée ($f_s \gg f_{max}$) sur le rapport du signal sur le bruit (SNR) du CAN est montré par la relation suivante développée dans le chapitre 1 (eq1.16):

$$SNR_{dB} = 6.02N + 1.76 + 10.10 \log_{10} \left(\frac{f_s}{2f_{max}} \right)$$

CHAPITRE II : LES ARCHITECTURES DE CONVERTISSEURS ANALOGIQUE NUMIRIQUE

Dans sa forme la plus simple un CAN Sigma-Delta (Figure II.12) est composé d'un modulateur Sigma-Delta constitué d'un intégrateur, un comparateur et un CNA à 1 bit [5] [6].



FigureII.12 : Architecture typique d'une CAN de type Sigma-Delta.

Le fonctionnement du convertisseur Sigma-Delta est comme suit: la sortie du CNA est soustraite du signal d'entrée V_e , le résultat obtenu (la différence) est intégré par un intégrateur et convertie ensuite en un signal numérique (0 ou 1) par un comparateur. Le signal de sortie du comparateur est envoyé à un convertisseur numérique-analogique (CNA) de 1 bit pour être converti en un signal analogique (V_{CNA}). Le signal de sortie du CNA est soustrait du signal d'entrée V_e , et ainsi de suite.

L'architecture peut fonctionner à des fréquences très élevées par rapport fréquence de Nyquist (le double de la fréquence maximale du signal d'entrée) d'où le nom sur-échantillonnage. La sortie du comparateur (ou CAN à 1bit) est une suite de « zéros » et de « uns », et la valeur du signal est proportionnelle à la densité des « uns » venant du comparateur. Cette chaîne est ensuite filtrée par un filtre à décimation pour générer le signal binaire en sortie du CAN [18].

L'avantage principal de cette architecture est qu'elle permet d'atteindre des résolutions très élevées allant jusqu'à 24 bits qui sont nécessaires pour les applications audio de haute fidélité de basses fréquences.

CHAPITRE II : LES ARCHITECTURES DE CONVERTISSEURS ANALOGIQUE NUMIRIQUE

II.8. Conclusion :

Le présent chapitre a été consacré à la description des différents types d'architectures utilisées pour la réalisation des convertisseurs analogiques-numériques (CANs). L'existence de plusieurs différents architectures pour la réalisation des CANs et justifiée par le fait qu'il n'existe pas une seule et unique architecture qui est adaptée aux différentes applications des CANs.

En fait,il existe de nombreuses architectures permettant la conversion d'un signal analogique en un signal numérique, et chacune présente des avantages et des inconvénients dépendamment de leur application. Chaque architecture est souhaitable pour certain type d'applications exigeant des CANs avec des paramètres de performances bien spécifiques : bande passante, fréquence d'échantillonnage, rapport-signal sur bruit (SNR), temps de latence, puissance de consommation, résolution, non-linéarité etc.

CHAPITRE III :
CONCEPTION
D'UN CAN A
DOUBLE RAMP

CHAPITRE III : CONCEPTION D'UN CAN A DOUBLE RAMP

III.1. Architecture du CAN 8 bits:

Le convertisseur analogique-numérique présenté dans ce chapitre est basé sur l'architecture à double intégration exposée dans le chapitre II. Cette architecture repose sur une double intégration du signal d'entrée V_{in} à convertir et du signal de référence V_{ref} du CAN pour effectuer la conversion analogique-numérique nécessaire. Le signal V_{ref} sert à fixer la plage dynamique (pleine échelle ou maximum) de l'entrée du CAN. Le schéma global au niveau block du CAN (figure III.1) est implémenté en technologie CMOS 0.18u/1.8V dans Læssique. Les principaux éléments de ce CAN sont : un intégrateur, un comparateur analogique, un compteur numérique à 8 bits, et des circuits logiques assurant le fonctionnement du CAN. La description des différents blocks composant ce CAN est abordée dans les sections qui suivent.

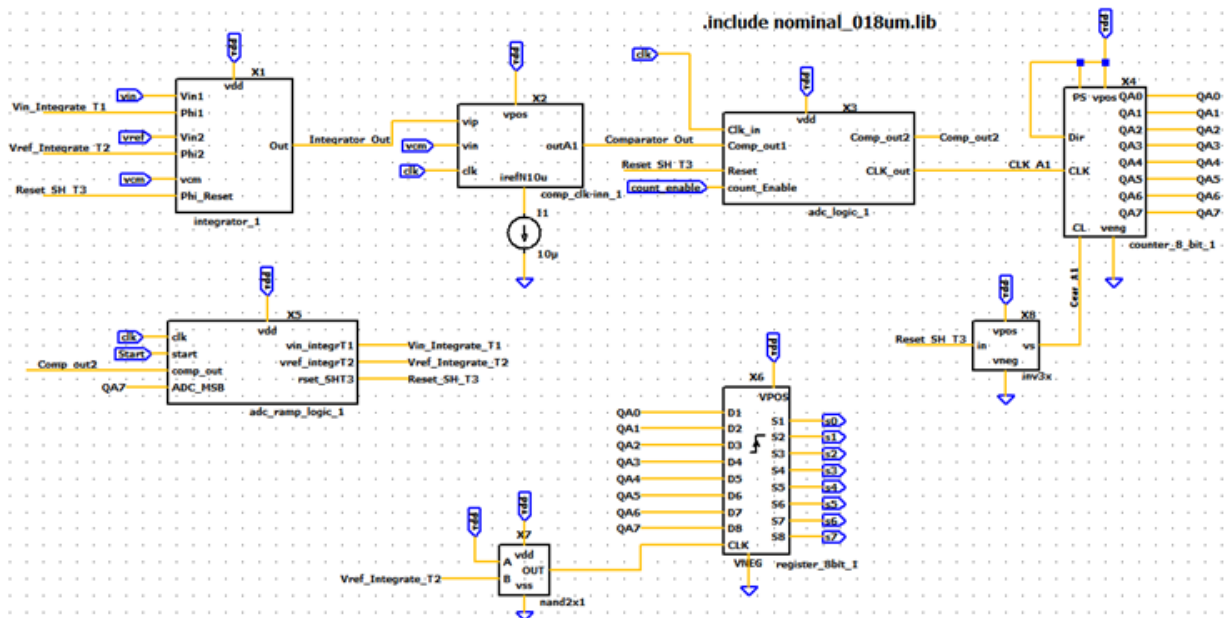


Figure III.1 :Schéma global au niveau block du CAN à double intégration implémenté en technologie CMOS 0.18u/1.8V dans LTspice.

CHAPITRE III : CONCEPTION D'UN CAN A DOUBLE RAMP

III.1.1. L'intégrateur :

Le schéma de l'intégrateur est illustré dans la Figure III.2. Il composé d'un amplificateur opérationnel et d'une résistance R et une capacité C assurant la contre réaction permettant l'intégration et de cinq interrupteurs analogiques.

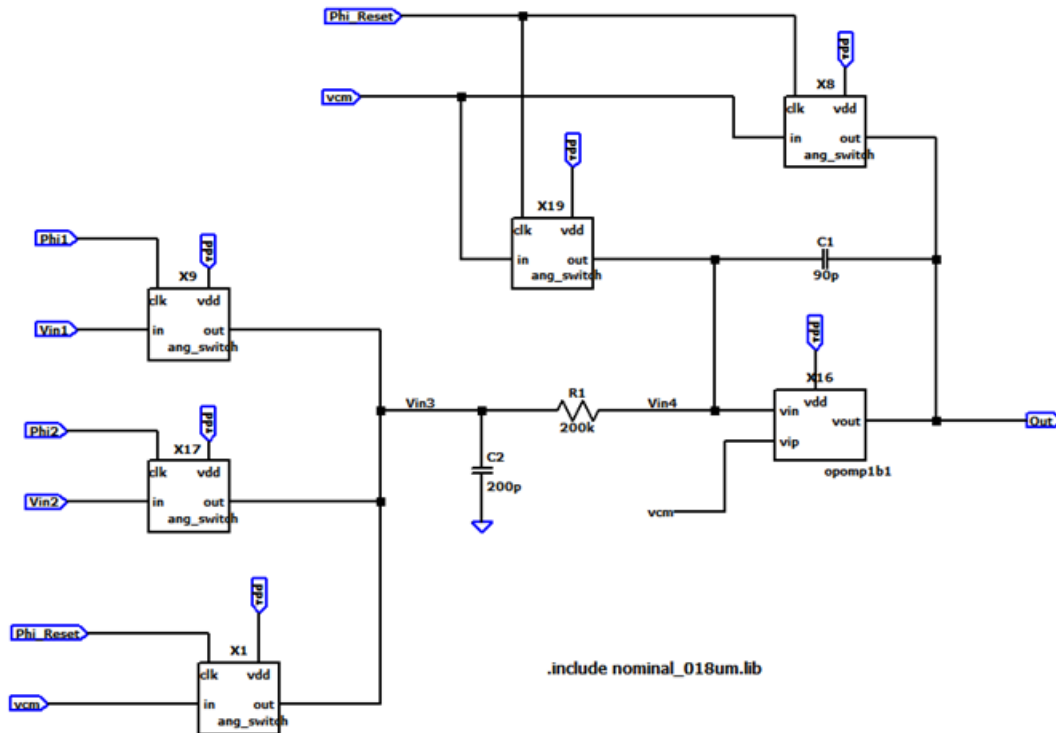


Figure III.2 : Schéma de l'intégrateur du CAN à double intégration.

III.1.1.2. Amplificateur opérationnel :

L'amplificateur opérationnel utilisé pour implémenter l'intégrateur est basé sur une architecture appelée 'folde-cascod'. Cette architecture permet à l'amplificateur de posséder un gain élevé, une large bande passante et impédance de sortie élevée. Cette dernière caractéristique est importante puisque l'intégrateur devrait agir comme une source de courant pendant les périodes de charge et décharge de la capacité C. Le schéma de cet amplificateur donné dans la figure III.3 et son circuit de polarisation est donné dans la figure III.5.

CHAPITRE III : CONCEPTION D'UN CAN A DOUBLE RAMP

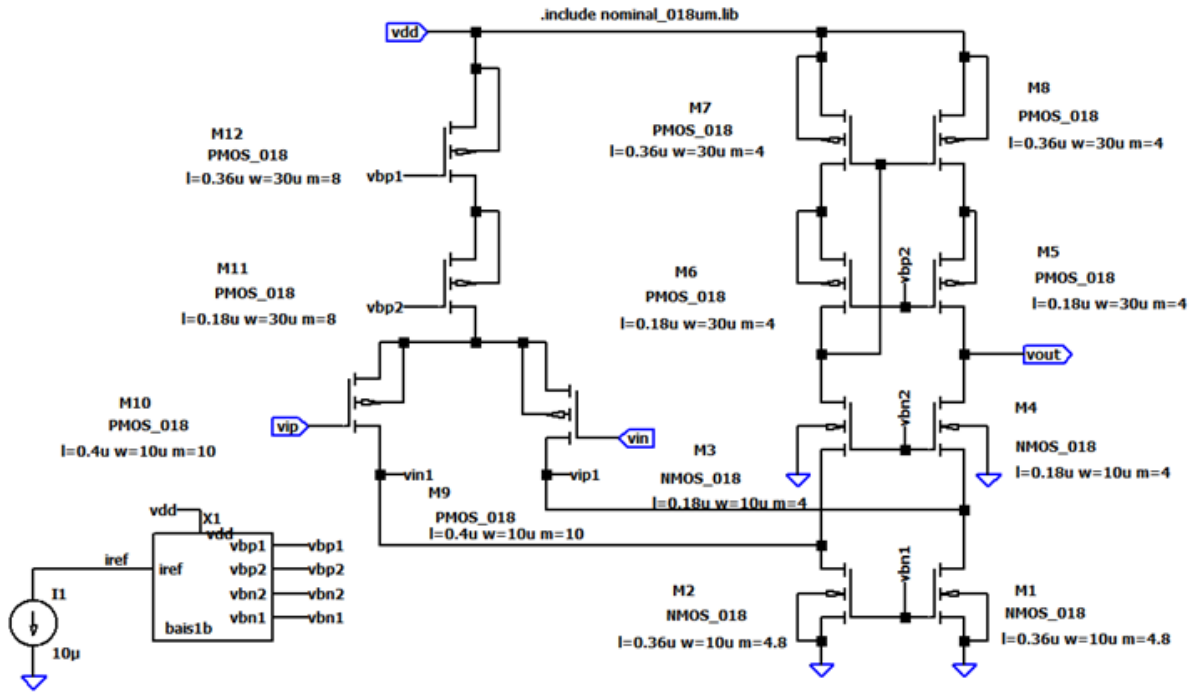


Figure III.3 : Schéma de l'amplificateur opérationnel 'folde-cascode' utilisé pour implémenter l'intégrateur du CAN à double intégration.

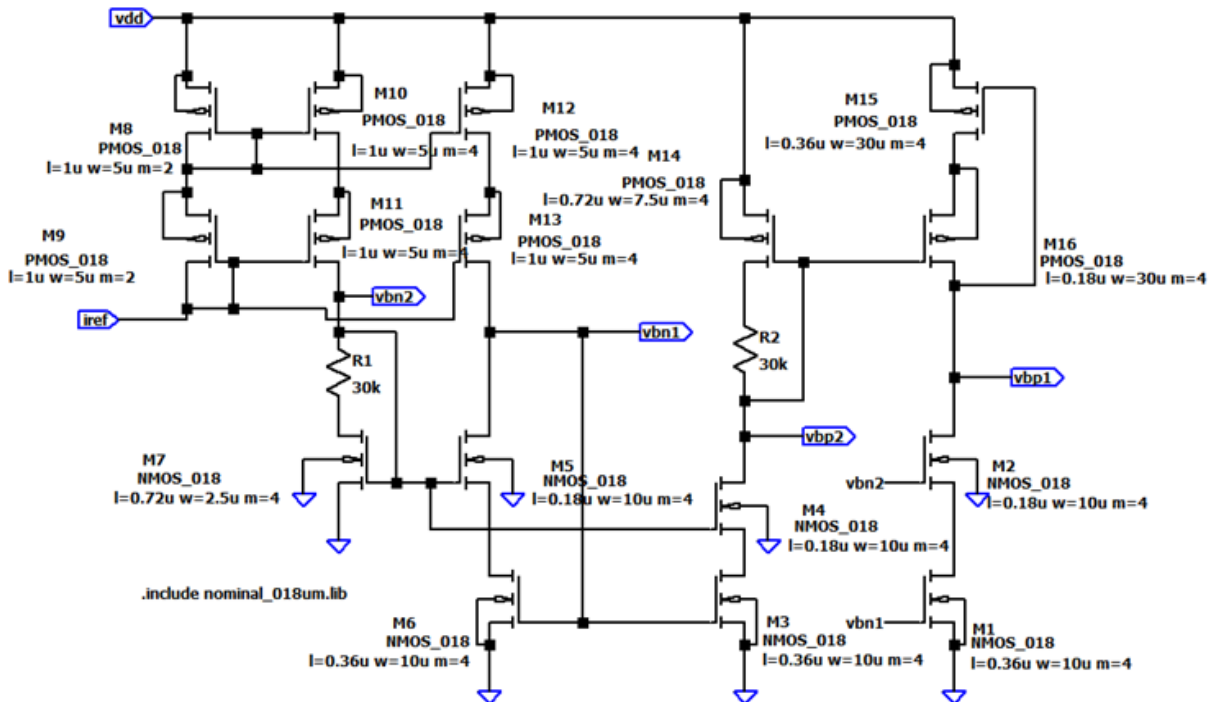


Figure III.4 : Circuit de polarisation de l'amplificateur opérationnel 'folde-cascode'.

CHAPITRE III : CONCEPTION D'UN CAN A DOUBLE RAMP

Analyse fréquentielle ou AC sweep de l'amplificateur opérationnel:

Pour obtenir l'analyse fréquentielle l'amplificateur est monté en suiveur et une analyse 'AC' est effectué par LTSPICE, l'analyse fréquentielle est nécessaire pour déterminer le gain en boucle ouverte et la stabilité du système.

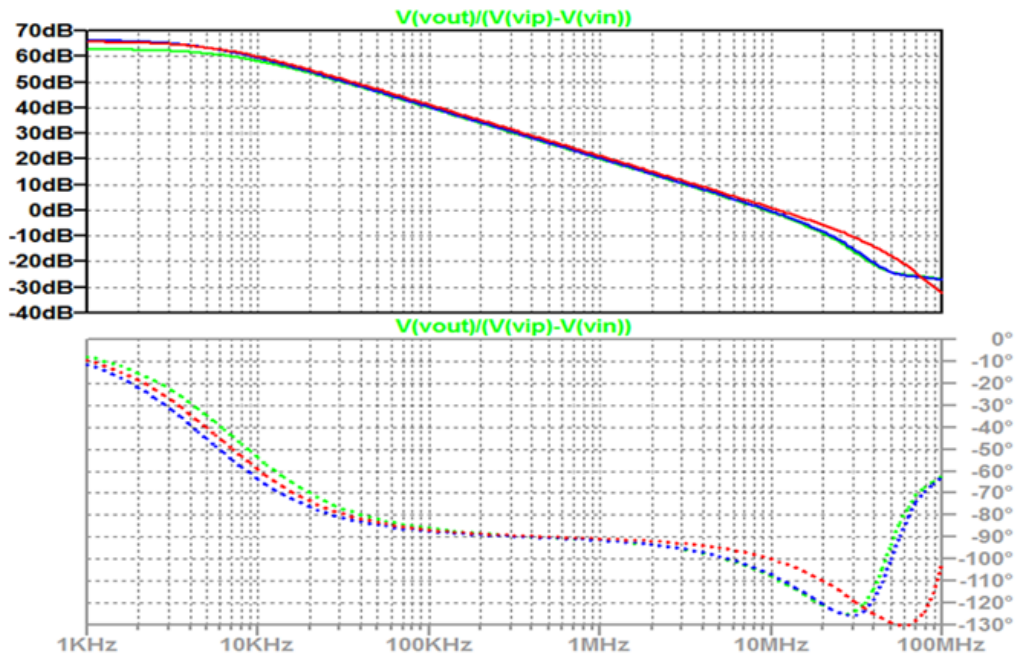


Figure III.5 : Résultat AC sweep de LTspice de l'amplificateur opérationnel.

Analyse DC sweep de l'amplificateur opérationnel:

L'analyse DC sweep est nécessaire pour détermination de la plage dynamique de l'amplificateur opérationnel. D'après la figure (III.6), elle s'étend de 200 mV à 1.5 V.

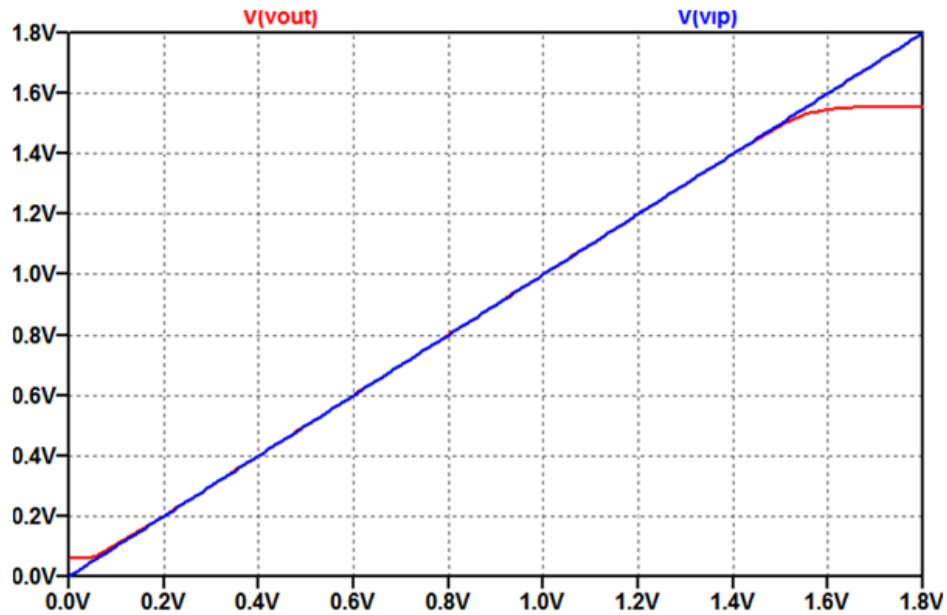


Figure III.6 : Résultat d'analyse DC sweep d'un amplificateur opérationnel.

III.1.1.3. Interrupteurs analogiques de l'intégrateur :

Les 5 interrupteurs sont utilisés pour permettre à l'intégrateur d'effectuer les deux intégrations séparées requises par le convertisseur. La première intégration est effectuée en connectant l'entrée de l'intégrateur au signal d'entrée V_{in} qu'on veut convertir et la deuxième intégration est effectuée en connectant l'entrée de l'intégrateur au signal d'entrée V_{ref} pour faire décharger la capacité C . Comme le montre le schéma de la figure III.7, chacun de ces 5 interrupteurs implémentée en utilisant une porte de transmission CMOS qui permet de réduire l'injection de bruit de l'effet de charge des transistors.

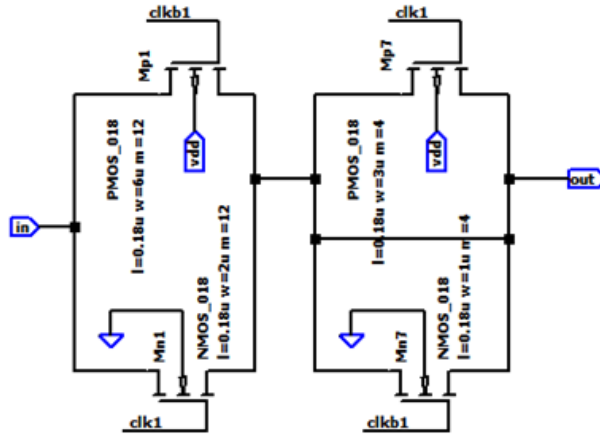


Figure III.7 : Circuit de la porte de transmission CMOS utilisée pour implémenter les interrupteurs de l'intégrateur.

III.1.1.4. Résultats de simulation transitoire du circuit de l'intégrateur :

Une simulation transitoire permettant de tester le comportement de l'intégrateur est effectuée en LTspice. Les signaux de commande sont utilisés pour commander les interrupteurs permettant à l'intégrateur d'effectuer deux intégrations sur V_{in} et V_{ref} . Dans la figure III.8, on reporte les résultats de la simulation effectuée.

CHAPITRE III : CONCEPTION D'UN CAN A DOUBLE RAMP

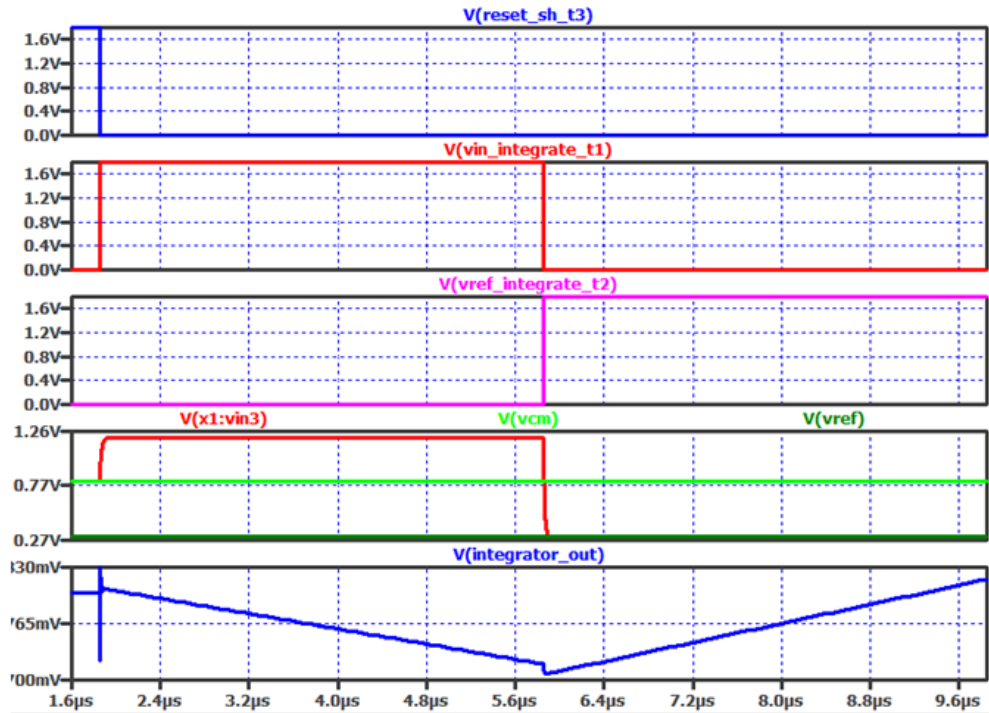


Figure III.8 : Résultats de la simulation transitoire de l'intégrateur.

III.1.2. Le comparateur :

Le comparateur sert à comparer le signal de la sortie de l'intégrateur au signal du mode commun V_{cm} . Conceptuellement, dans les convertisseurs analogiques numériques double rampe, l'utilisation de comparateur de faible tension de décalage est indispensable afin de garantir le bon fonctionnement du CAN. Le comparateur utilisé ici est basé sur une architecture à commutation permettant un fonctionnement à des vitesses élevées. Le schéma de ce comparateur est présenté dans la figure III.9 et les résultats de simulation transitoire sont reportés sur la figure III.10.

CHAPITRE III : CONCEPTION D'UN CAN A DOUBLE RAMP

III.1.3. Compteur 8bits :

Il est possible de connecter des bascules pour effectuer des opérations de comptage. Le nombre de bascules utilisées et la façon dont elles sont interconnectées déterminent le nombre d'états du compteur. L'état du compteur est défini par le nombre binaire formé par l'ensemble des sorties des bascules.

Dans le présent projet, un compteur à 8 bits est composé de 8 étages utilisant des bascules JK Set-Reset sensibles aux fronts descendant de l'horloge de commande du compteur. Les schémas du compteur, de chaque étage du compteur sont donnés dans les figures III.11 et III.12. Les résultats du comportement transitoire du compteur sont reportés dans la figure III.13.

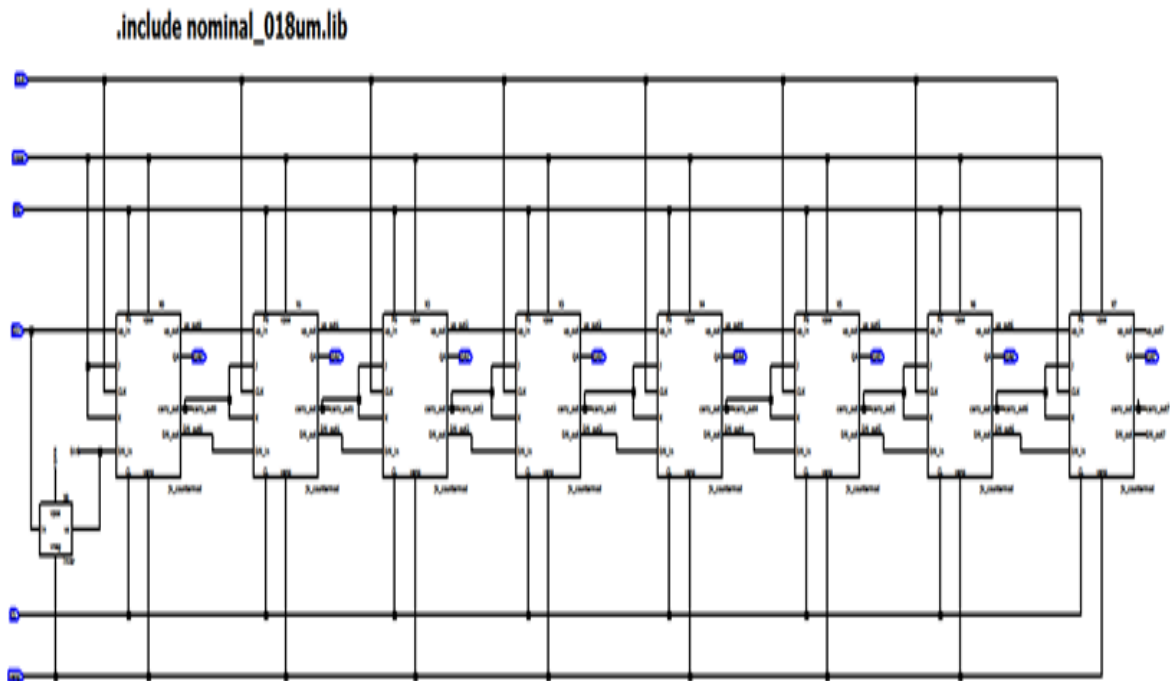


Figure III.11 : Schéma du compteur à base de bascules JK Set-Reset.

CHAPITRE III : CONCEPTION D'UN CAN A DOUBLE RAMP

pour l'intégrateur pour assurer une double intégration qui est la base de la conversion. Le schéma de circuit est illustré dans la figure III.14.

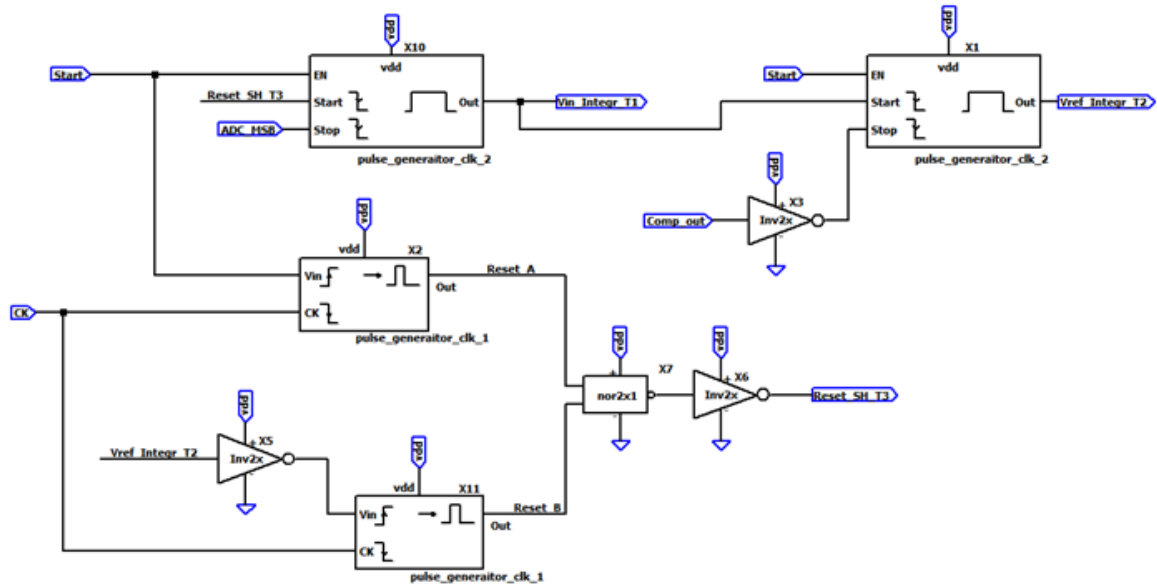


Figure III.14 : Schéma du circuit génération de signaux de synchronisation des blocks du CAN.

Les résultats de simulations transitoires du circuit de génération des signaux de synchronisation sont reportés sur la figure III.15.

CHAPITRE III : CONCEPTION D'UN CAN A DOUBLE RAMP

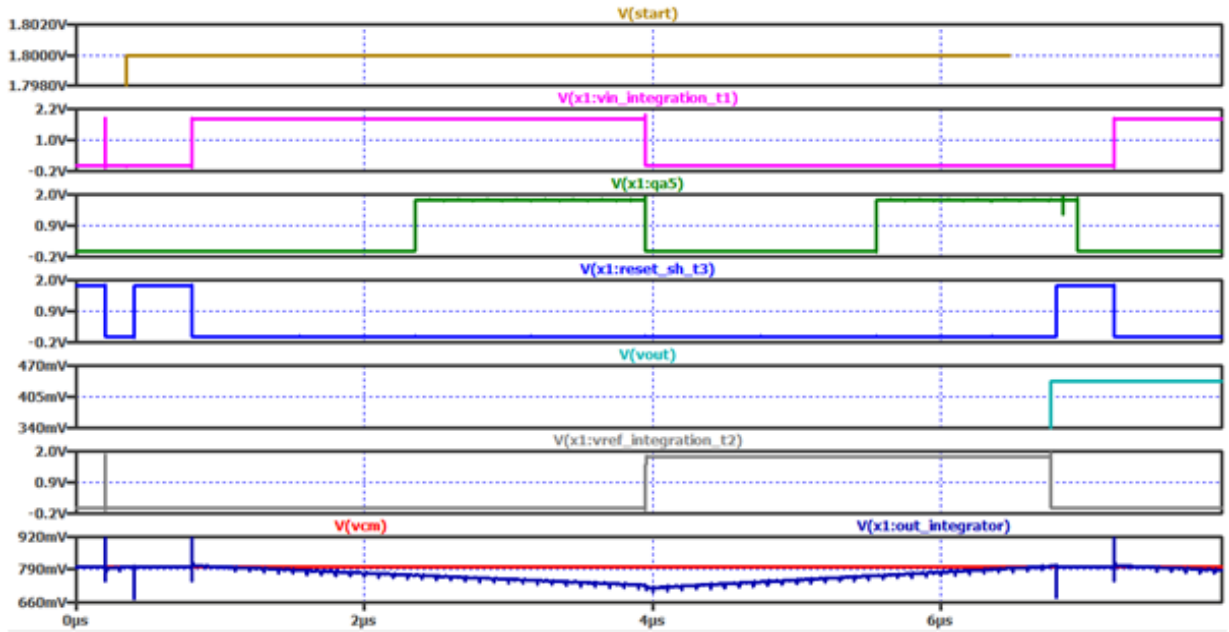


Figure III.15 : Résultats de simulation montrant le comportement transitoire du compteur.

III.1.5. Register 8bits :

Comme le résultat de la conversion du CAN n'est pas valide durant les deux périodes d'intégration de l'intégrateur, T1 et T2, le CAN nécessite un registre pour stocker le résultat de la conversion à la fin de la période d'intégration T2. Ainsi, un registre à 8 bits est utilisé pour effectuer ce travail. Le schéma de ce registre est illustré sur la figure III.16. Il est composé de 8 bascules D sensible aux fronts montants de l'horloge de commande. Les résultats de simulation transitoires de ce compteur sont reportés sur la figure III.17.

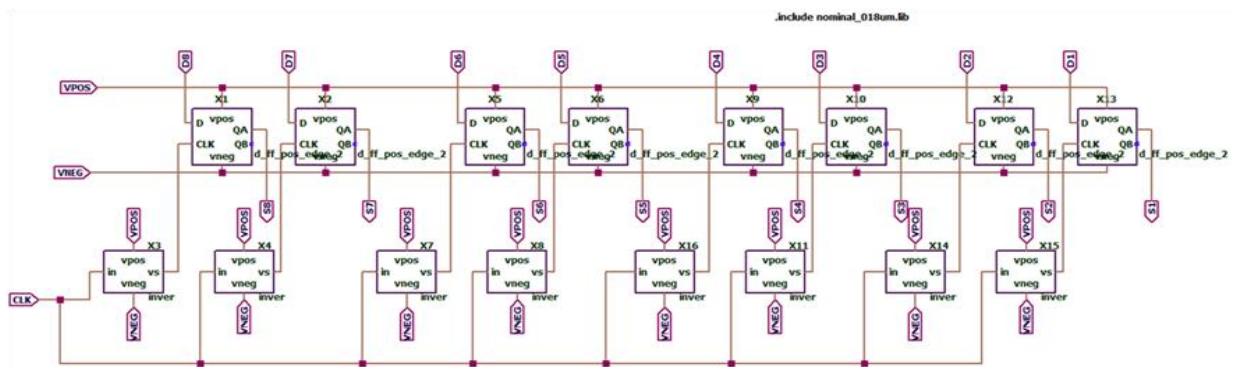


Figure III.16 : Architecture du registre 8 bits à des bascules D sensible aux fronts montants de l'horloge.

CHAPITRE III : CONCEPTION D'UN CAN A DOUBLE RAMP

III.2. Configuration de simulation du convertisseur CAN à double rampe :

Pour simuler le CAN à double rampe à 8 bits, une configuration de simulation en LTspice est servant à définir tous les signaux d'entrée et de commande requis par le convertisseur. Ainsi, le CAN est simulé pour le cas suivant : plage dynamique d'entrée de 0.5 V, tension d'entrée de 0.4 V, tension de référence de -0.5 V, tension du mode commun de 0.8 V, tension d'alimentation de 1.8 V et une fréquence d'horloge de 10MHz, soit de période de 100n. Avec cette fréquence la conversion d'un échantillonnage du signal d'entrée de pleine échelle nécessite $(2 \cdot 2^N \cdot 100n)$, soit 51.2 us.

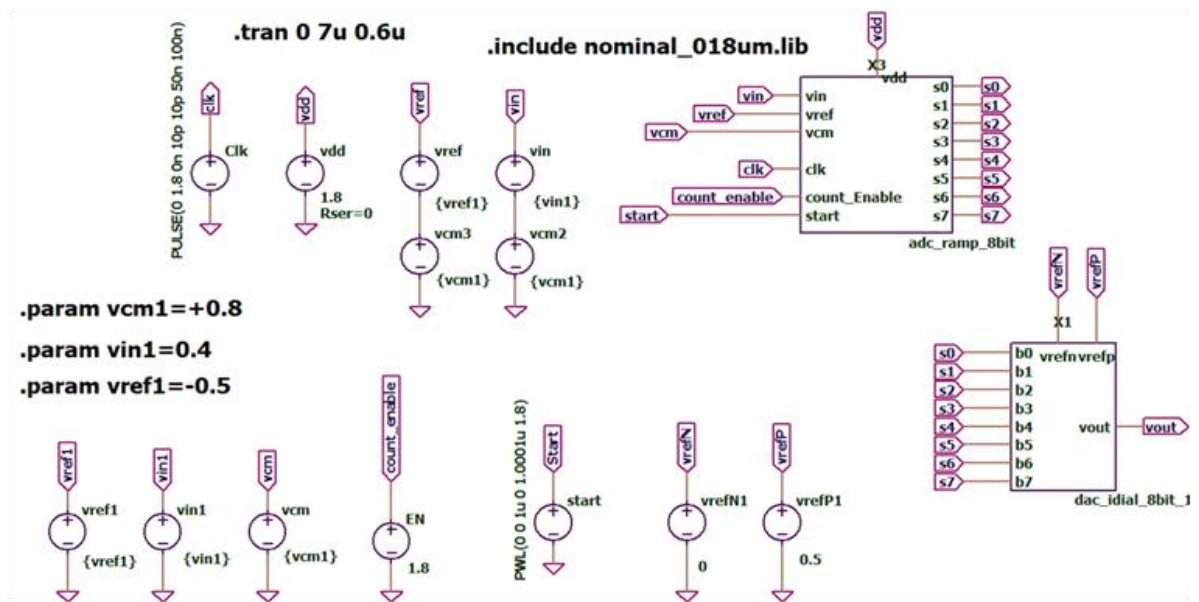


Figure III.17 : Schéma de configuration utilisé pour simuler le CAN à double rampe 8 bits avec comme tension d'entrée égal 0.4 V, tension de référence de -0.5 V, et tension du mode commun de 0.8V et une période de fréquence d'horloge de 100n.

III.3. Convertisseur numérique-analogique (CNA) idéal :

Un convertisseur numérique-analogique (CNA) idéal à 8 bits est utilisé dans la simulation global du CAN à 8 bits pour convertir le signal numérique de sorte du CAN en un signal analogique. Ce CNA est composé des éléments de LTspice dédié pour la description comportementale des éléments électroniques. L schéma de CNA est reporté dans la figure III.18 .

CHAPITRE III : CONCEPTION D'UN CAN A DOUBLE RAMP

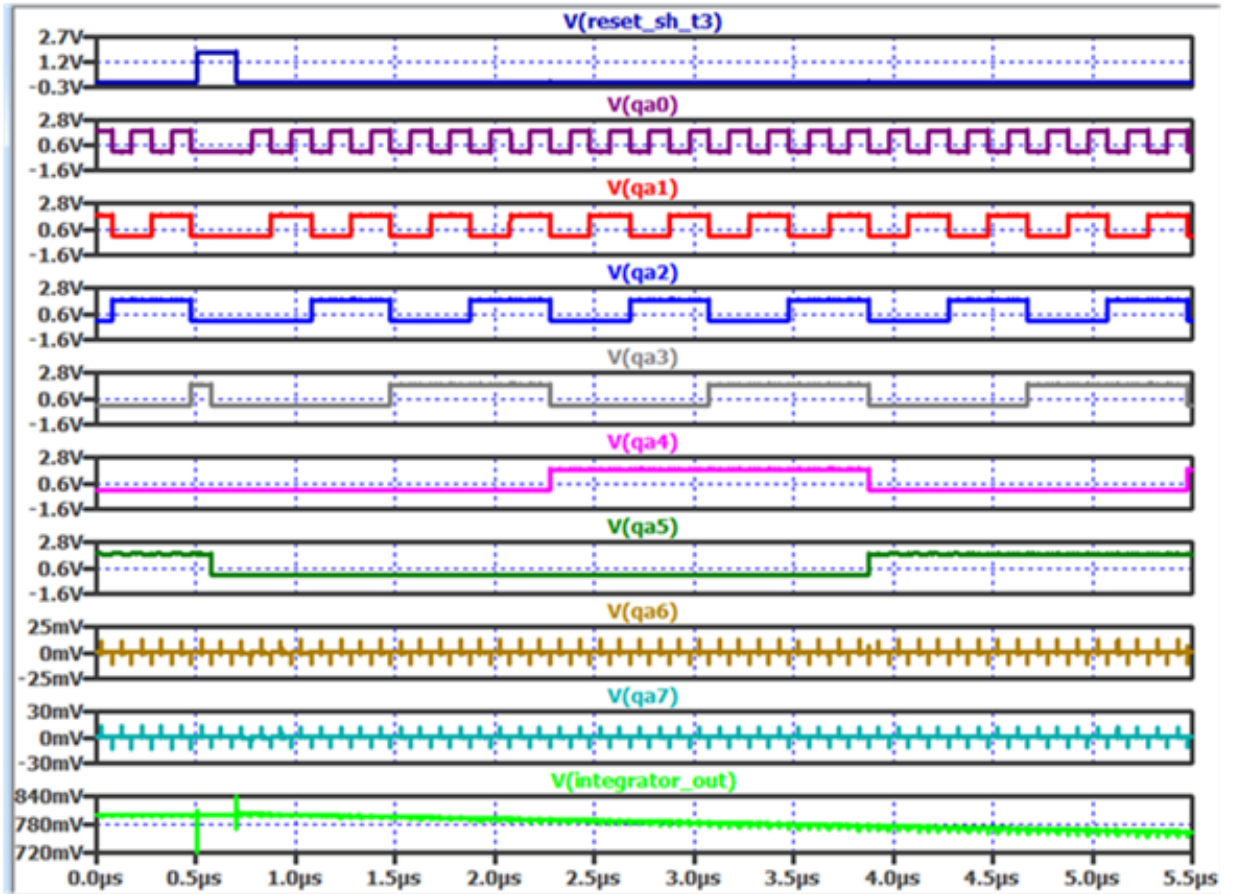


Figure III.18 : Résultat de simulation (au début de démarrage de la simulation) du CAN à 8 bits à double rampes.

CHAPITRE III : CONCEPTION D'UN CAN A DOUBLE RAMP

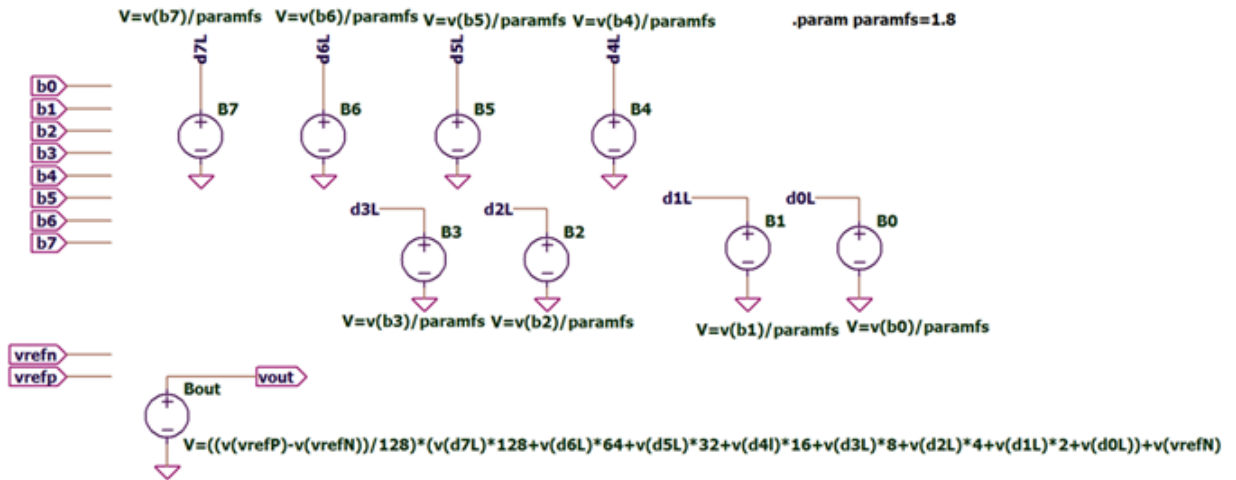


Figure III.19: l'architecture du CNA 8 bits utiliser pour convertir le résultat numérique du CAN en un signal analogique.

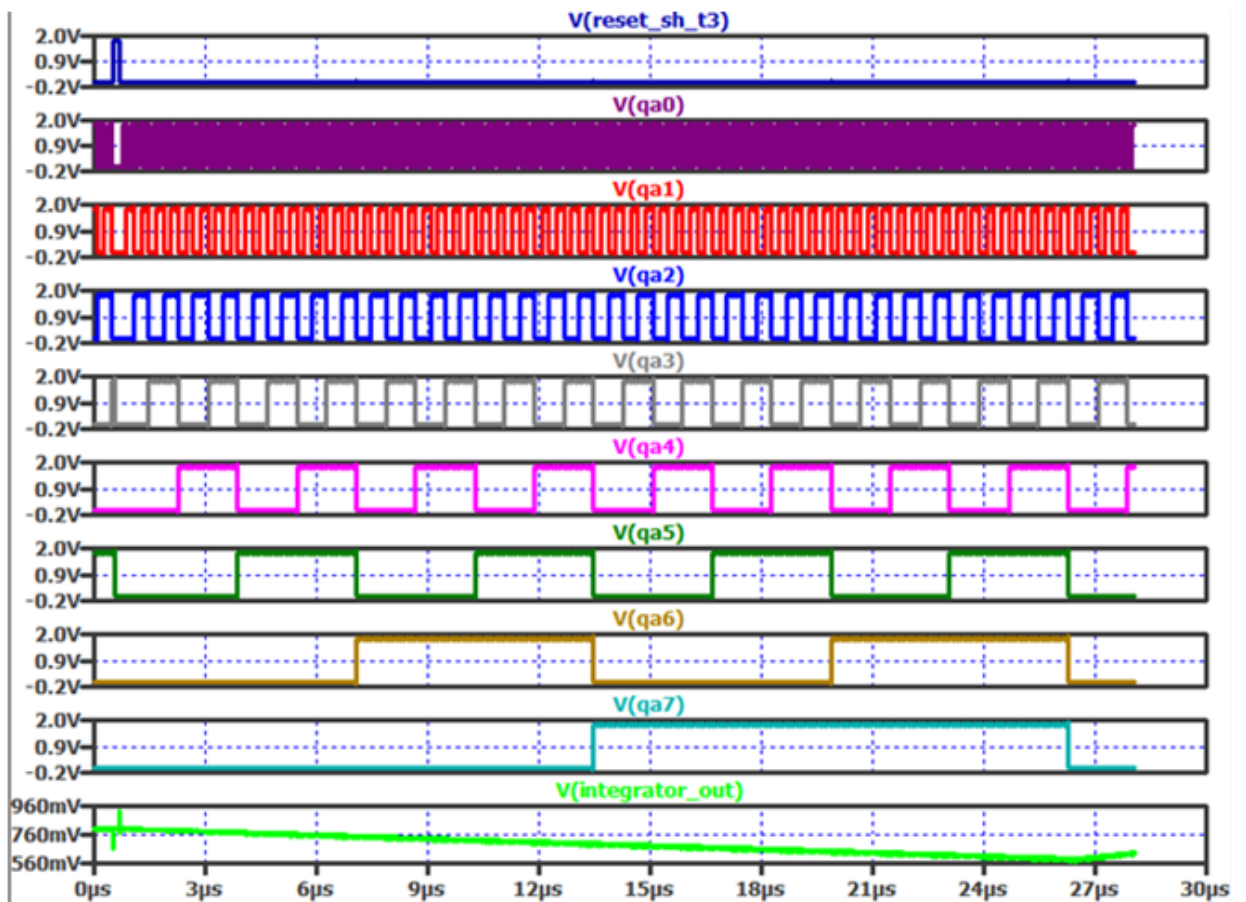


Figure III.20. : Résultat de simulation du CAN à 8 bits à double rampes montrant la complétion de la période d'intégration T1.

CHAPITRE III : CONCEPTION D'UN CAN A DOUBLE RAMP

III.5. Conclusion :

La modélisation comportementale d'un convertisseur CAN à double rampe a été développée avec succès, Le modèle du convertisseur de type à double intégration (à double rampe) à 8 bits est développé et simulé en technologie CMOS 0.18 μ m/1.8V sous l'environnement de l'outil de simulation LTspice de la compagnie 'Linear Technology'.

Avant d'effectuer la simulation globale du CAN, tous les blocks composant ce CAN ont été développés, simulés et optimisés pour assurer la fonctionnalité du convertisseur. Les résultats de simulation de chaque circuit ainsi que le résultat du CAN complet ont été présentés et discutés. Ces résultats valide la fonctionnalité du circuit du convertisseur analogique-numérique à 8 bits à double rampes proposé dans ce mémoire.

Conclusion générale

Conclusion générale

Dans ce manuscrit de mémoire de master nous avons présenté l'étude, l'analyse et la conception d'un convertisseur analogique- numérique (CAN) à intégration à double rampes de résolution de 8 bits. De tel type de convertisseurs est largement utilisé dans des applications de basses fréquences comme dans le domaine des appareils de mesure électronique et de la spectroscopie.

Le convertisseur analogique-numérique préposé est basé sur l'architecture à double rampe qui repose sur une double intégration du signal d'entrée V_{in} à convertir et du signal de référence V_{ref} du CAN pour effectuer la conversion analogique-numérique nécessaire. Le signal V_{ref} sert à fixer la plage dynamique (pleine échelle ou maximum) de l'entrée du CAN. Le convertisseur est implémenté en technologie CMOS. Les principaux éléments de ce CAN sont : un intégrateur, un comparateur analogique, un compteur numérique à 8 bits, et des circuits logiques assurant le fonctionnement du CAN.

La modélisation comportementale d'un convertisseur CAN à double rampe a été développée avec succès, Le modèle du convertisseur de type à double intégration (à double rampe) à 8 bits est développé et simulé en technologie CMOS 0.18 μ m/1.8V sous l'environnement de l'outil de simulation LTspice de la compagnie 'Linear Technology'.

Avant d'effectuer la simulation globale du CAN, tous les blocks composant ce CAN ont été développés, simulés et optimisés pour assurer la fonctionnalité du convertisseur. Les résultats de simulation de chaque circuit ainsi que le résultat du CAN complet ont été présentés et discutés. Ces résultats valide la fonctionnalité du circuit du convertisseur analogique-numérique à 8 bits à double rampes proposé dans ce mémoire.

Références
bibliographiques

Références bibliographiques

- [1] C.Alexandre, "Circuits intégrés numérique et mixte," Polycopié de cours, Conservatoire National des Arts et Métiers, 2014.
- [2] Phillip E. Allen et Douglas R. Holberg, "CMOS Analog Circuit Design," Livre, 2^{ème} édition, Oxford University Press, 2002.
- [3] Emmanuel Allier, "Interface analogique numérique asynchrone : Une nouvelle classe de convertisseurs bases sur la quantification du temps," Thèse de Doctorat en microélectronique, Institut National Polytechnique de Grenoble, 2003.
- [4] R. Jacob Baker, "CMOS Circuit Design, Layout, and Simulation," Third Edition, IEEE Press Series on Microelectronic Systems, A John Wiley & Sons, 2010.
- [5] Samir BARRA, "Contribution à la Conception d'un Convertisseur Analogique Numérique en Technologie CMOS, " Thèse de Doctorat en microélectronique, Université de Batna, 2013.
- [6] Ludovic Barrandon, "Synthèse architecturale analogique/numérique appliquée aux systèmes sur puce dans un contexte radio logicielle," Thèse de Doctorat, Université de Rennes 1, France, 2005.
- [7] Olivier Bernal, "Conception de Convertisseurs Analogique-Numérique en technologie CMOS basse tension pour chaînes Vidéo CCD Spatiales," Institut National Polytechnique de Toulouse, France, 2006.
- [8] Brahim Abdelhalim, Saidani Okba, " Conception d'un CAN pipeline à 8 bits," Mémoire de maîtrise, Université d'El-Bachir-El Ibrahim, BBA, Algérie, 2018.
- [9] Gabriel Cormier , "Conversion Analogique-Numerique," Notes de cours (GELE4011 Chapitre 7), Université de Moncton, Canada, 2010.
- [10] Mokrane Dahoumane, "Conception, Réalisation et Caractérisation de l'Électronique Intégrée de Lecture et de Codage des Signaux des Détecteurs

Références bibliographiques

- de Particules Chargées à Pixels Actifs en Technologie CMOS," Thèse de Doctorat en microélectronique, Université de Strasbourg, 2009.
- [11] AbdelghaniDendouga, "Contribution à la Modélisation et à la Conception d'un Convertisseur Analogique Numérique Sigma Delta," Thèse de Doctorat en microélectronique, Université de Batna, 2013.
- [12] Dutertre, " Conception avancées des circuits intégrés analogiques.Convertisseurs A/N et N/A," Notes de cours, www.emse.fr/~dutertre/enseignement.html - 2009.
- [13] Vincent Fresnaud, "Etude et compensation des non-linéarités de convertisseur analogique numérique utilisant une architecture à repliement et interpolation," Thèse de Doctorat, Université de Bordeaux I, France, 2008.
- [12] Vincent Fresnaud, "Etude et compensation des non-linéarités de convertisseur analogique numérique utilisant une architecture à repliement et interpolation," Thèse de Doctorat, Université de Bordeaux I, France, 2008.
- [13] Tony Chan Carusone, David A. Johns, Kenneth W. Martin, "Analog Integrated Circuit Design," Livre, John Wiley & Sons, Inc.: New York, USA, 2011.
- [16] Kent H. Lundberg, "Analog-to-Digital Converter Testing," Policopier de cours, MIT Course Notes.
- [17] TertulienNdjountche, "CMOS Analog Integrated Circuits: High-Speed and power-efficient design," Livre CRC Press, 2011.
- [18] Joël Roméo NGANKIO NJILA, "Analyse d'une nouvelle architecture pipeline de convertisseur analogique numérique supraconducteur," Thèse de Doctorat en nanoélectronique et nanotechnologies, Université de Grenoble, 2012.
- [19] Robert A. Pease, "Analog Circuits World Class Designs," Livre, Elsevier, 2008 .

Références bibliographiques

- [20] Gérard Pinson, " Convertisseurs Analogique / Numérique (CAN)," Notes de cours.
- [21] Rudy van de Plasrsche, "CMOS Integrated Analog-to-Digital and Digital-to-Analog Converters," Livre, Kluwer Academic Publishers, 2ième edition, 2003.
- [22] Chiheb REBAI, " Contribution à la Caractérisation des Convertisseurs Analogiques Numériques haute performances : Mise en œuvre de nouveaux systèmes de traitement du signal pour le test in-situ," Thèse de Doctorat en électronique, Université de Bordeaux I, France, 2002.
- [23] Guillaume REGIS, "Conception de circuits analogiques-numérique pour le conditionnement de microcapteurs embarqués," Thèse de Doctorat, École Doctorale SISEO ,Université de Grenoble, France, 2006.
- [24] James L. Crowley et Antoine Roueff, "Filtrage et traitement du signal," Notes de cours, 2001.
- [25] Ruida Yun, "Calibration of Pipelined AD-Converters," Mémoire de Master, Royal Institute of Technology (KTH), Stockholm, 2006.

Résumé

L'objectif de ce travail est la conception et la simulation d'un convertisseur analogique-numérique (CAN) à intégration à double rampe de résolution de 8 bits. Le convertisseur est implémenté en technologie CMOS. Les principaux éléments de ce CAN sont : un intégrateur, un comparateur analogique, un compteur numérique à 8 bits, et des circuits logiques assurant le fonctionnement du CAN.

La modélisation comportementale d'un convertisseur CAN à double rampe a été développée avec succès, Le modèle du convertisseur de type à double intégration (à double rampe) à 8 bits est développé et simulé en technologie CMOS 0.18 μ m/1.8V sous l'environnement de l'outil de simulation LTspice de la compagnie 'Linear Technology'.

Les résultats de simulation de chaque circuit ainsi que le résultat du CAN complet ont été présentés et discutés. Ces résultats valide la fonctionnalité du circuit du convertisseur analogique-numérique à 8 bits à double rampes proposé dans ce mémoire.

abstract

The goal of this work is the design and simulation of an 8-bit double-ramp integration analog-to-digital converter (ADC). The converter is implemented in CMOS technology. The main elements of this ADC are: an integrator, an analog comparator, an 8-bit digital counter, and logic circuits ensuring the operation of the ADC.

The behavioral modeling of a double ramp CAN converter has been successfully developed. The model of the 8-bit dual-integration double-ramp type converter is developed and simulated in 0.18 μ m / 1.8V CMOS technology under the environment. of the LTspice simulation tool from Linear Technology.

The simulation results of each circuit as well as the result of the complete ADC were presented and discussed. These results validate the functionality of the circuit of the 8-bit double-ramped analog-to-digital converter proposed in this memory.

ملخص .

الهدف من هذا العمل هو تصميم ومحاكاة محول تناظري رقمي متكامل منحدر 8bits العناصر الرئيسية لهذا المحول هي: متكامل ، مقارن تناظري ، عداد رقمي 8 بت والدوائر المنفذة في المنطق لضمان تشغيل مزدوج منحدر بنجاح .

المحول هو بتقنية CMOS ، تم تطوير النمذجة السلوكية لمحول CAN ، وتم تطوير نموذج لمحول نوع التكامل لمزدوج (منحدر مزدوج) بثمانية بتات بأداة المحاكاة LTspice التابعة لشركة Linear تقنية ومحاكاة بتكنولوجيا CMOS 0.18um / 1.8V تحت نتائج المحاكاة لكل دائرة بالإضافة إلى نتيجة ADC كاملة تم تقديمها ومناقشتها. تحقق هذه النتائج من صحة وظيفة دارة المحول الرقمي إلى الرقمي ذي 8 بت المنحدرة المقترحة في هذه الذاكرة